



**ЕЛЕКТРОТЕХНИЧКИ ФАКУЛТЕТ  
БАЊА ЛУКА**

**V симпозијум  
ИНДУСТРИЈСКА ЕЛЕКТРОНИКА  
ИНДЕЛ – 2004**

---

---

**ЗБОРНИК РАДОВА**

---

---

**Бања Лука  
Република Српска  
11-12. новембар 2004.**

V симпозијум  
**ИНДУСТРИЈСКА ЕЛЕКТРОНИКА**  
**ИНДЕЛ – 2004**

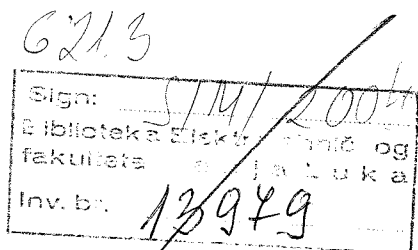
Бања Лука  
11-12. новембар 2004.

Организатор



**ЕЛЕКТРОТЕХНИЧКИ ФАКУЛТЕТ**  
**БАЊА ЛУКА**

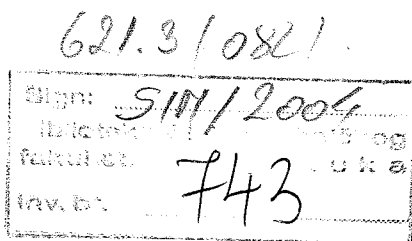
Патре 5  
78 000 Бања Лука  
Република Српска  
Bosnia and Herzegovina  
централа: +387 (0)51 - 221 - 820  
деканат: +387 (0)51 - 221 - 824  
факс: +387 (0)51 - 211 - 408  
web: www.etfbl.net  
e-mail: office@etfbl.net



Покровитељ



**ВЛАДА РЕПУБЛИКЕ СРПСКЕ**



Спонзори

**ГРАД БАЊА ЛУКА**  
**ТЕЛЕКОМ СРПСКЕ**

**ЕЛЕКТРОПРИВРЕДА РЕПУБЛИКЕ СРПСКЕ**

**SIEMENS**

**ЕЛЕКТРОПРЕНОС БАЊА ЛУКА**

## **Предсједник Симпозијума**

Проф. др Бранко Докић, Електротехнички факултет Бања Лука

## **Програмски одбор**

Проф. др Бранко Докић, Електротехнички факултет Бања Лука  
Проф. др Александар Илишковић, Електротехнички факултет Бања Лука  
Проф. др Слободан Вукосавић, Електротехнички факултет Београд  
Проф. др Владимир Катић, Факултет техничких наука Нови Сад  
Проф. др Бранко Ковачевић, Електротехнички факултет Београд  
Проф. др Милић Стојић, Електротехнички факултет Београд  
Проф. др Ванчо Литовски, Електронски факултет Ниш  
Проф. др Милош Живанов, Факултет техничких наука Нови Сад  
Проф. др Милан Радмановић, Електронски факултет Ниш  
Проф. др Предраг Пејовић, Електротехнички факултет Београд  
Проф. др Милорад Божић, Електротехнички факултет Бања Лука  
Проф. др Петар Марић, Електротехнички факултет Бања Лука  
Доц. др Милош Миланковић, Електротехнички факултет Бања Лука

## **Организациони одбор**

Проф. др Бранко Докић, Електротехнички факултет Бања Лука  
Проф. др Милорад Божић, Електротехнички факултет Бања Лука  
Доц. др Славко Марић, Електротехнички факултет Бања Лука  
др Пантелија Дакић, Електропривреда Републике Српске  
Драгољуб Давидовић, градоначелник Града Бања Лука  
Свето Стојанчић, Телеком Српске, Бања Лука  
Душко Мијатовић, Електропренос, Бања Лука  
мр Горан Нинковић, SIEMENS, Бања Лука  
мр Игор Крчмар, SIEMENS, Бања Лука  
мр Петар Матић, Електротехнички факултет Бања Лука

## **Секретаријат**

мр Бранко Блануша  
Дражен Брђанин  
Милосава Радоњић  
Лепа Шушњар

## **Адреса Симпозијума**

Електротехнички факултет Бања Лука  
Патре 5  
78 000 Бања Лука  
Република Српска  
Bosnia and Herzegovina

## **Контакт тел/фах**

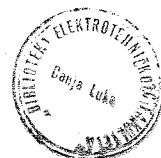
+387 (0)51 - 221 - 824

## **web**

[www.indel.etfbl.net](http://www.indel.etfbl.net)

## **e-mail**

[indel@etfbl.net](mailto:indel@etfbl.net)



---

---

## ПРЕДГОВОР

---

---

V симпозијум "Индустријска електроника - ИНДЕЛ 2004" одржан је 11. и 12. новембра 2004. године на Електротехничком факултету у Бањој Луци.

Рад симпозијума организован је у оквиру пленарне сједнице посвећене TEMPUS пројектима и сарадњи високошколских институција у региону, те секција из сљедећих тематских области: Материјали и компоненте, Енергетска електроника и претварачи, Аналогна и дигитална кола, Обрада и пренос сигнала, Процесни рачунари, Програмска подршка за управљање и контролу, те Телекомуникационе технологије.

Програмски одбор извршио је селекцију пријављених радова и одабрао 35 радова који су објављени у овом Зборнику. У раду Симпозијума учествовали су аутори и коаутори објављених радова са високошколских и научноистраживачких институција те привреде из Србије и Црне Горе, те Републике Српске, као и учесници TEMPUS Workshop-а посвећеног реализацији TEMPUS JEP 16110 пројекта: "Development of curricula and study programs for 3-stage IT program" из Њемачке, Шпаније те Босне и Херцеговине.

Најбољи презентовани радови на Симпозијуму биће штампани у часопису Електроника, у издању Електротехничког факултета из Бања Луке.

Покровитељ Симпозијума је Влада Републике Српске, а организацију су помогли Град Бања Лука, Телеком Српске, Електропривреда Републике Српске, Siemens и Електропренос Бања Лука, којима топло захваљујемо за помоћ у организовању Симпозијума.

Користимо се приликом да захвалимо ауторима на учешћу и презентацији радова, члановима Програмског одбора на посебно уложеном труду приликом рецензије радова и током рада Симпозијума, а члановима Организационог одбора на уложеном труду за организацију и техничку подршку.

Предсједник Симпозијума

Проф. др Бранко Л. Докић



---

---

## СЕКЦИЈЕ СИМПОЗИЈУМА

---

---

- T1 Материјали и компоненте**  
Предсједавајући: Проф. др Нинослав Стојадиновић
- T2A Енергетска електроника и претварачи**  
Предсједавајући: Проф. др Владимир Катић
- T2B Енергетска електроника и претварачи**  
Предсједавајући: Проф. др Предраг Пејовић
- T3 Аналогна и дигитална кола**  
Предсједавајући: Проф. др Миле Стојчев
- T6 Обрада и пренос сигнала**  
Предсједавајући: Проф. др Милић Стојић
- T8 Процесни рачунари**  
Предсједавајући: Проф. др Слободан Вукосавић
- T9 Програмска подршка за управљање и контролу**  
Предсједавајући: Проф. др Петар Марић
- T10 Телекомуникационе технологије**  
Предсједавајући: Проф. др Џемал Колонић

---

---

## САДРЖАЈ

---

---

<b>Секција Т1: Материјали и компоненте</b> .....	<b>9</b>
Z. Pavlović, D. Brađić, A. Prijić, Z. Prijić, S. Ristić <b>Poboljšani analitički model strujno-naponskih karakteristika bipolarnih tranzistora snage sa izolovanim gejtom</b> ...	10
G. Stojanović, LJ. Živanov <b>Analiza i simulacija induktivnih fraktalnih struktura korišćenjem ANSOFT HFSS-a</b> .....	14
E. Jovanović, T. Pešić, N. Janković, D. Pantić <b>3D numerička simulacija i ekvivalentno kolo za električno modeliranje Holovog senzora</b> .....	20
T. Pešić, N. Janković <b>Fizički baziran ne-kvazi-stacionarni model potpuno osiromašenog SOI MOSFET-a sa dvostrukim gejtom</b> .....	24
V. Paunović, LJ. Vračar, N. Stamenkov, Z. Petrušić, LJ. Živković <b>Dielektrična svojstva i fazna transformacija u Nb-dopiranoj BaTiO<sub>3</sub> keramici</b> .....	28
<b>Секција Т2А: Енергетска електроника и претварачи</b> .....	<b>33</b>
Ž. Despotović, Z. Stojiljković <b>Jedna realizacija AC/AC tranzistorskog pretvarača za pobudu elektromagnetnih vibracionih transportera</b> .....	34
S. Lubura, M. Šoja <b>Drajverski modul za upravljnje DC motorima</b> .....	40
M. Šoja, С. Лубура <b>Пријена DUAL CURRENT MODE модулатора у управљању синусним инвертором</b> .....	44
П. Пејовић, П. Божовић <b>Трофазни исправљач са малим изобличењем улазне струје који користи убризгавање струје и пасивни емулатор отпорности</b> .....	48
<b>Секција Т2Б: Енергетска електроника и претварачи</b> .....	<b>53</b>
A.Ž. Rakić, T. B. Petrović, D.M. Dujković <b>Linear robust approach to modeling of parallel operating DC/DC converters</b> .....	54
V. Porobić, V. Katić <b>Voltage sags in a factory drive with modeled controlled PMSM, uncontrolled IM and supply transformer</b> .....	60
П. Матић, М. Миланковић, П. Родић, Г. Кондић, М. Радивојевић <b>Један лабораторијски модел за вјежбе из асинхроних машина</b> .....	65
D. Mančić, M. Radmanović, Z. Petrušić, M. Lazić, D. Stajić <b>Termička analiza jednog rešenja PFC kola</b> .....	69
<b>Секција Т3: Аналогна и дигитална кола</b> .....	<b>75</b>
M. Savić, B. Anđelković, V. Litovski <b>Parallel mixed-mode simulation – preliminary study</b> .....	76
D. Bundalo, Z. Bundalo, B. Đorđević <b>Regenerativna digitalna BiCMOS elektronska kola koja imaju više izlaznih logičkih stanja</b> .....	80
F. Softić, A. Ilišković <b>Modelovanja u audiologiji</b> .....	85
G. Jovanović, M. Stojčev <b>High-speed pulse-width control loop</b> .....	89

<b>Секција Т6: Обрада и пренос сигнала .....</b>	<b>95</b>
Z. Perić, J. Nikolić, D. Aleksić <b>Analiza metoda konstrukcije skalarnog kvantizera za eksponencijalni izvor .....</b>	96
M. Andrejević, V. Litovski, M. Zvolinski <b>ANN application in modeling of MEMS .....</b>	99
S. Bogoslović, M. Stefanović <b>Statističke karakteristike kodne reči sa dva simbola signala kod FSK sistema u prisustvu Gausovog šuma i Rayleigh-evog fedinga .....</b>	103
S. Bogoslović, M. Stefanović <b>Statističke karakteristike kodne reči sa dva simbola koherentnog ASK signala u prisustvu interferencije i Gausovog šuma .....</b>	106
P. Стефановић, М. Арнаутовић, Б. Тодоровић <b>Мogućности откривања радио мреже при преносу у проширеном спектру техником фреквенцијског скакања .....</b>	109
<b>Секција Т8: Процесни рачунари .....</b>	<b>113</b>
M. Marinković, B. Anđelković, P. Petković <b>Kompaktna MAC arhitektura Hilbertovog transformatora u integrisanom meraču potrošnje električne energije ...</b>	114
B. Jovanović, M. Jevtić, S. Došić, M. Sokolović, P. Petković <b>Projektovanje BIST logike u DSP bloku integrisanog merača potrošnje električne energije .....</b>	120
M. Damnjanović, B. Jovanović <b>Energy calculation in a power-meter IC .....</b>	126
M. Sokolović, M. Nikolić, M. Andrejević, P. Petković <b>ADC testing of an integrated power meter .....</b>	132
<b>Секција Т9: Програмска подршка за управљање и контролу .....</b>	<b>139</b>
M. Slankamenac, M. Živanov, K. Knapp <b>Testiranje uređaja za komunikaciju u sondi za merenje prečnika i protoka u bušotini .....</b>	140
S. Došić, M. Jevtić <b>Planiranje zadataka u sistemu za rad u realnom vremenu sa redundansom u vremenu za prevazilaženje otkaza ..</b>	146
M. Cvetković, M. Jevtić <b>RT Linux softverske funkcije za on-line nadzor procesa i događaja .....</b>	150
M. Dimitrijević, V. Litovski, S. Jovanović <b>Računarski sistem za izvođenje laboratorijskih vežbi iz elektronike .....</b>	156
<b>Секција Т10: Телекомуникационе технологије .....</b>	<b>161</b>
M. Стефановић, Д. Драча, А. Панајотовић, Д. Миловић <b>Перформансе оптичких телекомуникационих система у присуству чирповане временски померене интерференције .....</b>	162
B. Zrnić, G. Dimitrijević <b>Analiza detekcionih karakteristika radarskog sistema u realnim uslovima .....</b>	166
M. Jevtović, M. Mitrović <b>Analiza multikast protokola za rutiranje u mobilnim ad hoc mrežama .....</b>	172
G. Gardašević <b>Pregled jezika za specifikaciju kvaliteta usluga u telekomunikacionim mrežama .....</b>	177
V. Gardašević <b>Mogućnosti analize kvaliteta usluga u komunikaciji preko povezanih UMTS i IP mreža .....</b>	181







---

---

секција T1

**МАТЕРИЈАЛИ И КОМПОНЕНТЕ**

---

---

Z. Pavlović, D. Brađić, A. Prijić, Z. Prijić, S. Ristić Poboljšani analitički model strujno-naponskih karakteristika bipolarnih tranzistora snage sa izolovanim gejtom .....	10
G. Stojanović, LJ. Živanov Analiza i simulacija induktivnih fraktalnih struktura korišćenjem ANSOFT HFSS-a .....	14
E. Jovanović, T. Pešić, N. Janković, D. Pantić 3D numerička simulacija i ekvivalentno kolo za električno modeliranje Holovog senzora .....	20
T. Pešić, N. Janković Fizički baziran ne-kvazi-stacionarni model potpuno osiromašenog SOI MOSFET-a sa dvostrukim gejtom .....	24
V. Paunović, LJ. Vračar, N. Stamenkov, Z. Petrušić, LJ. Živković Dielektrična svojstva i fazna transformacija u Nb-dopiranoj BaTiO <sub>3</sub> keramici .....	28

---

---

## POBOLJŠANI ANALITIČKI MODEL STRUJNO-NAPONSKIH KARAKTERISTIKA BIPOLARNIH TRANZISTORA SNAGE SA IZOLOVANIM GEJTMOM

Z. Pavlović, *Prirodno-matematički fakultet u Nišu,*  
 D. Bradić, *Elektrotehnički fakultet u Banja Luci,*  
 A. Prijić, Z. Prijić, S. Ristić, *Elektronski fakultet u Nišu*

**Sadržaj** - U ovom radu data je eksperimentalna i teorijska analiza strujno-naponskih karakteristika u eksponencijalnoj i oblasti zasićenja bipolarnih tranzistora snage sa izolovanim gejtom (IGBT). Izmerene vrednosti strujno-naponskih karakteristika na sobnoj temperaturi dobro se slažu sa vrednostima izračunatim na osnovu predloženog poboljšanog analitičkog modela ovih karakteristika bipolarnih tranzistora sa izolovanim gejtom.

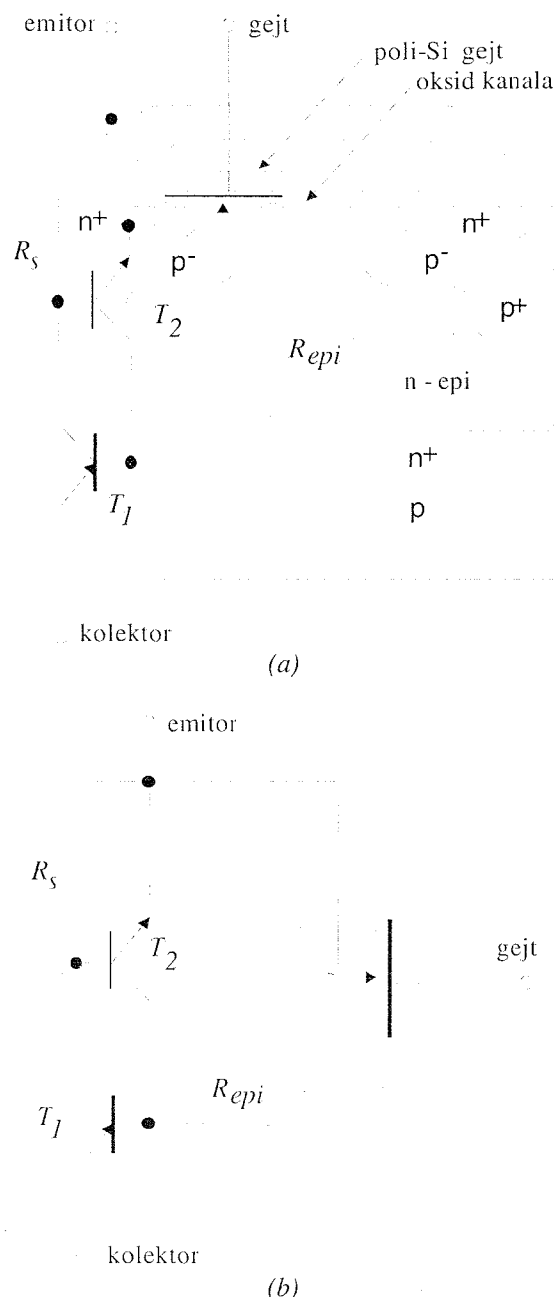
### 1. UVOD

Bipolarni tranzistor snage sa izolovanim gejtom je snažna komponenta koja se sastoji od MOS tranzistora i bipolarnih tranzistora. Ove snažne komponente najčešće se nazivaju IGBT (Insulated Gate Bipolar Transistor) komponente ili COMFET (Conductivity Modulated Field-EFFECT Transistor) komponente. Karakteristike ovih komponenta dobijaju se kombinovanim uključivanjem efekata specifičnih za rad bipolarnih tranzistora i MOS tranzistora snage. Osnovne karakteristike ovih komponenta su napon praga, prenosne i izlazne strujno-naponske karakteristike u eksponencijalnoj i u oblasti zasićenja, transkonduktansa, prekidačke karakteristike, inverzne struje, probojni naponi, otpornost uključjenja, termičke karakteristike i druge.

Prednosti bipolarnih tranzistora snage sa izolovanim gejtom dobijene su kombinovanim dejstvom dobrih strana bipolarnih i MOSFET tranzistora snage. Dobre strane ovih komponenta su mala otpornost uključjenja i mogućnost rada pri velikim strujama i naponima, kao i naponska kontrola strujno-naponskih i prekidačkih karakteristika. Osnovni nedostaci ovih komponenta su pojava parazitnih tiristora, dok je brzina rada nešto manja u odnosu na MOSFET-ove, ali znatno veća u odnosu na bipolarne tranzistore.

Poprečni presek elementarne ćelije i ekvivalentno električno kolo bipolarnih tranzistora snage sa izolovanim gejtom dati su na na Sl. 1.a) i Sl. 1.b), respektivno. Elementarne ćelije ovih snažnih komponenti su najčešće kvadratnog ili heksagonalnog oblika. Same ćelije se u integrisanoj tehnologiji paralelno povezuju, pri čemu broj ćelija zavisi od vrednosti maksimalne struje kolektora, otpornosti uključjenja, transkonduktanse i prekidačkih karakteristika komponente. Veličina ćelija, debljina i otpornost epi slojeva, profil koncentracije primesa u  $n$  i  $p$  oblasti, debljina oksida gejta, kao i tehnološki parametri izrade određuju strujno-naponske karakteristike, transkonduktasu, otpornost uključjenja i druge karakteristike komponente. Izlazne i prenosne strujno-naponske karakteristike su od najvećeg značaja

kod bipolarnih tranzistora snage sa izolovanim gejtom i zbog toga su predmet intenzivnog proučavanja u mnogim radovima [1-9].



Sl. 1. Poprečni presek (a) i ekvivalentno električno kolo (b) bipolarnog tranzistora snage sa izolovanim gejtom

U ovom radu su prikazani rezultati izračunavanja strujno-naponskih karakteristika IGBT-a na bazi poboljšanog analitičkog modela. Dodijeni numerički rezultati su upoređeni sa merenim karakteristikama komercijalnih IGBT-a familije IRG4BC20W

firme "International Rectifier". Poznavanje strujno-naponskih karakteristika bipolarnih tranzistora snage sa izolovanim gejtom je veoma bitno kako sa gledišta tehnologije izrade, tako i sa gledišta primene u savremenim elektronskim sistemima.

## 2. TEORIJSKI MODEL

Postojeći analitički modeli strujno-naponskih karakteristika IGBT-a zasnivaju se na modelu MOSFET-a i bipolarnih tranzistora snage pojedinačno [1-6]. Proračunate vrednosti strujno-naponskih karakteristika na bazi ovih modela ne slažu se sa eksperimentalno dobijenim karakteristikama koje imaju složenu eksponencijalnu zavisnost struje od napona između kolektora i emitora i napona na gejtu. Predloženim poboljšanim analitičkim modelom strujno-naponske karakteristike bipolarnih tranzistora snage sa izolovanim gejtom dobijaju se kombinovanjem izraza koji opisuju rad bipolarnih tranzistora i MOSFET tranzistora snage.

Neka je napon praga provodjenja p-n spoja, emitor-bazne diode definisan kao  $V_{FT0} \approx 0.6 V$ . Ako je napon između kolektora i emitora mali  $V_{CE} \ll V_{FT0}$ , struja kolektora data je izrazom direktno polarisane diode (emitor-bazni spoj tranzistora  $T_1$ ). Poznato je da su komponente struje direktno polarisanog p-n spoja difuziona struja i rekombinaciono-generaciona komponenta (r-g komponenta) [4-7]. Sa porastom napona  $V_{CE} < V_{FT0}$  kolektorskoj struji znatan doprinos daje i predpragovska struja MOSFET tranzistora [7-9]. Pri daljem porastu napona između kolektora i emitora  $V_{CE} > V_{FT0}$ , ukoliko je napon na gejtu MOSFET-a veći od napona praga  $V_G \geq V_{th}$ , struja MOSFET-a postaje dominantna u odnosu na difuzionu i r-g komponentu, tako da struja kolektora dobija eksponencijalni oblik struje MOSFET-a snage.

Znači, ukoliko je napon između kolektora i emitora  $V_{CE} > V_{FT0}$  i napon na gejtu MOSFET-a  $V_G \geq V_{th}$ , struja kolektora bipolarnog tranzistora snage sa izolovanim gejtom dobija se množenjem struje drejna MOSFET-a [4-6] eksponencijalnom funkcijom  $\zeta \exp(\lambda V_{CE}/V_{FT0})$  i njenim množenjem sa  $1/(1-\alpha_{PNP})$  [4, 6], tako da se dobija:

$$I_{CE} = \zeta \cdot \gamma \cdot e^{\lambda \frac{V_{CE}}{V_{FT0}}} [(V_G - V_{th})(V_{CE} - V_{FT0}) - \eta(V_{CE} - V_{FT0})^2] \quad (1)$$

gde su koeficijenti  $\gamma$ ,  $\beta$  i  $\eta$  dati izrazima:

$$\gamma = \frac{\beta}{(1-\alpha_{PNP})[1+(\theta+\beta R_{epi})(V_G - V_{th})]} \quad (2)$$

$$\beta = N \frac{W}{L} C_{ox} \mu_{ch} \quad (3)$$

$$\eta = \frac{1}{2}(1+\delta) = \frac{1}{2}\left(1 + \frac{C_D}{C_{ox}}\right) \quad (4)$$

Kapacitivnost oksida gejta po jedinici površine data je izrazom:

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (5)$$

a kapacitivnost osiromašene oblasti drejna MOSFET-a je:

$$C_D = \frac{\epsilon_{ox}}{\sqrt{\frac{4kT\epsilon_{Si} \ln(N_{Amax}/n_i)}{q^2 N_{Amax}}}} \quad (6)$$

Otpornost epi sloja data je sledećim izrazom:

$$R_{epi} = \frac{d_{epi}}{qN_{Dept}S\mu_{epi}} \quad (7)$$

U izrazu (1) za struju kolektora korišćen je modifikovan izraz za struju drejna MOSFET tranzistora snage [10] na bazi geometrijskih i tehnoloških parametara tako da je u model uključena otpornost epi sloja.

Bazni transportni faktor PNP bipolarnog tranzistora dat je izrazom:

$$\alpha_{PNP} = \frac{1}{\cosh\left(\frac{W_L}{L_n}\right)} \quad (8)$$

U prethodnim izrazima od (1) do (8) oznake fizičkih veličina su:  $\zeta$  - konstanta date familije IGBT-a koja zavisi od geometrijskih i tehnoloških parametara,  $\lambda$  - parametar koji zavisi od nivoa gustine struje i napona između kolektora i emitora (za eksponencijalnu oblast I-V karakteristika  $\lambda \approx 1$ , a za oblast zasićenja I-V karakteristika je  $\lambda \approx 2$ ),  $\eta$  - je konstanta koja zavisi od odnosa kapacitivnosti osiromašene oblasti drejna  $C_D$  i kapacitivnosti oksida gejta  $C'_{ox}$ ,  $N$  - broj elementarnih ćelija IGBT-a,  $W$  - širina kanala MOSFET-a,  $L$  - dužina kanala MOSFET-a,  $\mu_{ch}$  - pokretljivost nosilaca u kanalu,  $\mu_{epi}$  - pokretljivost nosilaca u epi sloju,  $\theta$  - parametar određen rasejanjem nosilaca na međupovršini Si-SiO<sub>2</sub>,  $W_L$  - širina N oblasti baze bez osiromašene oblasti,  $L_n$  - ambipolarni koeficijent nosilaca naelektrisanja,  $N_{Amax}$  - maksimalna koncentracija primesa nosilaca u kanalu,  $N_{Dept}$  - koncentracija primesa u epi sloju,  $t_{ox}$  - debljina oksida gejta,  $d_{epi}$  - debljina epi sloja,  $\epsilon_{Si}$  i  $\epsilon_{ox}$  - dielektrične konstante Si i oksida gejta,  $n_i$  - sopstvena koncentracija nosilaca,  $q$  - naelektrisanje elektrona,  $S$  - efektivna površina komponente,  $k$  - Boltzmanova konstanta i  $T$  - temperatura.

Strujno-naponske karakteristike bipolarnih tranzistora sa izolovanim gejtom u eksponencijalnoj oblasti, ako je  $V_{CE} > V_{FT0}$  mogu se dobiti na osnovu izraza (1) zanemarivanjem drugog člana, tako da je:

$$I_{CE(\exp)} = \zeta \cdot \gamma \cdot e^{\lambda \frac{V_{CE}}{V_{FT0}}} (V_G - V_{th})(V_{CE} - V_{FT0}) \quad (9)$$

U oblasti zasićenja strujno naponske karakteristike se dobijaju diferenciranjem struje kolektora (izraz (1)) po naponu između kolektora i emitora i izjednačavanjem sa nulom, odnosno:

$$\frac{dI_{CE}}{dV_{CE}} = 0 \quad (10)$$

Zatim se iz ove jednačine izračunava  $V_{CE(sat)}$  i zamenom ove vrednosti u izraz za  $I_{CE}$  dobija se  $I_{CE(sat)} = F(V_{CE(sat)})$ . Na ovaj način se struja kolektora u oblasti zasićenja dobija u obliku:

$$I_{CE(sat)} = \zeta \cdot \gamma \cdot e^{\lambda \frac{V_{CE(sat)}}{V_{FT0}}} (Q_s - 2\eta V_{FT0}) \frac{V_{FT0}}{\lambda^2} \quad (11)$$

pri čemu je napon zasićenja :

$$V_{CE(sat)} = V_{FT0} + \frac{\lambda(V_G - V_{th}) - 2\eta V_{FT0} + Q_\lambda}{2\lambda\eta}, \quad (12)$$

gde je:

$$Q_\lambda = \sqrt{\lambda^2 (V_G - V_{th})^2 + 4\eta^2 V_{FT0}^2} \quad (13)$$

Na osnovu ovih izraza moguće je izračunati struju kolektora i transkonduktansu u eksponencijalnoj i u oblasti zasićenja.

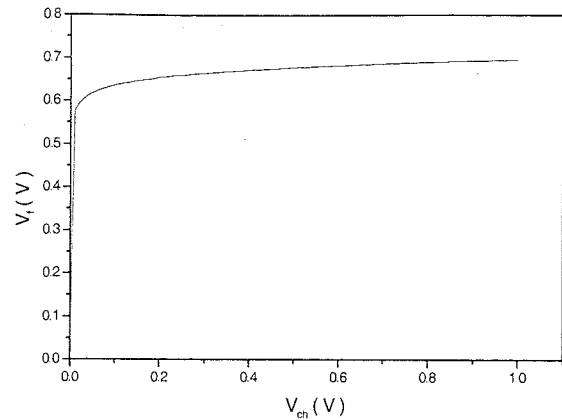
### 3. REZULTATI I DISKUSIJA

Za teorijsku i eksperimentalnu analizu korišćene su komercijalne komponente bipolarnih tranzistora sa izolovanim gejtom familije IRG4BC20W firme "International Rectifier". Za izradu ovih komponenta polazni materijal su Si pločice p-tipa sa dvostrukim epi slojem N<sup>+</sup>/N<sup>-</sup> odgovarajućih debljina i otpornosti. Bipolarni tranzistori snage sa izolovanim gejtom realizovani su standardnom poli-gejt tehnologijom višestrukom implantacijom i difuzijom odgovarajućih primesa u slabo dopirani epi sloj. Komponente su montirane u standardno plastično kućište tipa TO-220. Merenje električnih strujno-naponskih karakteristika vršeno je impulsnim putem digitalnim traserom Sony-Tectronix 370. Geometrijski i tehnološki parametri koji su korišćeni u predloženom poboljšanom analitičkom modelu su ekstrahovani na osnovu merenih električnih karakteristika i merenja profila koncentracije primesa pomoću metode distribuirane slojne otpornosti sa dva šiljka (two point spreading resistance measurements - ASR-100), firme "Solid-State Resarch. Inc".

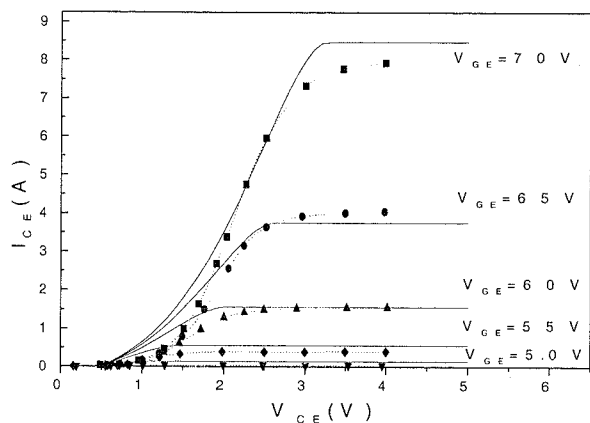
Na osnovu izraza (1) moguće je proračunati izlazne strujno-naponske karakteristike bipolarnih tranzistora snage sa izolovanim gejtom (IGBT-a) familije IRG4BC20W. Pri malim vrednostima napona između kolektora i emitora  $0 < V_{CE} < V_{FT0}$  i ako je napon na gejtu manji od napona praga MOSFET-a  $V_G < V_{th}$  struju kolektora čine difuziona strija i r-g struja emitor baznog spoja PNP tranzistora i predpragovska struja MOSFET-a. U našem slučaju predpragovska struja je zanemarena jer je manja i od difuzione i r-g komponente emitor-baznog spoja. Koristeći uslov da je struja emitor-baznog spoja približno jednaka struji MOSFET-a moguće je naći zavisnost napona direktno polarisanog emitor-baznog spoja od napona praga MOSFET-a, odnosno zavisnost  $V_{FE} = F(V_{ch})$ . Proračunate vrednosti  $V_{FE} = F(V_{ch})$  date su na Sl. 2. Sa ove slike se vidi da je posmatrana zavisnost eksponencijalna, što je posledica eksponencijalne zavisnosti struje emitor-baznog spoja.

Ako je napon između kolektora i emitora  $V_{CE} > V_{FT0}$  i ako je napon na gejtu  $V_G > V_{th}$  struju kolektora uglavnom čini struja MOSFET tranzistora sa eksponencijalnom zavisnošću (izraz (1)), jer je ona komponenta struje emitor-baznog spoja. Ako se u izrazu (1) zanemari drugi član jer je mnogo manji od prvog dobija se izraz (9) za struju kolektora u eksponencijalnoj oblasti.

Proračunate i izmerene izlazne I-V karakteristike IGBT-a za  $V_{CE} > V_{FT0}$  u eksponencijalnoj i oblasti zasićenja date su na Sl. 3.

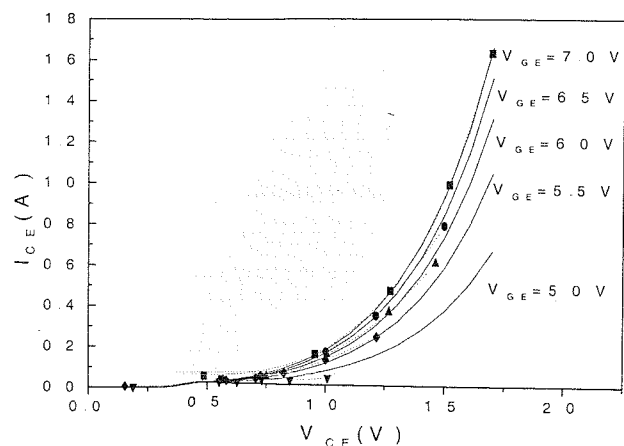


Sl. 2. Zavisnost napona direktno polarisanog emitorskog spoja od napona na gejtu IGBT-a u okolini oblasti



Sl. 3. Izlazne strujno-naponske karakteristike bipolarnih tranzistora snage sa izolovanim gejtom: puna linija - teorija; simboli - merene vrednosti

Za slučaj da je napon između kolektora i emitora  $V_{FT0} < V_{CE} < V_{CE(sat)}$  struja kolektora IGBT-a ima eksponencijalnu zavisnost i može se predstaviti izrazom (9). Na osnovu ovog izraza proračunate su I-V karakteristike u eksponencijalnoj oblasti i prikazane na Sl. 4 zajedno sa eksperimentalnim vrednostima.



Sl. 4. Strujno-naponske karakteristike u eksponencijalnoj oblasti bipolarnih tranzistora snage sa izolovanim gejtom:

#### 4. ZAKLJUČAK

U ovom radu izvršena je eksperimentalna i teorijska analiza strujno-naponskih karakteristika bipolarnih tranzistora snage sa izolovanim gejtom u eksponencijalnoj i u oblasti zasićenja na bazi predloženog poboljšanog analitičkog I-V modela. Poboljšanje se ogleda u tome da je postojećoj struji emitor-baznog spoja PNP tranzistora uključena struja MOSFET tranzistora snage. Dobijene strujno-naponske karakteristike na ovaj način imaju složeni eksponencijalni oblik umesto postojećeg paraboličnog, odnosno aproksimativnog linearnog oblika [4-6]. Izmerene vrednosti strujno-naponskih karakteristika dobro se slažu sa izračunatim vrednostima predloženog poboljšanog analitičkog modela karakteristika bipolarnih tranzistora snage sa izolovanim gejtom.

Na osnovu ovog modela moguće je izvršiti teorijska i eksperimentalna razmatranja temperaturske zavisnosti osnovnih karakteristika IGBT-a. Takođe, ovaj model omogućava dalja istraživanja i optimizaciju karakteristika IGBT-a, kao i optimizaciju geometrijskih i tehnoloških parametara njihove izrade. Pomoću ovog modela moguće je izvršiti analizu i drugih karakteristika IGBT-a kao što su transkonduktansa, predpragovske I-V karakteristike, prekidačke karakteristike, oblasti bezbednog rada kao i analizu njihovih temperaturskih zavisnosti.

#### 5. LITERATURA

- [1] J. P. Russell, A. M. Goodman, L. A. Goodman and J. M. Neilson, "The COMFET- A New High Conductance MOS-Gated Device", IEEE Electron Device Letters, vol. ED-4, No.3, pp. 63-65, 1983.
- [2] M. Mori, Y. Nakano and T. Tanaka, "An Insulated Gate Bipolar Transistor with a Self-Aligned DMOS Structure", IEEE International Devices Meeting (IEDM-88) Technical Digest, pp.813-816, 1988.
- [3] A.R. Hefner, "An Improved Understanding for Transient Operation of the Power Insulated Gate Bipolar Transistor (IGBT)", PESC'89 Conference Record, pp.303-313, 1989.
- [4] B. J. Baliga, "Modern Power Devices", New York, Wiley, 1987.
- [5] D. Grant, J. Gowar, "Power MOSFET - Theory and Applications", New York, Wiley, 1989.
- [6] V. Benda, D. Grant and J. Gowar, "Power Semiconductor Devices -Theory and Applications", New York, Wiley, 1999.
- [7] S. M. Sze, "Physics of Semiconductor Devices", New York, Wiley, 1981.
- [8] Y. Tsividis, "Operation and Modeling of the MOS Transistor", New York, Mc Graw-Hill, 1987.
- [9] N Arora, " MOSFET Models for VLSI Circuit Simulation", Springer, Wien, 1993.
- [10] Z. Pavlović, Z. Prijjić, T. Jovanović, S. Ristić, N. Stojadinović. "An Improved Model for the I-V Characteristics of Power VDMOS Transistors in Strong Inversion", Proc. International Seminar on Power Semiconductors (ISPS'92), Prague 1992, Czechoslovakia (pp. 94-101).

**Abstract** – This paper presents an improved analytical model of I-V characteristics in exponential and saturation regions of operation of insulated gate bipolar transistor (IGBT). The model improvement was achieved by incorporating an additional exponential term in one of existing I-V models to account for a forward current of collector junction. The results obtained by this improved analytical model are in better agreement with experimental results than those obtained by earlier models.

#### AN IMPROVED ANALYTICAL MODEL OF IGBT CURRENT - VOLTAGE CHARACTERISTICS

Z. Pavlović, D. Bradić, A. Prijjić, Z. Prijjić, S. Ristić

## АНАЛИЗА И СИМУЛАЦИЈА ИНДУКТИВНИХ ФРАКТАЛНИХ СТРУКТУРА КОРИШЋЕЊЕМ ANSOFT HFSS-A

Горан Стојановић, Љиљана Живанов, *Факултет техничких наука у Новом Саду*

**Садржај** – У овом раду је дат преглед различитих фракталних структура. Указано је на области примене фракталних структура у савременим РФ и микроталасним интегрисаним колима. У овом раду су по први пут представљене различити начини реализације фракталних индуктора. Коришћењем 3Д електромагнетског симулатора ХФСС извршена је симулација фракталних индуктора различитог типа и облика. Добијени резултати показују да фракталне индуктивне структуре имају боље перформансе у односу на до сада реализоване индукторе облика меандра.

### 1. УВОД

Основни циљ увођења фрактала је минијатуризација у пасивним мрежама, односно, употребом фрактала се постиже максимално смањење димензија савремених РФ и микроталасних интегрисаних кола [1]. Најинтересантнија особина фрактала је њихова поновљивост. Она их чини интересантним за примену у интегрисаним електронским колима новије генерације [2], [3].

Фрактали су математичка апстракција. Неки фрактали се могу добити одговарајућим математичким формулама које се понављају у одређеном алгоритму, по одређеним правилима. *Беноит Манделброт*, који се бавио истраживањем фрактала 1975. године је дао дефиницију фрактала. По њему фрактал је сет чија димензија прецизно превазилази тополошку димензију. Он сматра да је фрактал услов мерења комплексности облика феномена, са одређеном карактеристичном дужином. *Рандом Хоусе Диџиталнарс* је 1987 дефинисао термин фрактала као: "Геометријска или физичка структура која поседује неправилан или фрагментни облик на свим мерним скалама...тако да поседује математичке или физичке особине структуре...понашајући се као да је димензија структуре већа него што стварно јесте."

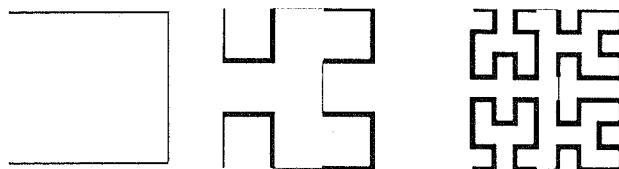
У овом раду је дат преглед различитих врста фрактала. По том је указано на различите области електронике у којима се користе фракталне структуре.

У овом раду се по први пут представљају различити облици и нови фракталних индуктора. Извршено је њихово пројектовање и симулација коришћењем 3Д електромагнетског симулатора ХФСС. Добијени резултати су поређени са експерименталним подацима из литературе за индуктор облика меандра. За исту дебљину и ширину проводне структуре фрактални индуктори показују супериорније карактеристике, већи фактор добротe и боље искоришћење површине на чипу.

### 2. ПРЕГЛЕД ФРАКТАЛНИХ СТРУКТУРА

Фрактал је крива са фракталном димензијом. У овом одељку ћемо описати различите врсте фрактала. Неки од њих, као што су дрвеће су прилично једноставни и правилни [4]. Други, као што је Менделбротов фрактал, су пак веома сложени.

**Хилбертов фрактал.** На слици 1 приказане су Хилбертове криве првог, другог и трећег нивоа. Да бисмо креирали Хилбертову криву одређеног нивоа потребно је нацртати Хилбертову криву једног ниже нивоа и повезати их линијским сегментима. Ако се мало боље загледамо приметимо да је крива другог нивоа формирана од четири криве првог нивоа (дебља линија) и три линијска сегмента (означених тањом линијом). Хилбертова крива трећег нивоа формира се од четири Хилбертове криве другог нивоа које су повезане са три линијска сегмента, итд. Мање криве од којих настаје крива већег нивоа су ротиране на тачно одређен начин, који можемо закључити са слике.



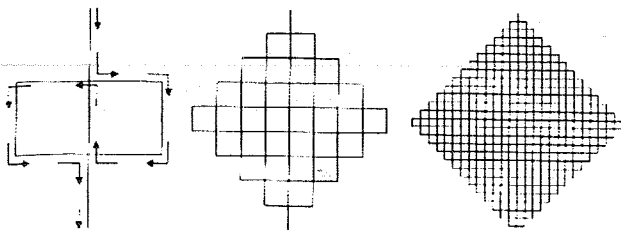
Сл. 1. Хилбертове криве првог, другог и трећег нивоа

Хилбертове криве имају неколико особина које их чине посебно погодним за коришћење у савременим интегрисаним колима. Као прво, све линије у Хилбертовим фракталима су хоризонталне или вертикалне. Као друго, врло је једноставно израчунати величину Хилбертовог фрактала. Ако ниво  $N$  криве има линијске сегменте дужине  $C$ , укупна дужина и висина криве дате су изразом (1). Користећи ову формулу можемо урадити и супрогно, тј. ако желимо да ниво  $N$  Хилбертове криве има одређену дужину и висину тада са лакоћом можемо израчунати колика мора бити дужина линијског сегмента

$$L = C \cdot (2^N - 1) \quad (1)$$

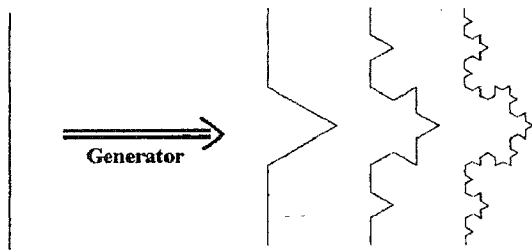
**Пеано фрактал.** Пеано криве се формирају од праволинијских сегмената, где постоје правила по којима се црта сваки наредни сегмент. На слици 2 приказани су Пеано фрактали првог, другог и трећег нивоа. Стрелице на првом нивоу приказују редослед по коме се цртају сегменти. Пеано криве вишег нивоа су направљене од мањих кривих које су на одговарајући начин скалиране и ротиране. Крива другог реда састоји се од десет кривих првог реда. Цртање криве другог реда почиње од врха, где се сваки следећи сегмент додаје на крај предходног, али претходно ротиран за  $-90^\circ$  у односу на положај

претходног сегмента. Крива трећег нивоа формира се на исти начин помоћу криве другог нивоа, итд.



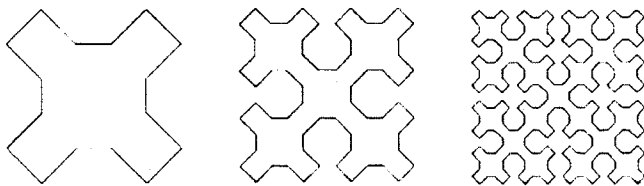
Сл. 2. Први, други и трећи ниво Пеано кривих

**Звезда фрактал.** Звезда фрактал има иницијатор у облику једнакоугаоног троугла. Генератор звезда фрактала је линијски сегмент одређене дужине. Први ниво фрактала има четири сегмента. Први и други сегмент, други и трећи и трећи и четврти сегмент заклапају међусобни угао од  $60^\circ$ , као што се види на слици 3. Сваки наредни ниво настаје од четири сегмента једног нижег нивоа који се спајају на овај начин. Генератор, први, други и трећи ниво звезда фрактала приказан је на слици 3.



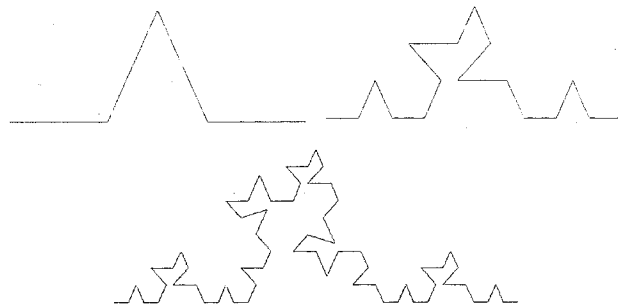
Сл. 3. Генератор, први, други и трећи ниво звезда фрактала

**Фрактал Сијерпинског.** Фрактал Сијерпинског такође спадају у *self-similar* криве и природно су дефинисане рекурзивно. На слици 4 су приказани фрактал Сијерпинског првог, другог и трећег реда. Криве Сијерпинског су једноставније за цртање за разлику од Хилбертових кривих. Свака од ових кривих је састављена од дијагоналне линије, вертикалне или хоризонталне линије и још једне дијагоналне линије.



Сл. 4. Први, други и трећи ниво криве Сијерпинског

**Стефан Милеров фрактал.** Стефан Милеров фрактал по свом изгледу подсећа на фрактал звезду. Основна разлика између ова два фрактала види се тек после другог нивоа, а огледа се у томе што је трећи сегмент окренут контра у односу на трећи сегмент звезда фрактала. Генератор ова два фрактала је исти. Први, други и трећи ниво Стефан-Милеровог фрактала приказан је на слици 5.



Сл. 5. Стефан-Милеров фрактал првог, другог и трећег нивоа

**Друге врсте фрактала.** Наравно постоје и друге врсте фрактала, које се ређе користе, као што су: фрактал у облику дрвета, фрактал у облику снежних пахуљица, Мек Вортер Пентигре фрактал, Гаскети Сијерпинског, Минковски фрактал, Сијерпински карпети, Манделбротов сет или Јулија сет [4], [5]. У овом раду неће детаљније бити речи о овим фракталима, а за детаљније информације читаоца упућујемо на литературу.

### 3. ПРИМЕНА ФРАКТАЛА

Применом фрактала постиже се максимално смањење димензија и нашло је широку примену у микроталасним филтерима, резонаторима и пасивним елементима, без обзира да ли су елементи интегрисани у микроталасним интегрисаним колима (ММИЦ), површински постављеним уређајима (СМД) или јефтиним високотемпературним управљачким уређајима.

Основни циљ увођења фрактала је минијатуризација у пасивним мрежама. Сметње у минијатуризацији пасивних компонената као што су филтри и индуктори потичу од геометријског принципа. Висок ниво фактора добротности ( $Q$ -фактора) индуктивне структуре заузима централно место и зависи од трајања рада. Многе апликације као што су мобилни системи (ГСМ, УМТС), сателитске апликације (ГПС) и ВЛАН (ПЛА) системи (*bluetooth*) заузимају 5 до 30цм, и непостоји више места за њихово смештање у уређајима. Фрактални омогућују, својом геометријом смештање елемената на малу површину [6].

Фрактална технологија отвара нове могућности у минијатуризацији пасивних РФ и микроталасних компоненти. То је нова генерација бежичних уређаја која користи неке нове могућности. Минијатурни филтри, резонатори, индуктори, кондензатори [3], отпорници и сличне пасивне компоненти израђене у овој технологији почињу да добијају примат у односу на друге технологије. У свим технологијама где се захтева велика густина паковања фрактална технологија представља оптимално решење.

Једна од примена фрактала је у резонантним структурама као што су микрострип-јаме или микрострип-уметнути резонатори. Фрактал који се користе у ове сврхе су сви типови снежних пахуљица, Хилбертов фрактал и фрактал Сијерпинског, као и сви гаскети. У поређењу са резонаторима добијеним стандардним поступком, добијених на супстрату, овакви

резонатори имају 60% мање површине и 30% већи Q-фактор. Они имају већу могућност акумулације енергије због својих геометријских карактеристика. Ова особина је посебно интересантна у савременим апликацијама где је цена материјала супстрата ограничавајући фактор, а потребне су високе перформансе.

Овај рад се, према сазнањима аутора, по први пут бави анализом и поређењем перформанси фракталних индуктора различитог типа и нивоа.

#### 4. СИМУЛАЦИЈА ИНДУКТИВНИХ ФРАКТАЛНИХ СТРУКТУРА

Тачна карактеризација индуктора на чипу (*on-chip*) је веома интересантна област и данс привлачи пажњу многим истраживачима у свету. Један од начина за прецизно одређивање особина индуктора је помоћу мерења истих. Пробни вејфер (*wafer*) са већим бројем индуктора је први корак фабрикације. РФ мерења се после усавршавају помоћу мрежног анализатора (*network analyzer*) и пробне станице (*probe station*). За налажење индуктора жељених спецификација потребно је укључити велики број индуктора у пробни вејфер.

Алтернатива је да се користе електромагнетни (ЕМ) симулатори. Овај начин је много економичнији. Уједно ово је и много флексибилнији начин због тога што се једноставним изменама могу променити, тј. оптимизовати карактеристике индуктора у циљу постизања жељених перформанси. На овај начин пројектни циклус је много краћи него у случају кад се користи пробни вајфер. Што је много важније, ЕМ симулатор се може користити за оцењивање очекиваних резултата у будућности са развојем и напретком технологија.

Електромагнетни симулатори су способни да дају добре резултате у односу на мерене податке у погледу S-параметара, Q-фактора и ефективне индуктивности ( $L_{eff}$ ). Многе симулације које се извршавају за индукторе зависе од леијаут (*layout*) параметара као што су дужина иницијатора, облик индуктора, његов ниво и сл. Максималан Q-фактор и индуктивност, зависе на пример од облика употребљеног фрактала и његовог нивоа, ширине проводне структуре, који обезбеђују директиве за селектовање индуктора који је оптимизиран да би задовољио пројектне спецификације. Употребом електромагнетског симулатора се може вршити поређење различитих облика фрактала (Хилбертов, Пеано, звезда, и сл.) да би се увиделе разлике у перформансама при истим спецификацијама. Анализом се може доћи до јасних смерница за пројектовање и оптимизацију индуктора у силицијумској технологији.

Постоје неколико комерцијалних електромагнетних симулатора при пројектовање индуктора у силицијумској технологији. Различите нумеричке технике у основи употребљавају Максвелове једначине. Јадна од метода је метод коначних елемената (ФЕМ – *finite element method*) у којој се у целој симулацији величина поља третира као непозната.

Метали са коначном дебљином су третирали било као еквивалентне површинске импедансе, било са одговарајућом поделом - мрежом (*mesh*) унутра. Друга нумеричка метода је техника базирана на интегралним једначинама или метод момента (МоМ – *method of moments*). Струја на металну површину је третирана као непозната и дискретизована користећи основне функције (*basis functions*). Овај метод смањује број непознатих компарација у односу на метод коначних елемената.

Трећа нумеричка метода је Гринова (*Green*) метода која се изводи помоћу Гринове функције. Гринова функција узима пуноталасне ефекте, као што су ефекти исијавања и здруженог супстрата. Метод је добар за наслагане средине (као што је то случај у нашим структурама, један слој силицијума, па други слој силицијум диоксида и трећи слој је проводни фрактал). Нестандардне и несавршене средине не могу бити решене коришћењем овог метода пошто је Гринова функција у том случају неупотребљива. Овај метод користи одговарајућу површинску импедансу да управља коначном дебљином метала.

У овом раду искоришћен је Ансофт ХФСС (*High-Frequency Structure Simulator*) [7], [8] 3Д симулатор који је заснован на ФЕМ методи. Изглед исцртане Пеано фракталне структуре у ХФСС-у се може видети на слици 6.

#### 5. РЕЗУЛТАТИ СИМУЛАЦИЈА, АНАЛИЗА И ДИСКУСИЈА

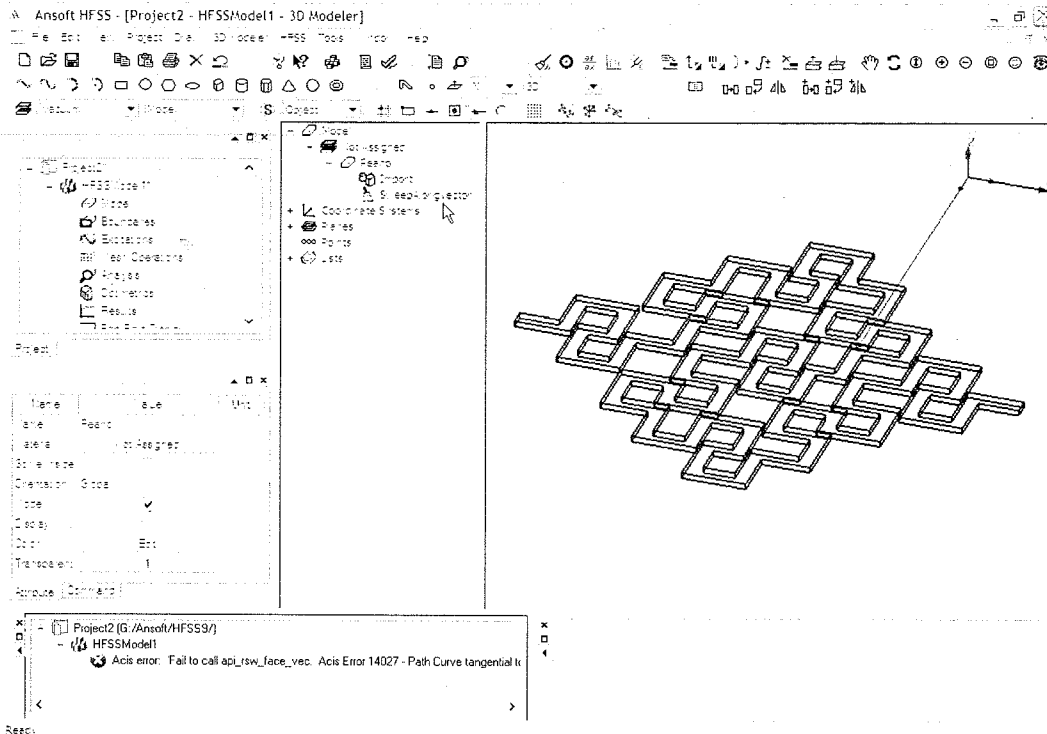
У овом делу испитаћемо и упоредити неке од индуктора формираних од различитих фракталних структура, тако да заувају исту површину на чипу. За исту ширину и дебљину слоја бакра ( $d_{Cu}=8\mu m$ ) упоредићемо фрактал Пеана, Хилберта и звезде на истој површини чипа.

Симулације су вршене за ширину проводног слоја бакра од  $24\mu m$ . Дебљина слоја силицијума је  $380\mu m$ , а дебљина слоја силицијум-диоксида је  $5.2\mu m$ . Површина целе симулиране структуре је  $820 \times 820\mu m$ . Поредићемо карактеристике индуктор са Пеано фракталом са  $N=2$  (другог нивоа, или другог реда), Хилбертовим фракталом  $N=4$  и пет редно везаних фрактала звезде  $N=2$ .

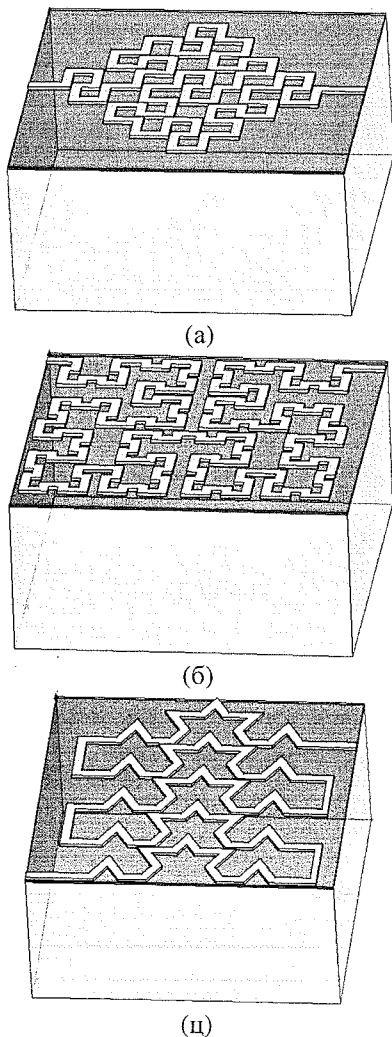
Модели ових фракталних индуктора у симулатору ХФСС приказани су на слици 7. Упоредни приказ резултата симулације у виду Q-фактора и индуктивности приказан је на слици 8.

На основу добијених резултата можемо закључити да на нижим учестаностима (до око 2GHz) индуктор са редном везом фрактала звезде има највећи Q-фактор. На учестаностима изнад 2GHz индуктор са Пеано фракталом има највећи Q-фактор. Сопствена резонантна учестаност је највећа за индуктор са Пеано фракталом.





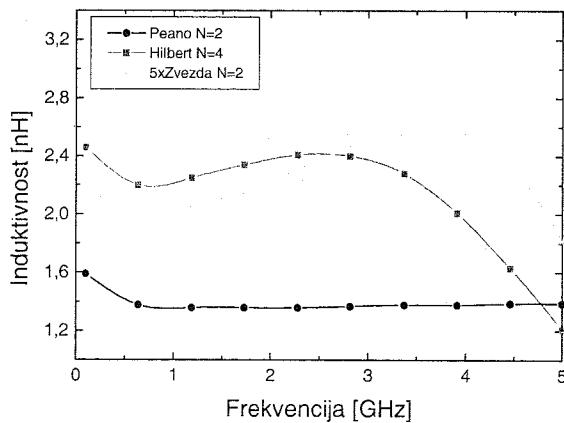
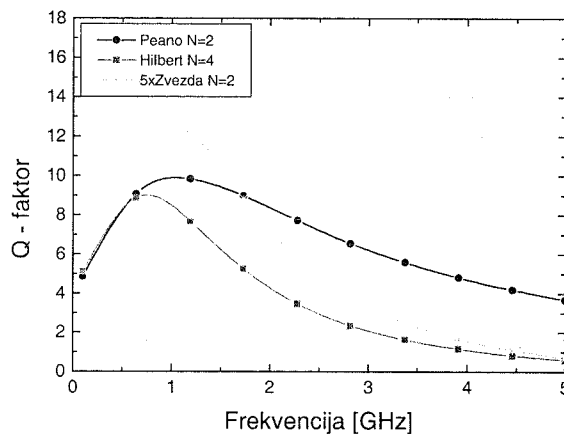
Сл. 6. Изглед Пеано фракталне структуре у програму Ансофт ХФСС



(ц)

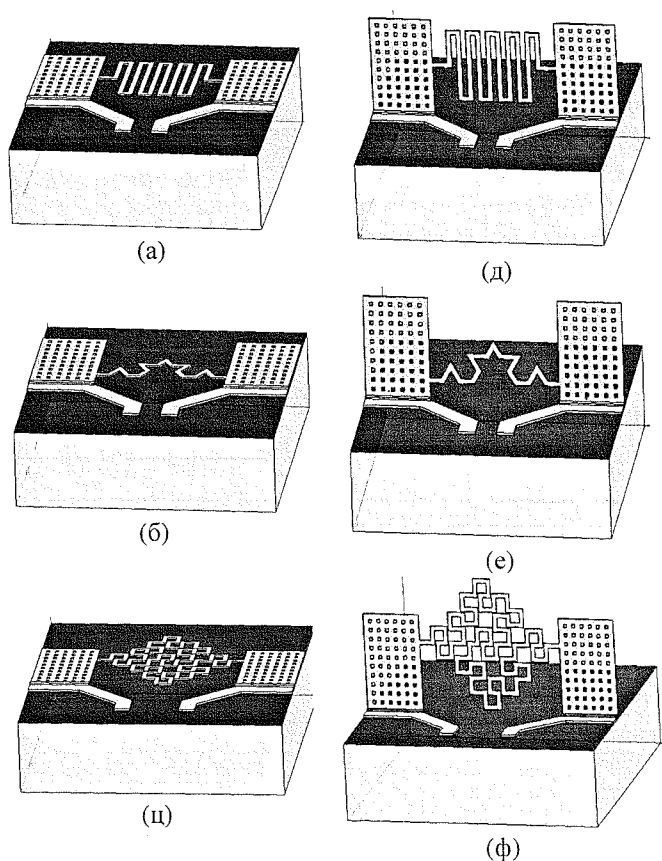
Сл. 7. Изглед модела индуктора, ширине  $24\mu\text{m}$  и дебљине  $8\mu\text{m}$  у Ансофт ХФСС-у: а) Пеано  $N=2$  б) Хилберт  $N=4$  ц) редна веза пет фрактала звезде  $N=2$

Индуктивност је највећа за индуктор са звезда фракталом, поготово на вишим учестаностима, а најмања за индуктор са Пеано фракталом.



Сл. 8. Q-фактор и индуктивност фракталних индуктора у функцији фреквенције за слој бабра дебљине  $8\mu\text{m}$  и ширине  $24\mu\text{m}$

Да би се постигле још боље перформансе фракталних структура могу се искористити добра својства MEMC технологија. MEMC технологије имају могућност да елиминишу супстрат испод пасивне компоненте и да омогуће велики однос висине и ширине у попречном пресеку структуре, чиме омогућавају дизајнерима пасивних компоненти могућност да преброде нека ограничења при њиховом пројектовању и фабрикацији. Микромашинске технологије се све више шире на подручје РФ и микроталасних апликација. Индуктори имају кључну улогу у подешљивим колима, посебно у нискошумним појачавачима и напонски контролисаним осцилаторима. Монолитни индуктори направљени стандардним ЦМОС процесом имају мали Q-фактор због губитака услед редне отпорности, паразитне капацитивности између завојака и паразитних губитака ка супстрату, због његове близине. Ако се супстрат ецује испод индуктора добијају се побољшане карактеристике индуктора.



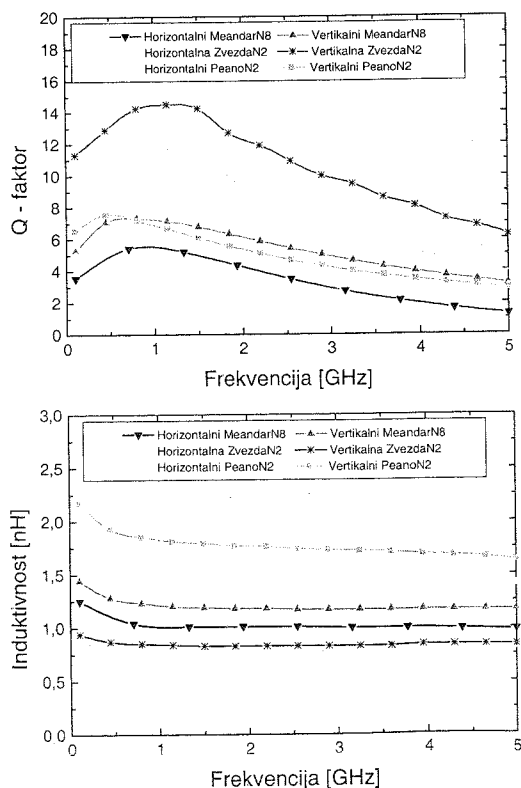
Сл. 9. Изглед индуктора са бочним носачима, са отворима за ширину слоја бакра од  $24\mu\text{m}$ : а) хоризонтално постављен индуктор са меандром  $N=8$  б) хоризонтално постављен индуктор са звезда фракталом  $N=2$  ц) хоризонтално постављен индуктор са Пеано фракталом  $N=2$  д) вертикално постављен индуктор са меандром  $N=8$  е) вертикално постављен индуктор са звезда фракталом  $N=2$  ф) вертикално постављен индуктор са Пеано фракталом  $N=2$

Друга могућност је померање индуктора даље од супстрата. Површинским микромашинством праве се гродимензионалне структуре изнад супстрата, па се може направити индуктор, избегавајући на тај начин паразитне

губитке у супстрату. Да би се повећао фактор добротe (Q) индуктора, врши се рогирање индуктора у односу на површину супстрата, што је први пут представљено у [9]. Наиме у литератури [9], [10], [11] је за индуктор облика меандра са 8 завојака, ширине слоја бакра  $24\mu\text{m}$ , након експерименталних мерења добијена индуктивност од  $2\text{nH}$  и утврђено је повећање Q-фактора од 5, када се меандер налази на Си подлози, до 11 када је меандер постављен управно на Си подлогу. Наша идеја је била да на истој површини и са истом ширином и висином проводног слоја као у литератури [10] пробамо да добијемо боље карактеристике индуктора коришћењем различитих фракталних структура.

Дакле, поредићемо индуктор са меандром  $N=8$  са индукторима формираним употребом фрактала. Као фракталне структуре користићемо звезду фрактал  $N=2$  и Пеано фрактал  $N=2$ . Модели свих ових индуктора и постављених на подлози и рогираних (загревањем и употребом силе површинског притиска, што је детаљно описано у [10], [11]) приказани су на слици 9. Упоредни приказ резултата симулације у виду Q-фактора и индуктивности приказан је на слици 10.

На основу добијених резултата могу се донети одређени закључци у вези индуктора формираних на бази фрактала. Видимо да је индуктивност незнатно већа уколико се структура постави нормално на раван супстрата у односу на случај када она стоји паралелно са том равани. Као што смо раније споменули постављање индуктивне структуре управно на подлогу доводи до смањења паразитне капацитивности између проводника и супстрата, односно смањује се негативан утицај губитака у супстрату.



Сл. 10. Q-фактор и индуктивност у функцији фреквенције за моделе индуктора са бочним носачима, ширине слоја бакра од  $24\mu\text{m}$

Такође и Q-фактор се овом ротацијом проводне структуре повећава. Ако мало боље упоредимо добијене резултате са слике 10, можемо закључити да индуктори реализовани на бази фрактала, на истој површини чипа и са истим параметрима имају већи Q-фактор у односу на до сада реализоване индукторе облика меандра, што је значајан закључак и допринос овог рада. Може се видети да избором одређеног фрактала можемо постићи и да индуктивност индуктора буде већа у односу на индуктор са меандром, за исте параметре и исту површину чипа. Код фракталних индуктора сопствена резонантна учестаност се налази на вишим фреквенцијама, а фреквенцијски опсег им је већи у односу на индукторе са меандром.

## 6. ЗАКЉУЧАК

У овом раду је уведен појам фрактала и извршена је подела фракталних структура различитог типа и ниова. Потом је извршена систематска анализа индуктора формираних на бази фракталних структура. Понашање индуктора на силицијумском супстрату испитивано је уз помоћ електромагнетног симулатора *Ансофт ХФСС*. Извршили смо поређење неки типови фракталних индуктора за различите нивое фракталне структуре да би се утврдила промена индуктивности и Q-фактора и њихов утицај на перформансе индуктора. Након тога су показане предности употребе фракталних индуктора у односу на индукторе облика меандра. Дакле, показано је да Пеано фрактал и звезда фрактал имају већи Q-фактор и индуктивност, на истој површини чипа у односу на меандер индуктор.

## 7. ЛИТЕРАТУРА

- [1] Parque Emp, Sant Jan, Sant Cugat del Valles, "Fractal miniturization in RF and microwave networks," Fractus Barcelona, Spain, 2001.
- [2] J.Zhou, M. J. Lanceaster, F. Huang, "Superconducting microstrip filters using compact resonator with double-spiral inductors and interdigital capacitor," Electrical and computer engineering Edgbaston, Birmingham B15 2TT, UK, 2002.
- [3] H. Samavati, A. Hajimiri, R. Shahani, G. N. Nassarbrakht, "Fractal capacitor," IEEE Journal of Solid-State circuit, vol.33, no.12, december 1998.
- [4] Rod Stephens, "Visual Basic-programiranje grafike," Kompijuterska biblioteka, Publikum Beograd, 1998.

- [5] Larry Riddle, "Sierpinski gasket," Copyright, Agnes Scott College, 1998.
- [6] Steven R. Best, "A Discussion on the Significance of geometry in determining the resonant behavior of the fractal and other non-Euclidean wire antennas," IEEE Antennas and Propagation Magazine, vol. 45, no. 3, June 2003.
- [7] HFSS (*High Frequency Structure Simulator*), Ansoft Inc.
- [8] "Parametric and optimization using Ansoft HFSS," Microwave Journal, Product Reviews, november, 1999.
- [9] R. R. A. Syms and E. M. Yeatman, "Self-assembly of three-dimensional microstructures using rotation by surface tension forces," Electronic Letters, vol. 29, no. 8, april, 1998.
- [10] Gerald W. Dahlmann, Eric M. Yeatman, "Microwave Characteristics of Meander Inductors Fabricated by 3D Self-Assembly", IEEE Journal of Solid-State Circuits, pp. 128-133, 2000.
- [11] Gerald W. Dahlmann, Eric M. Yeatman, "High Q microwave inductors on silicon by surface tension self-assembly," Electronic Letters, vol. 36, no. 20, september, 2000.

## ЗАХВАЛНОСТ

Овај рад је урађен уз финансијску подршку Министарства за науку, технологију и развој Републике Србије у оквиру пројекта, број ИТ.1.04.0062.Б. Аутори такође желе да изразе захвалност проф. др Ђ. Будимиру, Wireless Communications Research Group, University of Westminster, London, UK, за несебичну помоћ приликом симулација коришћењем ХФСС-а 8.5.

**Abstract** - *In this paper overview of different fractal structure is given. It indicates on the field of application of fractals in modern RF and microwave integrated circuits. This paper, for the first time, presents realization different type of fractal inductors. Simulation of several type and shape fractal inductors is conducted, using 3D electromagnetic simulator HFSS. Our results show that fractal inductors have better performance comparing with fabricated meander inductors from open literature.*

## ANALYZIS AND SIMULATION OF INDUCTIVE FRACTAL STRUCTURES USING ANSOFT HFSS

Горан Стојановић, Љиљана Живанов

## 3D NUMERIČKA SIMULACIJA I EKVIVALENTNO KOLO ZA ELEKTRIČNO MODELIRANJE HOLOVOG SENZORA

Elva Jovanović, Tatjana Pešić, Nebojša Janković, Dragan Pantić, *Elektronski fakultet u Nišu*

**Sadržaj** – U ovom radu opisan je postupak 3D simulacije tehnološkog niza za proizvodnju i električnih karakteristika krstastog Holovog magnetnog senzora u skladu sa parametrima AMS 0.8 $\mu$ m HV-CMOS tehnologije. Konzistentni 3D profil primesa krstastog Holovog senzora generisan je korišćenjem metode interpolacije za koju su, kao granični uslovi, uzeti 2D profili primesa u karakterističnim presecima 3D strukture. Takođe, dat je model ekvivalentnog kola krstastog Holovog magnetnog senzora za simulaciju električnih karakteristika koji je ugrađen u SPICE, i prikazano je poređenje rezultata 3D simulacije i novog ekvivalentnog modela sa eksperimentalnim merenjima.

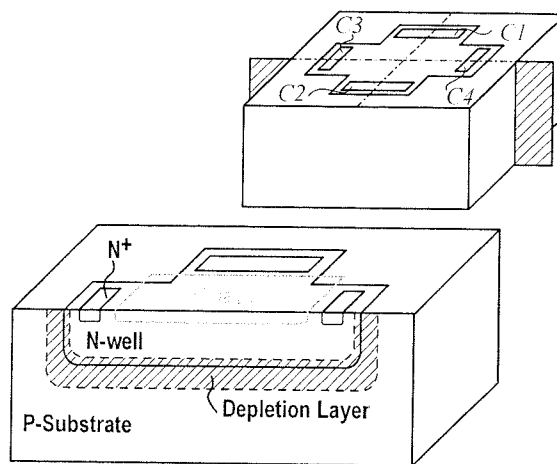
### 1. UVOD

Magnetni senzori koji rade na bazi Holovog efekta našli su široku primenu u najrazličitijim industrijskim granama, od računarske, automobilske i avio industrije do proizvodnje najsavremenije medicinske opreme [1,2]. Za proizvodnju visoko osetljivih senzora najčešće se moraju koristiti specifične, nestandardne tehnologije, što značajno poskupljuje troškove proizvodnje ovih komponentata. Senzor dobrih karakteristika može se dobiti i u nekoj od standardnih CMOS tehnologija [3,4], međutim, ovo zahteva posvećivanje maksimalne pažnje optimizaciji geometrije i layout-a komponente, s obzirom da se vrednosti tehnoloških parametara ne mogu menjati. Pored toga, senzor proizveden u standardnim tehnologijama ima i mogućnost integracije sa ostalim komponentama na čipu, čime se smanjuju troškovi proizvodnje i poboljšavaju karakteristike samog senzora.

Krstasti (*cross-shaped*) Holov senzor [5], čija je struktura prikazana na slici 1, spada u grupu magnetnih senzora i ne može se, zbog svoje geometrije, simulirati bez primene 3D procesnih i simulatora električnih karakteristika. Aproximiranje 3D profila primesa korišćenjem 1D profila primesa dobijenih simulacijom ili analitičkih 1D i 2D profila značajno utiče na tačnost dobijenih rezultata simulacije. Sa druge strane, realna 3D simulacija tehnološkog niza za proizvodnju je još uvek ozbiljan problem, kako softverski (zbog kompleksnih modela procesa, diskretizacionih metoda, mreža i numeričkih tehnika) tako i hardverski (zbog "sporih" procesora za veliki broj diskretizacionih tačaka i numeričkih operacija). Iz ovih razloga još uvek ne postoji komercijalni 3D procesni simulator. Generisanje konzistentnog 3D profila primesa moguće je na osnovu 2D profila primesa i 3D geometrijske strukture [6] korišćenjem programa DIP (Data Interpolation Package) koji je deo ISE TCAD sistema [7], ali se može koristiti i za razmenu podataka između diskretizacionih mreža različitih veličina i dimenzija uz pomoć različitih interpolacionih metoda i inkorporacionih tehnika.

Kada se u složenoj strukturi Holove komponente ne mogu zamenariti zavisnosti raspodele nosilaca duž sva tri pravca koordinatnog sistema, izrazi za makroskopske

vrednosti napona i struja ne mogu se izvesti u analitičkom obliku. Veoma uspešna metoda [5] se zasnova na ideji diskretizacije analitičkih jednačina i graničnih uslova koji opisuju transportne procese u Holovoj komponenti i omogućava nalaženje približnih vrednosti pomenutih makroskopskih veličina uz korišćenje simulatora električnih kola (na primer SPICE) Prema ovoj metodi, u ovom radu je napravljen električni model ekvivalentnog kola krstastog Holovog senzora, sačinjenog isključivo od konvencionalnih električnih komponentata.



Sl. 1. Krstasti Holov senzor realizovan u AMS 0.8 $\mu$ m HV-CMOS tehnologiji: cela struktura sa označenim kontaktima (gore) i šematski prikaz profila primesa u označenom poprečnom preseku (dole) [5].

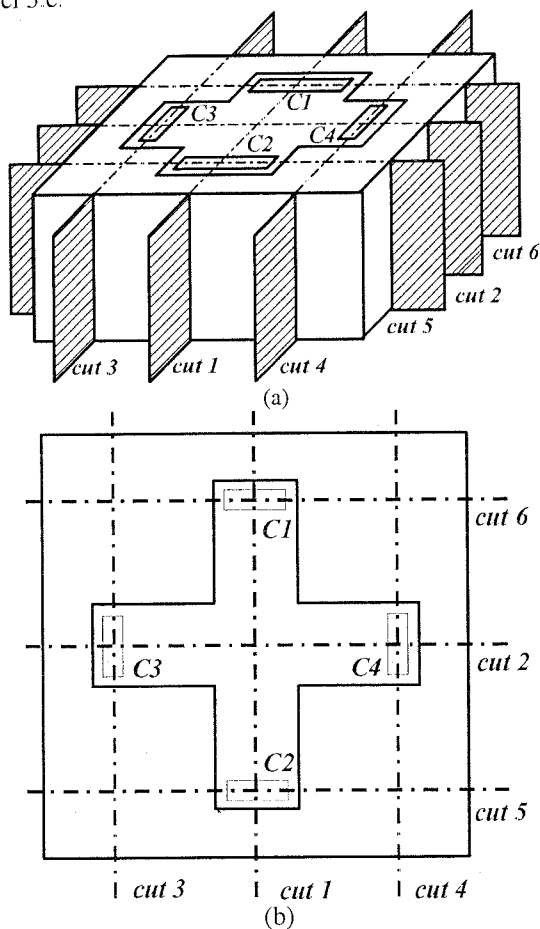
### 2. 3D SIMULACIJA

Krstasti Holov senzor je komponenta koja je osetljiva na magnetno polje normalno na njenu površinu. Geometrija je rotaciono simetrična za ugao  $\pi/2$  i komponenta ima četiri kontakta, od kojih dva naspramna služe za napajanje, a druga dva se koriste za detekciju i merenje Holovog napona. Aktivni deo komponente smešten je u slabo dopiranoj n-well oblasti i izolovan je od supstrata inverzno polarisanim p-n spojem well-supstrat. Prisustvo pobudnog napona na tom spoju formira osiromašenu oblast čija širina zavisi od promene potencijala duž pravca kojim protiče struja. Ovo dovodi do modulacije debljine provodnog sloja usled junction-field efekta, što je, pored geometrije komponente, jedan od osnovnih uzroka nelinearnosti ulazno-izlaznih karakteristika senzora. Osim toga, menja se i efektivna otpornost aktivne oblasti senzora u vertikalnom pravcu, jer zavisi od gustine naelektrisanja, što takođe uzrokuje nelinearnost otpornosti aktivne oblasti senzora u funkciji pobudne struje ili napona.

#### a) Simulacija tehnološkog niza

Kompletan tehnološki niz za proizvodnju Holovog senzora simuliran je korišćenjem parametara visokonaponske

AMS 0.8 $\mu\text{m}$  HV-CMOS tehnologije [8]. Ova tehnologija je izabrana imajući u vidu činjenicu da je za visoku osetljivost senzora potrebna nisko dopirana aktivna oblast, pa je iz tih razloga u ovom radu izabrana komponenta čija je aktivna oblast n-well oblast dubine 5 $\mu\text{m}$ . Ilustracija presecanja i layout komponente sa označenim kontaktima i preseccima dati su na slici 2. Dvodimenzioni profili primesa dobijeni simulatorom DIOS [7] u preseccima *cut1-2* prikazani su na slici 3.a, a u preseccima *cut3-6* na slici 3.b. Konzistentan profil primesa se generiše programom DIP [7] uz pomoć programa PROSIT [7] i MESH [7] na osnovu 2D profila primesa i diskretizacionih mreža u označenim preseccima (šest profila za preseke označene na slici 2), izlazne datoteke programa PROSIT koja sadrži podatke o 3D geometriji strukture, ulazne datoteke programa DIP kojom se definišu pravila interpolacije i kriterijuma generisanja 3D diskretizacione mreže. Komponenta je podeljena na 16 pravougaonih inkorporacionih oblasti, pri čemu je u svakoj oblasti primenjena jednostavna *glider* interpolacija za izračunavanje 3D profila primesa [7]. Dobijeni profil primesa i mreža diskretizacije u 3D domenu simulacije prikazani su na slici 3.c.

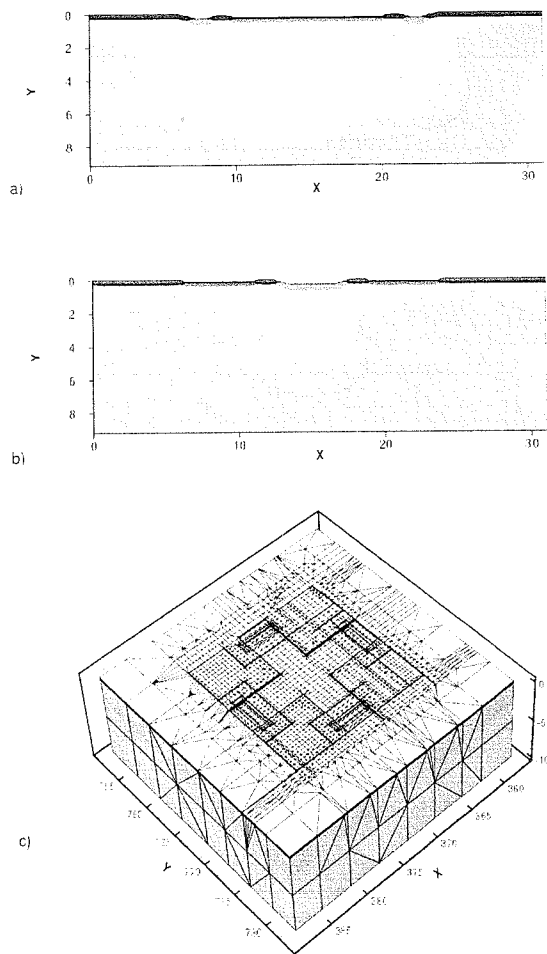


Sl. 2. Ilustracija presecanja (a) i layout (b) Holovog senzora sa označenim kontaktima (C1 i C2 senzitivni, C3 i C4 strujni kontakti) i preseccima u kojima su realizovane 2D simulacije.

#### b) Simulacija električnih karakteristika

Za simulaciju električnih karakteristika horizontalnog krstastog Holovog senzora u okviru ISE TCAD paketa [7] može se koristiti 1D/2D/3D simulator električnih, termičkih i optičkih karakteristika poluprovodničkih komponenta DESSIS u koji su ugrađeni

najnoviji i najprecizniji modeli transporta, generacije i rekombinacije nosilaca. DESSIS [7] omogućava simuliranje električnih karakteristika komponenta koje imaju vrlo složene strukture i, ono što je od posebnog značaja u ovom radu, daje mogućnost korisniku da pri generisanju električnih karakteristika uključi i uticaj magnetnog polja.



Sl. 3. Rezultati simulacije tehnološkog niza za proizvodnju Holovog senzora: a) 2D profil primesa u preseccima *cut1-2*; b) 2D profil primesa u preseccima *cut3-6*; c) 3D profil primesa i diskretizaciona mreža u celom domenu simulacije krstastog Holovog senzora.

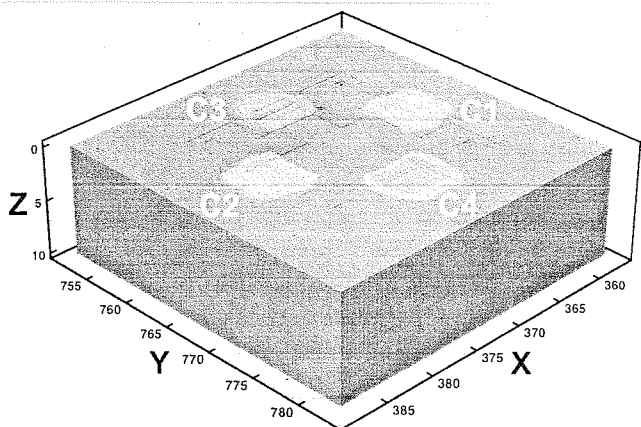
Za transport nosilaca naelektrisanja odabran je drift-difuzioni model, pri čemu se, zbog delovanja magnetnog polja, rešavaju transportne jednačine sledećeg oblika:

$$\vec{J}_n = -\sigma_n \nabla \phi_n - \sigma_n \frac{1}{1 + (\mu_n^* B)^2} [\mu_n^* \vec{B} \times \nabla \phi_n + \mu_n^* \vec{B} \times (\mu_n^* \vec{B} \times \nabla \phi_n)] \quad (1)$$

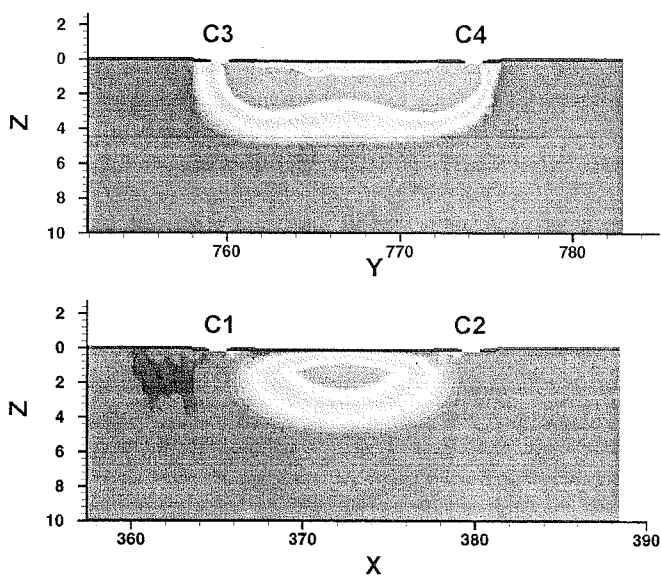
gde su:  $\sigma_n$  električna provodnost,  $\mu_n$  Holova pokretljivost zavisna od nivoa dopiranja,  $\phi_n$  kvazi-Fermijev potencijal i  $B$  magnetna indukcija. U slučaju  $B \neq 0$ ,  $\sigma_n$  je tenzor drugog reda, pri čemu je jedna komponenta paralelna a druga normalna na vektor magnetne indukcije.

Za napajanje senzora se koristi naponski generator, priključen na kontakte C3 i C4, dok su na senzitivne kontakte C1 i C2 vezana dva identična voltmetra ulazne otpornosti

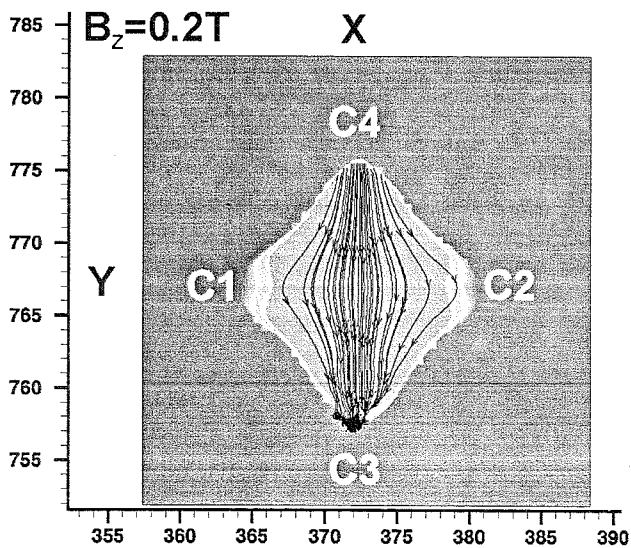
10M $\Omega$ . 3D raspodela potencijala u kompletom domenu simulacije Holovog senzora za vrednost magnetne indukcije  $B = 0.21mT$  i  $V_m = 2.54V$  prikazana je na slici 4.



Sl.4. 3D raspodela potencijala za  $B = 0.21mT$  i  $V_m = 2.54V$ .



Sl. 5. 2D raspodela gustine struje elektrona u preseku cut2 kroz strujne (gore) i preseku cut1 kroz senzitivne kontakte (dole).

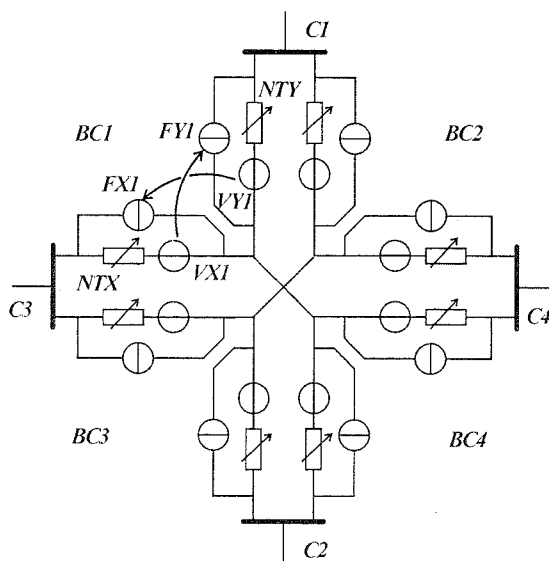


Sl. 6. Raspodela gustine struje elektrona u XZ ravni.

2D raspodele gustine struje elektrona u presecima cut1 i cut2 za iste vrednosti magnetne indukcije i napona polarizacije date su na slici 5. Jasno se uočava uticaj  $p^+$  sloja, čija je uloga da struju pomeri od površine čime se njen uticaj eliminiše, a na taj način se značajno popravljaju karakteristike senzora (strujna i naponska osetljivost) usled smanjenja gubitaka na međupovršini Si/SiO<sub>2</sub>. Na slici 6 prikazana je raspodela gustine struje elektrona u XY ravni na rastojanju 1 $\mu m$  od površine, gde strujnice jasno pokazuju uticaj magnetnog polja na transport nosilaca.

### 3. EKVIVALENTNO KOLO

Razvoj ekvivalentnog modela krstastog Holovog senzora za primene u simulatorima kola baziran je na povezanosti tehnoloških parametara i važnih fizičkih efekata materijala i komponente. Na slici 7 je predložen električni model ekvivalentnog kola krstastog Holovog senzora, sačinjenog isključivo od konvencionalnih električnih komponentata.



Sl. 7. Ekvivalentni model krstastog Holovog senzora sa naponom kontrolisanim otpornicima.

Kako prisustvo pobudnog napona na  $pn$  spoju formira osiromašenu oblast čija širina zavisi od promene potencijala duž pravca kojim protiče struja, to će doći do modulacije debljine provodnog sloja usled junction-field efekta čime se menja otpornost aktivne oblasti, što je jedan od osnovnih uzroka nelinearnosti ulazno-izlaznih karakteristika senzora. Za razliku od ranije predloženih modela [9], ovde je aktivni deo CMOS integrisanog senzora modelovan korišćenjem nelinearnog otpornika  $R_{NT}$  (NTX i NTY na slici 7), čija se vrednost može aproksimirati:

$$R_{NT} = a + b \cdot \exp\left(\frac{V_{NT}}{c}\right) \quad (2)$$

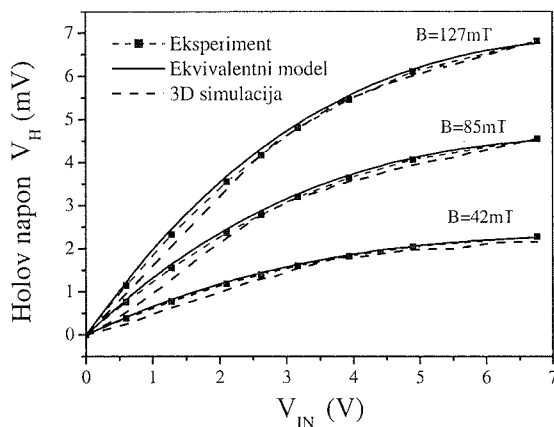
gde je  $V_{NT}$  pad napona na samom otporniku. Parametri  $a$ ,  $b$  i  $c$  koji se pojavljuju u jednačini (2) mogu se dobiti fitovanjem karakteristika sa strujno-naponskim karakteristika 3D otpornika dobijenim pomoću programa DESSIS [7]. Za strukturu senzora analiziranu u ovom radu ti parametri su:  $a = 680.62\Omega$ ,  $b = 2113.8\Omega$  i  $c = 3.55V$ . Ostali elementi

ekvivalentnog kola sa slike 7,  $F_{XY1}$  i  $F_{YX1}$  predstavljaju strujne izvore čija je struja kontrolisana strujama kroz odgovarajuće idealne ampermetre (napon na ampermetrima je 0)  $V_{XY1}$  i  $V_{YX1}$  kao što je to strelicama prikazano na slici 7. X i Y komponente struje koje se preslikavaju moraju se pomnožiti odgovarajućim strujnim pojačanjem:

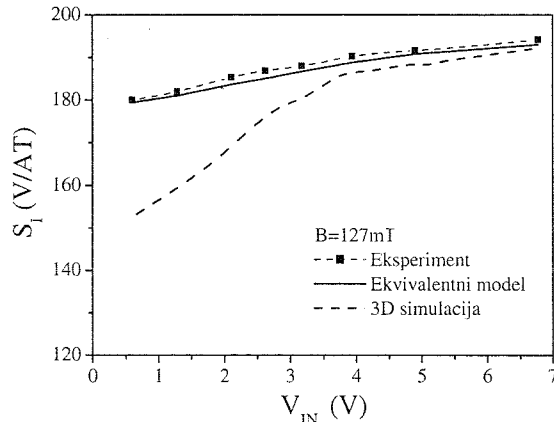
$$K_{xy} = \mu_n B \frac{\Delta x}{\Delta y} \quad (3)$$

$$K_{yx} = \mu_n B \frac{\Delta y}{\Delta x} \quad (4)$$

$\Delta x/\Delta y$  je odnos dužine i širine otpornika [9]. Na slici 8 prikazano je poređenje simuliranih (3D simulacija i pomoću ekvivalentnog modela) i merenih vrednosti Holovog napona  $V_H$  krstastog Holovog senzora u zavisnosti od pobudnog napona za različite vrednosti magnetne indukcije. Eksperimentalna vrednost Holovog napona dobijena je tako što je od izmerene vrednosti Holovog napona oduzeta vrednost napona koja se dobija na senzitivnim kontaktima za slučaj da je  $B=0$  ("offset" napon). Na slici 9 data je zavisnost strujne osetljivosti krstastog Holovog senzora od pobudnog napona pri jednoj vrednosti magnetne indukcije ( $B=127\text{mT}$ ). Prikazani rezultati pokazuju dobro slaganje sa eksperimentalnim vrednostima zahvaljujući tome što su pri izvođenju modela uzeti u obzir najvažniji efekti koji uslovljavaju nelinearnost strujno-naponskih karakteristika senzora.



Sl. 8. Zavisnost Holovog napona  $V_H$  od pobudnog napona za različite vrednosti magnetne indukcije.



Sl. 9. Strujna osetljivost krstastog Holovog senzora u funkciji pobudnog napona.

#### 4. ZAKLJUČAK

Korišćenjem ISE TCAD sistema, dat je postupak i prikazani su rezultati simulacije kompletnog tehnološkog niza za proizvodnju krstastog Holovog senzora, pri čemu su korišćeni parametri visokonaponske AMS  $0.8\mu\text{m}$  HV-CMOS tehnologije. Interpolacionim metodama primenjenim na više 2D profila, dobijenih u karakterističnim preseccima 3D domena, inkorporirano je u 3D strukturu, čime je dobijen konzistentni 3D profil krstastog Holovog senzora. Predložen je ekvivalentni model senzora sa nelinearnim otpornicima koji uključuje sve najvažnije fizičke efekte odgovorne za nelinearnost izlaznih karakteristika senzora. Simulirane vrednosti Holovog napona, dobijenog pomoću ekvivalentnog modela ugrađenog u SPICE i pomoću 3D simulacije programom ISE DESSIS upoređene su sa vrednostima eksperimentalnih merenja i uočeno je odlično slaganje.

#### 5. LITERATURA

- [1] C.L. Chin, C.R. Westgate (editors), *The Hall effect and its applications*, Plenum Press, New York, 1979, p. 535.
- [2] M. Epstein, et al. "Principles and applications of Hall-effect devices," *Proceedings of the National Electronics Conference*, vol. 15, p. 241, 1959, p. 241.
- [3] H.P. Baltes, R.S. Popovic, "Integrated semiconductor magnetic field sensors," *Proc. IEEE*, vol. 74, 1986 p. 1107.
- [4] H. Blanchard, F. De Montmollin, J. Hubin, R.S. Popović, "Highly sensitive Hall sensor in CMOS technology," *Sensors and Actuators* 82, pp. 144-148, 2000.
- [5] R.S. Popović, *Hall Effect Devices*, Second edition, IOP Publishing Ltd, Bristol and Philadelphia, 2004.
- [6] E. Jovanović, T. Pešić, D. Pantić, "3D simulation of cross-shaped Hall sensors and its equivalent circuit", *Proc. of 24<sup>th</sup> International Conference on Microelectronic - MIEL*, pp. 235-238, 2004.
- [7] ISE TCAD - Users Manual, Release 7.0, Integrated System Engineering AG, Zurich, Switzerland.
- [8]  $0.8\mu\text{m}$  HV-CMOS Process Parameters, Austria Mikro Systeme International AG, Document #9933013, 1999.
- [9] R.S. Popović, "Numerical analysis of MOS magnetic field sensors" *Solid-State Electronics*, vol. 28, no. 7, pp. 711-716, 1985.

**Abstract** - A three-dimensional (3D) process and device simulations of cross-shaped Hall magnetic sensor fabricated in the standard  $0.8\mu\text{m}$  CMOS technology have been described. The consistent 3D doping profiles are obtained by data interpolation from several 2D doping profiles generated by simulation of sensor cross-sections along main device axes of symmetry. In addition, a novel equivalent circuit model of cross-shaped Hall sensor is developed and implemented in SPICE, and the results obtained from 3D device simulation and from novel circuit model are compared with measured sensitivity characteristics of practical cross-shaped Hall sensor.

#### 3D NUMERICAL SIMULATION AND THE EQUIVALENT CIRCUIT FOR ELECTRICAL MODELING OF CROSS-SHAPED HALL SENSOR

E. Jovanović, T. Pešić, N. Janković, D. Pantić

## FIZIČKI BAZIRAN NE-KVAZI-STACIONARNI MODEL POTPUNO OSIROMAŠENOG SOI MOSFET-A SA DVOSTRUKIM GEJTOM

Tatjana Pešić, Nebojša Janković, *Elektronski fakultet u Nišu*

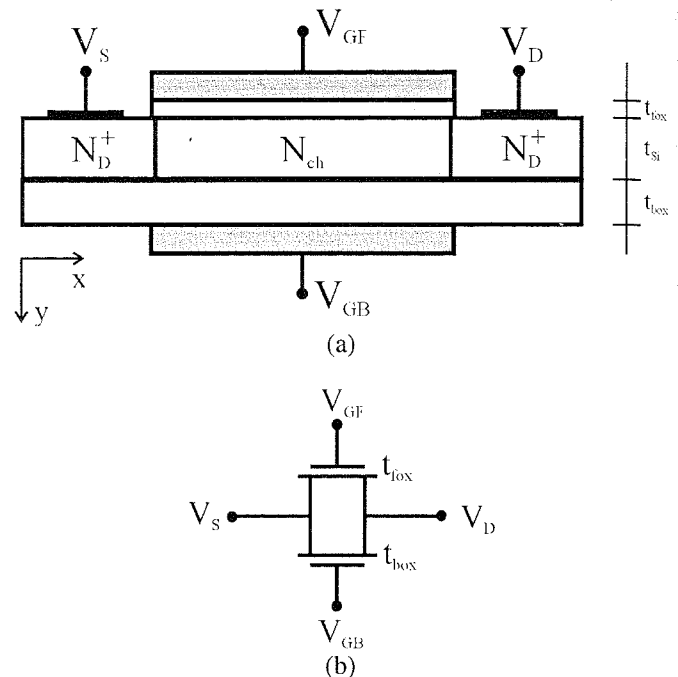
**Sadržaj** – U ovom radu opisan je novi kompaktni nekvazi-stacionarni (NKS) model potpuno osiromašenog (FD) SOI MOSFET-a sa dvostrukim gejtom (DG) baziran na ekvivalentnomvodu kojim se modeluje kašnjenje nosilaca u kanalu. Ekvivalentni vod polariše se vrednostima površinskih potencijala kanala u tačkama sorsa i drejna. Ovi potencijali su ekstrahovani iz diodnih pomoćnih kola koja rešavaju rekurentne relacije za izračunavanje gornjeg i donjeg površinskog potencijala. Poređenjem sa 2D numeričkim simulatorom, pokazano je da novi NKS SOI model može tačno predvideti dc, ac i karakteristike u vremenskom domenu FD DG SOI MOSFET-a u svim oblastima rada tranzistora.

### 1. UVOD

Savremeni MOS tranzistori u tehnologiji silicijum-naizolatoru (SOI) [1] izrađeni su na veoma tankom sloju silicijuma koji je od podloge izolovan debelim ukopanim slojem oksida. U slučaju polarizacije podloge naponom  $V_{GB}$ , dobija se SOI MOSFET sa dvostrukim gejtom (Double Gate) na način kako je prikazano na Sl.1.a. Tada se mogu aktivirati dva kanala, jedan na gornjoj i jedan na donjoj Si/SiO<sub>2</sub> međupovršini. Pri normalnoj polarizaciji gejta, doći će do potpunog osiromašenja cele zapremine oblasti kanala za slučajeve tankog silicijumskog sloja i/ili relativno niske koncentracije dopiranja. Takav tranzistor se skraćeno naziva FD (Fully Depleted) SOI MOSFET. Zbog potpunog osiromašenja silicijumskog sloja, gornji i donji površinski potencijali tranzistora postaju međusobno zavisni što uslovljava da električne karakteristike jednog kanala variraju sa promenom polarizacije na suprotnom gejtu. Izlazna struja drejna tada postaje složena funkcija oba napona na gejtu  $I_D(V_{GF,GB})$  i potrebno je razviti nove modele za FD DG SOI MOS tranzistore.

FD DG SOI MOSFET je idealni kandidat za novu generaciju niskonaponskih, vrlo brzih VLSI kola [1,2] i njihovo uvođenje u projektovanje kola zahteva vrlo tačne modele za simulaciju visokopreciznih analognih kola koja sadrže A/D konvertore, kapacitivnih prekidačkih kola i RF pojačavača. U ovakvim kolima, vreme promene ulaznog signala može biti uporedivo ili čak manje od vremena prelaza kod FD DG SOI MOSFET-a sa dugim kanalom. Sadašnji modeli SOI MOSFET-a [3-5], koji su ugrađeni u moderne simulatore električnih kola, su bazirani na kvazi-statičkoj aproksimaciji, što implicira značajne greške u predviđanju rada komponente pri visokim frekvencijama.

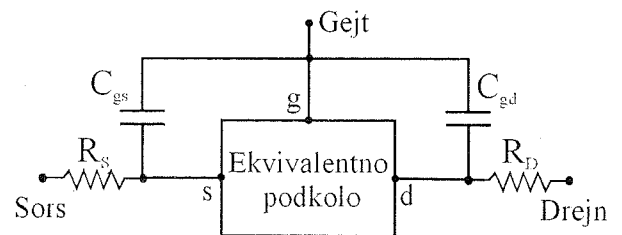
U ovom radu će biti predloženi novi kompaktni fizički bazirani električni model  $n$ -kanalnog FD DG SOI MOSFET-a (NKS SOI model), zasnovan na našem ranije razvijenom modelu za MOS tranzistor [6,7], primenljiv kako za asimetrične tako i za simetrične strukture. FD DG SOI MOSFET-a predstavljen je paralelnom vezom dve SOI komponente sa jednim gejtom (Sl.1.b) koje opisuju struje gornjeg i donjeg kanala.



Sl. 1. Šematski prikaz FD DG SOI MOSFET-a (a) i njegov opšti električni ekvivalent (b).

### 2. EKVIVALENTNI MODEL

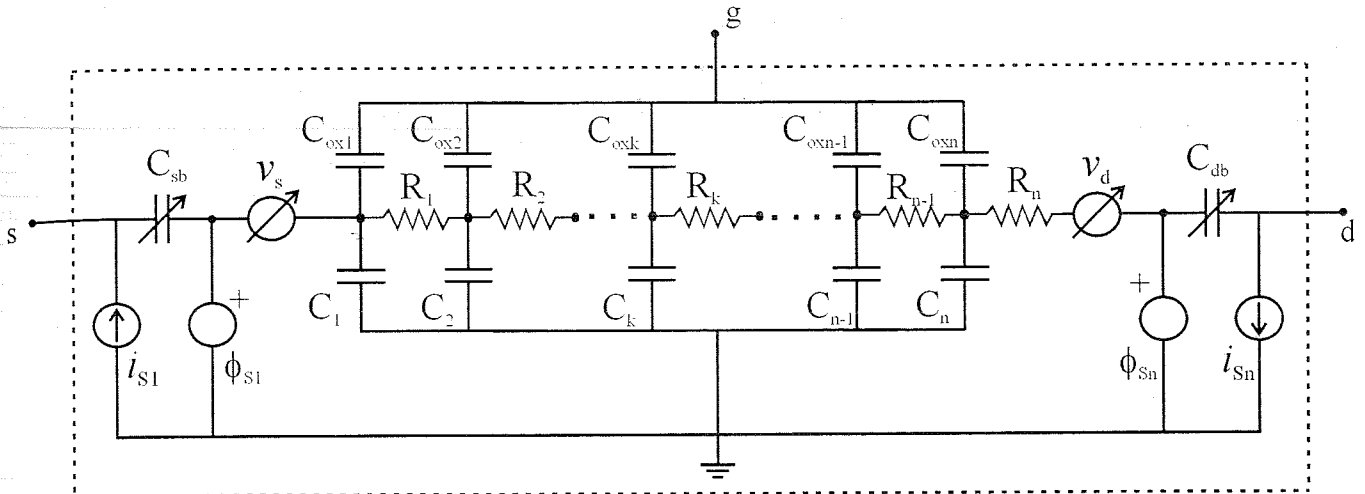
Kao što je prikazano na Sl.1, FD DG SOI MOSFET može se predstaviti pomoću dva SOI MOSFET-a sa jednim gejtom. Obe komponente se modeliraju istim električnim kolom koje je prikazano na Sl.2 [7]. Kolo se sastoji od kapacitvnosti preklapanja dela gejta sa drejnom i sorsom  $C_{gd}$ ,  $C_{gs}$ , otpornosti tela sorsa i drejna  $R_S$ ,  $R_D$  i nelinearnog ekvivalentnog podkola.



Sl. 2. Model DG SOI MOSFET-a sa jednim gejtom.

Ekvivalentno podkolo, prikazano na Sl.3, sastoji se od nelineanog  $n$ -segmentnog ekvivalentnog voda, kapacitvnosti osiromaših oblasti  $pn$  spojeva  $C_{db}$ ,  $C_{sb}$  i strujom kontrolisanih strujnih izvora  $i_{s1}$  i  $i_{sn}$  kroz koje protiče preslikana struja kroz nulte virtuelne naponske generatore  $v_s$  i  $v_d$ . Nelinearni ekvivalentni vod opisuje kašnjenje nosilaca u kanalu, dok su naponi  $\phi_{s1}$  i  $\phi_{sn}$  granični površinski potencijali za oblast





Sl. 3. Šema ekvivalentnog podkola.

kanala na strani sorsa i drejna, respektivno. Elementi čelije ekvivalentnog voda  $C_{foxk} (= C_{fox}/n)$ ,  $C_k$  and  $R_k$  ( $k=1 \div n$ ) predstavljaju redom kapacitivnost oksida gejta, ekvivalentu kapacitivnost kanala u odnosu na masu i nelinearnu otpornost kanala. Da bi pojednostavili model i izbegli moguće probleme pri konvergenciji,  $C_k$  je aproksimiran kao efektivni linearni kondenzator koji je redna veza kapacitivnosti osiromašene oblasti u silicijumu  $C_{Si}$  i suprotne kapacitivnosti oksida (za gornji FD SOI MOSFET to je kapacitivnost donjeg oksida). Tako se ova kapacitivnost, za gornji FD SOI MOSFET, računa kao:

$$C_k \approx m \cdot \frac{C_{Si} C_{box}}{C_{Si} + C_{box}} = m \cdot \frac{\epsilon_{Si} \epsilon_{ox}}{\epsilon_{Si} t_{box} + \epsilon_{ox} t_{Si}} \quad (1)$$

gde je  $m$  parametar za fitovanje,  $t_{Si}$ ,  $t_{fox}$  i  $t_{box}$  su redom debljine silicijumskog sloja, gornjeg i donjeg oksida. Otpornost segmenta kanala, kao i parametri pomoću kojih se modeliraju efekti kratkog kanala računati su na isti način kao u [6].

Potencijali u graničnim čvorovima (na krajevima kanala ka sorsu, odnosno drejnu),  $\phi_{S1}$  i  $\phi_{Sn}$ , povezani su sa terminalnim naponima  $V_{GF}$ ,  $V_{GB}$  i  $V_{DS}$  sledećim rekurentnim relacijama [8]:

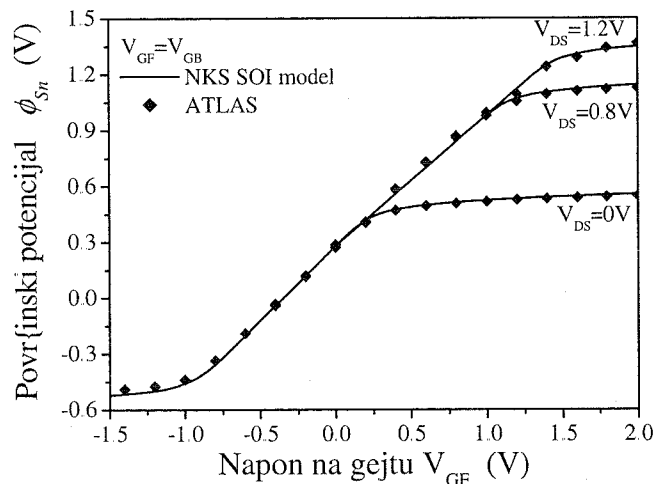
$$\begin{aligned} & \frac{1}{\gamma^2} \left[ (V_{GF} - V_{FBf} - \phi_{S1})^2 - \frac{t_{fox}^2}{t_{box}^2} (V_{GB} - V_{FBb} - \phi_{B1})^2 \right] \\ & = V_t e^{-2\phi_f/V_t} \left( e^{\phi_{S1}/V_t} - e^{\phi_{B1}/V_t} \right) \\ & + V_t \left( e^{-\phi_{S1}/V_t} - e^{-\phi_{B1}/V_t} \right) + \phi_{S1} - \phi_{B1} \end{aligned} \quad (2)$$

$$\begin{aligned} & \frac{1}{\gamma^2} \left[ (V_{GF} - V_{FBf} - \phi_{Sn})^2 - \frac{t_{fox}^2}{t_{box}^2} (V_{GB} - V_{FBb} - \phi_{Bn})^2 \right] \\ & = V_t e^{-(2\phi_f + V_{DS})/V_t} \left( e^{\phi_{Sn}/V_t} - e^{\phi_{Bn}/V_t} \right) \\ & + V_t \left( e^{-\phi_{Sn}/V_t} - e^{-\phi_{Bn}/V_t} \right) + \phi_{Sn} - \phi_{Bn} \end{aligned} \quad (3)$$

pri čemu se za potpuno osiromašenu oblast silicijuma može uvesti aproksimacija [8]:

$$\phi_{B1} \approx \phi_{S1} - \frac{q N_{ch} t_{Si}^2}{\epsilon_{Si}}, \quad \phi_{Bn} \approx \phi_{Sn} - \frac{q N_{ch} t_{Si}^2}{\epsilon_{Si}} \quad (4)$$

gde je  $V_t$  termički napon,  $\phi_f = V_t \ln(N_{ch}/n_i)$  potencijal kanala,  $\gamma = t_{fox} / \epsilon_{ox} \cdot \sqrt{2 \epsilon_o \epsilon_{ox} q N_{ch}}$  faktor podloge,  $V_{FBf}$  i  $V_{FBb}$  naponi ravnih zona gornjeg i donjeg gejta. Pomoću pomoćnih diodnih kola u SPICE-u [9] moguće je dobiti rešenja jednačina (2) i (3) [6], odnosno površinske potencijale  $\phi_{S1}$  i  $\phi_{Sn}$ . Na Sl.4 prikazano je poređenje ovako dobijenih vrednosti površinskih potencijala sa rezultatima koji su ekstrahovani iz simulacija dobijenih pomoću 2D numeričkog simulatora ATLAS [10]. Odlično slaganje simuliranih i numeričkih vrednosti potvrđuju uspešnost ovakvog metoda.

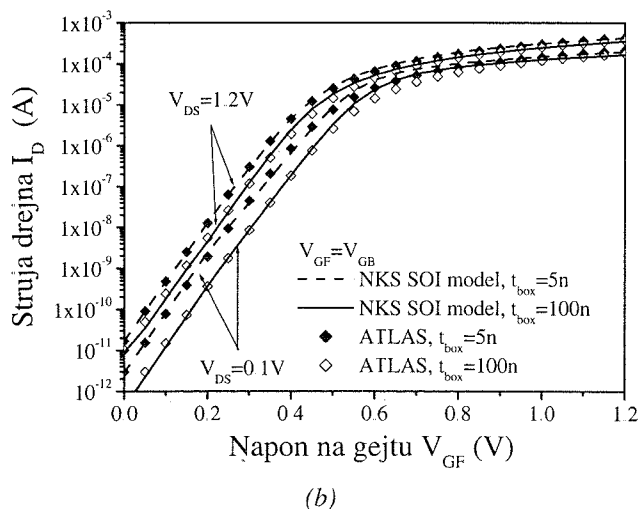
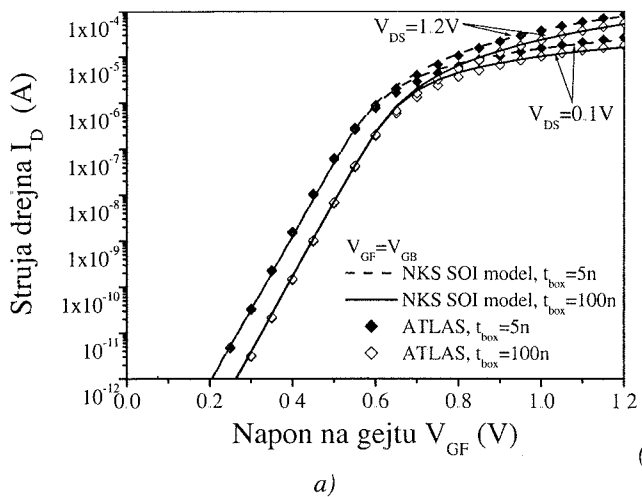


Sl. 4. Poređenje površinskih potencijala u funkciji napona  $V_{GF}$  i  $V_{DS}$ , dobijenih diodnim pomoćnim kolima i numeričkim simulatorom ATLAS [10]. Površinski potencijal na strani sorsa je  $\phi_{S1} = \phi_{Sn} |_{V_{DS}=0}$ .

Vrednosti ovako izračunatih površinskih potencijala se potom kopiraju na ulaz i izlaz ekvivalentnog podkola preko naponskih generatora  $\phi_{S1}$  i  $\phi_{Sn}$ . Sa ovako postavljenim graničnim uslovima, izračunavaju se potencijali u svakom čvoru ekvivalentnog voda, na osnovu kojih je moguće proračunati elemente segmenata ekvivalentnog voda. To omogućava dobijanje ostalih parametara modela kao i električnih karakteristika tranzistora na način kako je prikazano u [6,7].

### 3. REZULTATI

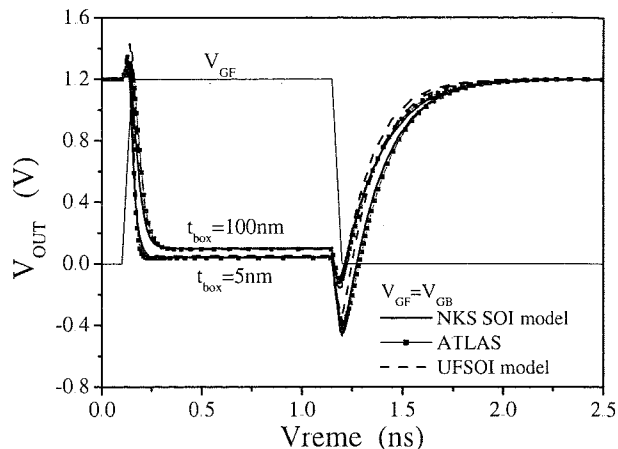
Novi električni model FD DG SOI MOSFET-a je primenjen u simulatoru električnih kola SPICE [9] na isti način kao u [6,7]. Analizirana je tranzistorska struktura čiji su tehnološki parametri:  $t_{fox} = 5nm$ ,  $t_{box} = 5nm$ ,  $t_{si} = 20nm$ ,  $N_{ch} = 1.6 \cdot 10^{18} cm^{-3}$ , pri čemu je dužina kanala  $L = 1\mu m$ . Na Sl.5.a date su Gamelove karakteristike FD DG SOI MOSFET-a za simetričnu ( $t_{box} = 5nm$ ) i asimetričnu ( $t_{box} = 100nm$ ) strukturu dobijene NKS SOI modelom. Takođe su prikazane iste karakteristike dobijene korišćenjem 2-D numeričkog simulatora ATLAS [10]. Gamelove karakteristike za tranzistor sa dužinom kanala  $L = 0.1\mu m$ , kod koga su vrlo izraženi efekti kratkog kanala, prikazani su na Sl.5.b.



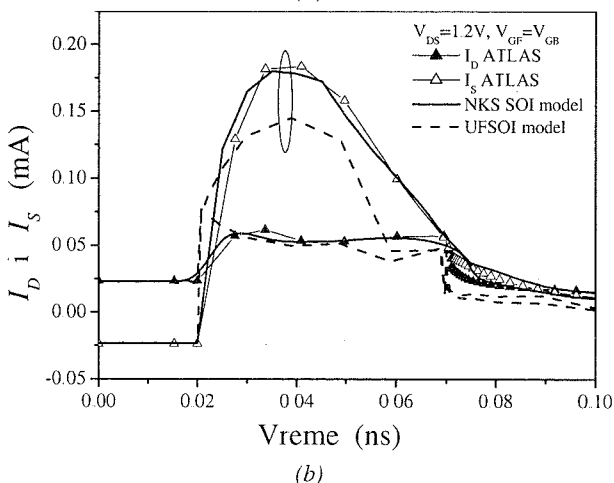
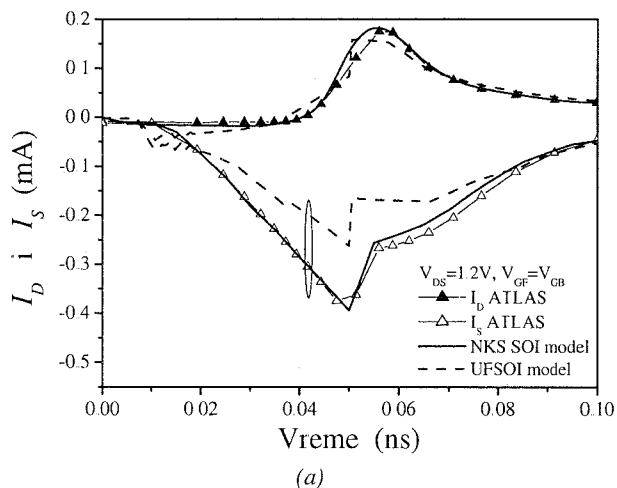
Sl. 5. Gamelove karakteristike FD DG SOI MOSFET-a za dve različite debljine donjeg oksida za dužinu kanala  $L = 1\mu m$  (a) i  $L = 0.1\mu m$  (b), dobijene NKS SOI modelom i pomoću 2D simulatora.

Na Sl.6 prikazana je u vremenskom domenu promena napona na izlazu sa promenom napona na gejtju. Uočljivo je dobro slaganje rezultata modela sa rezultatima 2D simulatora ATLAS [10]. Na slici su, takođe, prikazani i rezultati dobijeni pomoću kvazi-statičkog (KS) modela UFSOI [5]. U analizi velikih signala, ne-kvazi-statično ponašanje

komponente najbolje se može ilustrovati kroz razlike struja drejna i sorsa tokom promene ulaznog signala. Sl.7 pokazuje simulirane



Sl. 6. Odziv izlaznog napona na promenu ulaznog signala za simetričnu FD DG SOI MOSFET strukturu za dve različite debljine donjeg oksida.

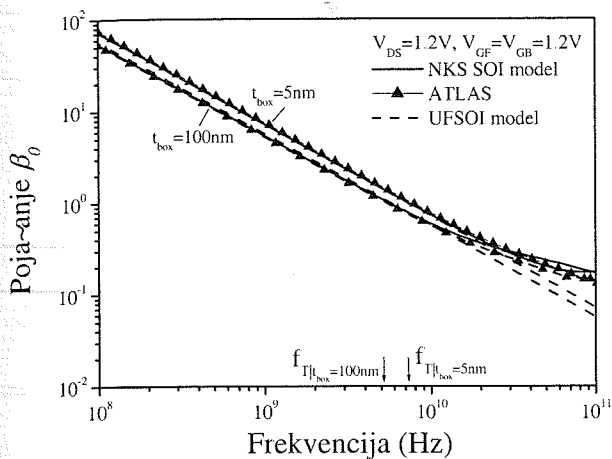


Sl. 7. Struje sorsa i drejna FD DG SOI MOSFET-a u prelaznom režimu prilikom uključjenja (a) i isključjenja (b) ulaznog signala. Napon na gejtju menja se od 0 do 1.2V, i obrnuto, u toku 50ps.

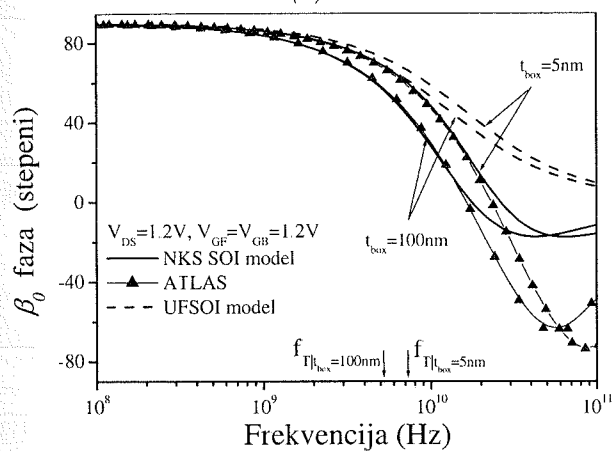
terminalne struje sorsa i drejna tokom uključjenja (Sl.7.a) i tokom isključjenja (Sl.7.b) pobudnog napona u prelaznom režimu u poređenju sa rezultatima mixed-mode simulacije [10]. Treba napomenuti da je, radi realističnije simulacije

truja  
Sl.7

velikih signala, drejn bio opterećen otpornikom  $R_{LOAD} = 50k\Omega$ , dok je na izlazu kondenzator  $C_{LOAD} = 3fF$ . Slika jasno pokazuje da, dok novi model NKS SOI odlično prati rezultate *mixed-mode* simulacije iz ATLAS-a[10], rezultati dobijeni KS UFSOI modelom [5] značajno odstupaju od rezultata numeričke 2D simulacije.



(a)



(b)

Sl. 8. Amplitudska (a) i fazna (b) frekventna karakteristika strujnog pojačanja FD DG SOI MOSFET-a.

Kod analize malih signala, Sl.8 pokazuje simulirane amplitudske (Sl.8.a) i fazne (Sl.8.b) frekvence zavisnosti strujnog pojačanja  $\beta_0 = |y_{21}|/|y_{11}|$  za dva FD DG SOI MOSFET-a sa debljinama donjeg oksida  $t_{box} = 5nm$ , odnosno  $t_{box} = 100nm$ . Uočljivo je da NKS SOI model dobro predviđa amplitudsku i faznu karakteristiku čak i na frekvencijama koje su 10 puta veće od granične frekvencije, dok ove karakteristike dobijene pomoću KS UFSOI modela [5] pokazuju značajno odstupanje na visokim frekvencijama od rezultata 2D numeričkog simulatora ATLAS [10], naročito odstupanje fazne karakteristike. Tačno predviđanje faze strujnog pojačanje važno je, na primer, za precizno projektovanje faze margine RF CMOS pojačavača snage.

Naročito je značajno da je primena principa superpozicije dva FD SOI MOSFET-a sa jednim gejtom za modeliranje strukture sa dvostrukim gejtom, koji je prema saznanju autora po prvi put opisana u literaturi, dala odlično slaganje sa numeričkim rezultatima.

#### 4. ZAKLJUČAK

Razvijen je novi ne-kvazi-stacionarni model *n*-kanalnog SOI MOSFET-a sa potpunim osiromašenjem i sa dvostrukim gejtom (FD DG SOI MOSFET), na bazi ranije razvijenog NKS modela MOSFET-a i DG SOI MOSFET-a [6,7]. Pokazano je da se FD SOI MOSFET sa dva gejta može da modelira kao paralelna veza dva FD SOI MOSFET-a sa jednim gejtom, pri čemu je unutrašnji potencijal određen međudejstvom oba gejtovska napona. Razvijeni električni model je primenjen u simulatoru električnih karakteristika SPICE za generisanje karakteristika FD DG SOI MOSFET-a u dc, ac i vremenskom domenu. Dobijeno je odlično slaganje sa rezultatima 2D numeričke simulacije za SOI tranzistore.

#### 5. LITERATURA

- [1] G.K. Celler, S. Cristoloveanu, "Frontiers of Silicon-on Insulator," *Journal of Applied Physics*, vol. 93, No. 9, pp. 4955-4978, May 2003.
- [2] Int. tech Roadmap Semocond. (ITRS), San, Jose, CA, Semiconductor Industry Association, 2001.
- [3] BSIM3SOI v1.3, User's Manual, University of California, Berkeley, 1998.
- [4] MOS model 40, Philips Semiconductors, 2004.
- [5] M.-H. Chiang, J. Fossum, UFSOI Model Parameter Evaluation, University of Florida, Gainesville, 1998.
- [6] T. Pešić, N. Janković, "Physical-based non-quasi static MOSFET model for DC, AC and transient circuit analysis", *Proc. of 24<sup>th</sup> International Conference on Microelectronics - MIEL 2004*, vol. 1, pp. 261-264, 2004.
- [7] T. Pešić, N. Janković, "Fizički-baziran električni model potpuno osiromašenog SOI MOSFET-a", *rad prezentovan na XLVIII konferenciji ETRAN*, Čačak, 2004.
- [8] J. Sleight, R. Rios, "A continuous compact MOSFET model for fully- and partially-depleted SOI devices", *IEEE Trans. Electron Devices*, vol. 45, pp. 821-825, 1998.
- [9] *HSPICE Manuel*, Meta-software Inc. 1990.
- [10] ATLAS User's Manuel-Device simulation Software, SILVACO International Inc., 2000.

**Abstract** - In this paper, we describe new compact non-quasi-static (NQS) model of fully-depleted (FD) double-gate (DG) SOI MOSFETs based on the equivalent transmission line circuit (TLC) describing carrier propagation in the channel. The biasing voltages of the equivalent TLC are the channel boundary potentials at the source and the drain side. They are extracted from the auxiliary diode sub-circuits that effectively solve the recurrent relations of the front and the back channel surface potentials. Based on the comparison with the 2-D numerical device simulator, it is shown that the new NQS SOI model can accurately predict dc, ac and transient characteristics of FD DG SOI MOSFETs in all operational regions.

#### PHYSICALLY BASED NON-QUASI-STATIC MODEL OF FULLY-DEPLETED DOUBLE-GATE SOI MOSFET

Tatjana Pešić, Nebojša Janković

a) i  
om  
cije  
cije

## DIELEKTRIČNA SVOJSTVA I FAZNA TRANSFORMACIJA U Nb-DOPIRANOJ BaTiO<sub>3</sub> KERAMICI

Vesna Paunović, Ljubomir Vračar, Nataša Stamenkov, Zoran Petrušić, Ljiljana Živković

*Elektronski fakultet u Nišu, 18000 Niš, Beogradska 14, Srbija i Crna Gora*

**Sadržaj-** U ovom radu ispitivana su dielektrična svojstva donor Nb-dopirane i donor/akceptor Nb/Mn dopirane BaTiO<sub>3</sub> keramike sa posebnim osvrtom na faznu transformaciju i Kirijevu temperaturu. Keramika je dobijena sinterovanjem u čvrstoj fazi na temperaturi 1310 °C u vremenu od dva sata. Mikrostruktura i kompozicioni sastav su ispitivani SEM i EDS metodom. Dve različite mikrostrukturne oblasti su zapažene u Nb-BaTiO<sub>3</sub> koje se razlikuju ne samo po veličini nego i po sastavu zrna. Nb/Mn-BaTiO<sub>3</sub> sa 0.01mol% Mn odlikuje uniformna mikrostruktura sa srednjim veličinom zrna od 6μm. Promena dielektrične konstante ispitivana je u zavisnosti od koncentracije aditiva i temperature. Koristeći Kiri-Vajsov zakon i modifikovani Kiri-Vajsov zakon ispitivani su parametri kao što su Kirijeva konstanta (C) i parametri  $\gamma$  i  $\delta$  koji opisuju difuzivnost i stepen nelinearnosti promene  $\epsilon_r$  od temperature iznad Kirijeve temperature.

### 1. UVOD

Poslednjih godina istraživanja modifikovane BaTiO<sub>3</sub> keramike sa različitim aditivima i različitim načinima dobijanja polaznih prahova zauzimaju značajno mesto ne samo sa naučne tačke gledišta već posebno sa komercijalne tačke gledišta. Modifikovana BaTiO<sub>3</sub> keramika koristi se za dobijanje elektronskih komponenata, kao što su keramički kondenzatori, grejači, senzori sa PTC efektom ili piezoelektrični pretvarači [1-3] a u zavisnosti od toga koja svojstva keramike treba iskoristiti dodaju se različiti aditivi. S obzirom na perovskitnu strukturu BaTiO<sub>3</sub> (BT) keramike, a u zavisnosti od radijusa jona, joni dopanata se mogu ugraditi na mesta Ba<sup>2+</sup> ili Ti<sup>4+</sup> jona, uslovljavajući tako dielektrična ili poluprovodna svojstva keramike. U principu, mala koncentracija donorskih primesa kao što su Nb<sup>5+</sup> ili La<sup>3+</sup> (<0.5 at%) vodi ka poluprovodnim svojstvima keramike na sobnoj temperaturi i PTC efektu, veća koncentracija aditiva vodi ka izolatorskoj keramici sa većim probojnim naponom. Jedan od najčešće korišćenih aditiva je Nb<sup>5+</sup> koji zbog svog malog jonskog radijusa lako zamenjuje Ti<sup>4+</sup> i ponaša se kao donorska primesa [4]. Pri visokim koncentracijama Nb<sup>5+</sup> (>3 at%), Nb<sup>5+</sup> joni se ugrađuju na mesta Ti<sup>4+</sup> jona a razlika u naelektrisanju se kompenzuje stvaranjem vakancija titana. Kontrolisano ugrađivanje donorskih primesa kao što je Nb<sup>5+</sup> u kombinaciji sa akceptorskim primesama Mn<sup>2+</sup> vodi ka dobijanju keramike sa uniformnom mikrostrukturom i povećanom dielektričnom konstantom kako na sobnoj tako i na temperaturi fazne transformacije u odnosu na Nb-BaTiO<sub>3</sub> keramiku [5-7]. Osobine kodopirane keramike zavise od odnosa akceptor/donor, odnosno od vrste i koncentracije defekata na granici zrna. Kodopirana keramika pokazuje niže vrednosti tangensa ugla gubitaka. Pored toga što aditivi kontrolišu električna svojstva, njihov uticaj na mikrostrukturne karakteristike je izuzetno veliki.

### Fazna transformacija

BaTiO<sub>3</sub> ima perovskitnu strukturu i prolazi kroz niz faznih transformacija pri hlađenju, od kubne do tetragonalne feroelektrične faze na 128°C-130°C (za monokristalni BT), do ortorombične feroelektrične na 0°C, i daljim hlađenjem do romboedarske feroelektrične faze na -80°C. U BT keramici čija je početna veličina čestica <0.7 μm fazna transformacija iz tetragonalnog u kubni sistem, odvija se na nižoj temperaturi. Pokazano je da se u BT keramici dobijenoj hidrotermalnom metodom fazna transformacija dešava na 121±3°C. Unutrašnja naprežanja takođe utiču na faznu transformaciju.

Uticaj aditiva na temperaturu fazne transformacije kao i na Kirijevu konstantu se najbolje može pratiti preko zavisnosti dielektrične konstante od temperature. U velikom broju radova koji se odnose na ispitivanje fazne transformacije u modifikovanom BaTiO<sub>3</sub> pokazano je da fazna transformacija može biti sa veoma oštrim prelazom iz jedne u drugu fazu, da dolazi do pomeranja Kirijeve temperature kao i do difuznog prelaza ili do znatnog zaravnjenja u oblasti fazne transformacije što je karakteristično za "relaksor" keramiku [4,8,9].

### Kiri-Vajsov zakon

Dielektrična konstanta u feroelektricima zavisi od temperature i dostiže maksimalnu vrednost na Kirijevoj temperaturi a opada sa daljim povećanjem temperature u skladu sa Kiri-Vajsovim zakonom

$$\epsilon_r = \frac{C}{T - T_c} \quad (1)$$

gde je C- Kirijeva konstanta i T<sub>c</sub> temperatura koja je veoma bliska Kirijevoj temperaturi.

Jedan od razloga što se koristi modifikovana BT je taj što aditivi imaju efekat pomeranja Kirijeve temperature odnosno pomeranja maksimalne vrednosti dielektrične propustljivosti u temperaturnu oblast koja se može efikasno koristiti. Aditivi čija se valentnost razlikuje od valentnosti Ba i Ti, kao što je Nb koji se ugrađuje na mesto Ti, generalno dovode do kočenja rasta zrna (pri sadržaju >0.5%) i snižavaju Kirijevu tačku. Aditivi sa većom valentnošću pri sadržaju <0.2% generalno, vode ka smanjenju otpornosti modifikovane BT. Za ispitivanje ponašanja feroelektrika u paraelektričnoj fazi pored Kiri-Vajsovog zakona koriste se i modifikovane Kiri-Vajsove relacije koje opisuju odstupanja od linearnosti  $\epsilon_r = f(T)$  usled difuzne fazne transformacije i zavisnosti dielektrične konstante od učestanosti [8,9].

U ovom radu ispitivana su mikrostrukturna i dielektrična svojstva dopirane BaTiO<sub>3</sub> keramike. Zavisnost promene dielektrične konstante od temperature za dopiranu BT keramiku sa različitim koncentracijom Nb<sub>2</sub>O<sub>5</sub> određivana je u temperaturnom intervalu od 20 do 200°C. Koristeći Kiri-Vajsov zakon i modifikovani Kiri-Vajsov zakon izračunata je Kirijeva konstanta C kao i parametri  $\gamma$ , C' i  $\delta$  koji opisuju

odstupanje od linearne zavisnosti  $\epsilon_r$  od  $T$  iznad temperature fazne transformacije.

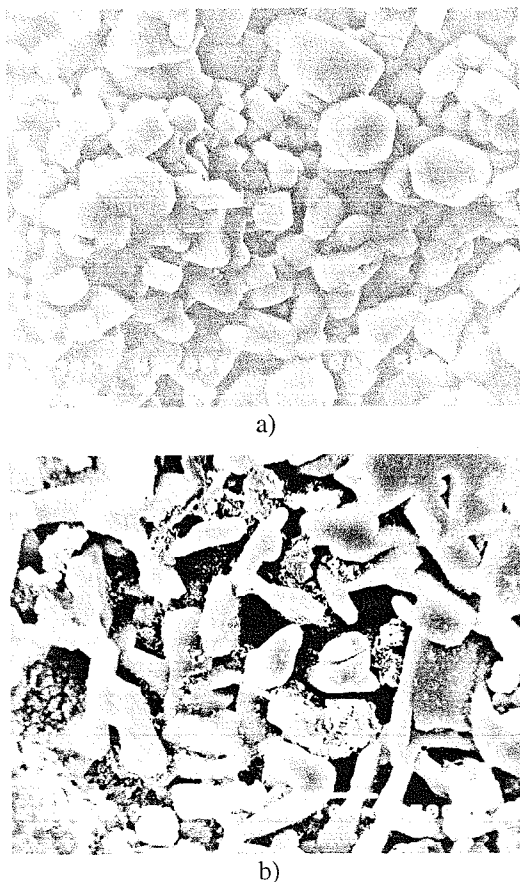
## 2. EKSPERIMENTALNI DEO

Za ispitivanje zavisnosti dielektrične konstante od temperature korišćeni su uzorci dopirane BaTiO<sub>3</sub> keramike dobijeni sinterovanjem u čvrstoj fazi polazeći od čistih prahova BaTiO<sub>3</sub>, Nb<sub>2</sub>O<sub>5</sub> i MnO. Temperatura sinterovanja iznosila je 1310°C a vreme sinterovanja 2h.

Koncentracija Nb<sub>2</sub>O<sub>5</sub> kretala se od 0.5 do 1.5mol% a koncentracija MnO je bila 0.01mol%. Mikrostrukturna ispitivanja keramike su vršena na skenirajućem elektronskom mikroskopu JEOL, SEM-5300 koji je opremljen i energijsko disperzivnim spektrometrom (EDS). Dielektrične karakteristike uzoraka su merene na uređaju HP 4276A, LCZ-metru u u frekventnom opsegu od 1kHz do 20kHz. Promena dielektrične konstante sa temperaturom je merena u temperaturnom opsegu od 20°C do 200°C.

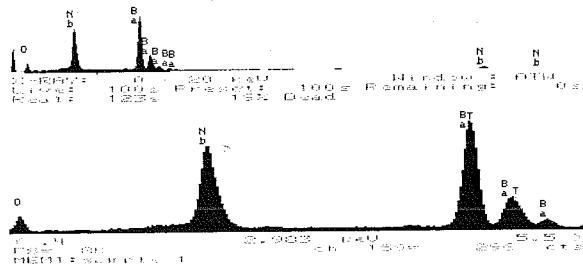
## 3. REZULTATI I DISKUSIJA

Uzorci BT-dopirane keramike sa koncentracijom aditiva od 1.0 i 1.5 mol% Nb<sub>2</sub>O<sub>5</sub> sinterovani na temperaturi od 1310°C pokazivali su visok stepen poroznosti sa gustinom od 80% od teorijske gustine. Ove uzorke odlikuje neuniformna mikrostruktura sa oblastima koje se razlikuju ne samo po veličini zrna nego i po kompozicionom sastavu (sl. 1). Pored oblasti u kojoj se veličina zrna kretala od 2-10 μm (sl.1a) postoje i oblasti sa štapićastim oblikom zrna čiji je aspekt odnos do 5, kao što je pokazano na sl.1b.



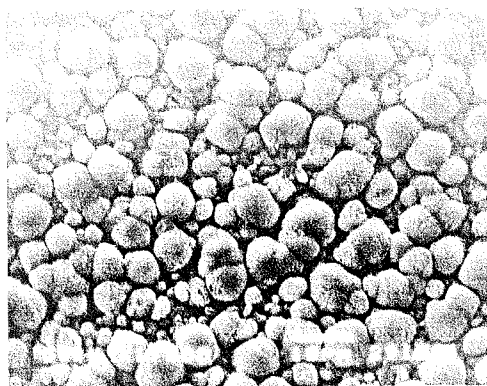
Sl.1 SEM mikrofotografija 1.5%Nb-dopirane keramike a) uniformna struktura, b) štapićasta zrna.

EDS analiza je pokazala da oblasti u kojima se nalaze štapićasta zrna, i čija zapreminska koncentracija nije zanemarljiva, pokazuju veći sadržaj Nb kao što je dato na sl.2.

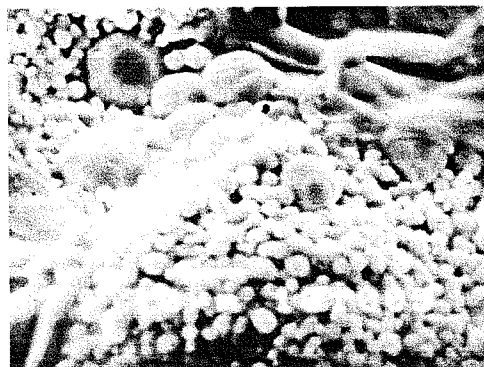


Sl.2 EDS spektar oblasti sa štapićastim oblikom zrna u 1.5%Nb-BaTiO<sub>3</sub> keramici.

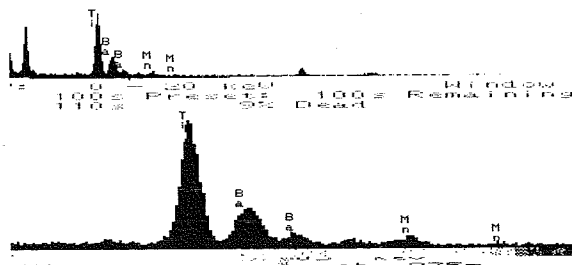
Oblasti obogaćene Nb su zapažene i u uzorcima sa 1.0%Nb a njihova pojava u uzorcima sa 0.5% je zanemarljiva [10,11]. Bez obzira na razlog pojavljivanja oblasti sa izduženim zrnima (nedovoljna homogenizacija, stvaranje nove faze) interesantno je istaći da su ove oblasti uvek uronjene u oblasti sa ekstremno sitnozrnastom strukturom.



a)



b)

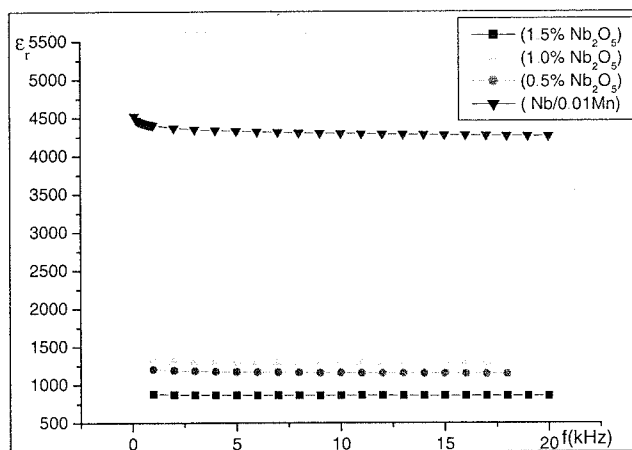


c)

Sl.3 a) Homogena mikrostruktura, b) sitnozrnasta struktura i c) EDS spektar 0.5%Nb/0.01%Mn-BaTiO<sub>3</sub> sinterovan na 1310°C.

Za uzorke koji pored  $\text{Nb}_2\text{O}_5$  sadrže i akceptorsku primesu (Mn) karakteristična je homogena mikrostruktura sa srednjom veličinom zrna od  $6\mu\text{m}$  (sl.3a). Međutim, zapažene su i oblasti sa sitnozrnastom strukturom ali je koncentracija ovih oblasti veoma mala (sl.3b). S obzirom na malu koncentraciju donorskih ( $0.5\%\text{Nb}_2\text{O}_5$ ) i akceptorskih ( $0.01\%\text{MnO}$ ) primesa, pojava oblasti obogaćenih Nb ili Mn je zanemarljiva ali se ne može isključiti. EDS spektar (sl.3c) ukazuje na pojavu oblasti sa povećanim sadržajem Mn.

Ispitivanja dielektrične konstante od koncentracije aditiva i temperature vršena su merenjem kapacitivnosti datih uzoraka u temperaturnom intervalu od 20 do  $200^\circ\text{C}$  i u frekventnom opsegu od 1-20 kHz. Na sl.4 data je zavisnost promene dielektrične konstante od frekvence za BT-dopiranu keramiku.



Sl.4 Frekventna zavisnost dielektrične konstante za BT-dopiranu keramiku.

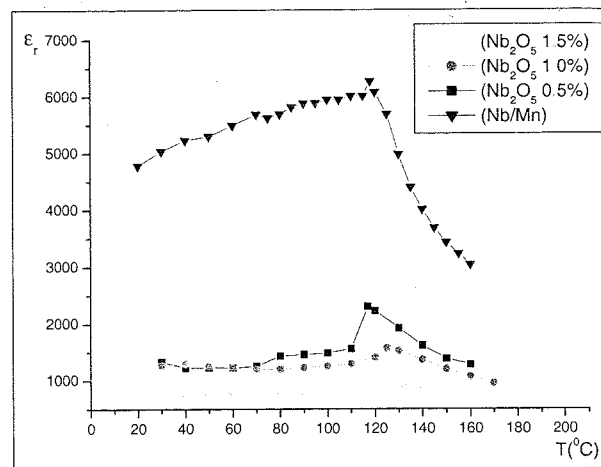
Kao što se sa slike 4. može videti najveća vrednost dielektrične konstante, od 4500 na 1kHz i sobnoj temperaturi, dobijena je u Nb/Mn dopiranoj keramici za koju je inače karakteristična uniformna mikrostruktura. U Nb-dopiranoj keramici postojanje dve različite mikrostrukturne oblasti koje se razlikuju i po sastavu određuju ponašanje dielektrika i vode ka smanjenju dielektrične konstante.

Uticaj mikrostrukture i aditiva na dielektričnu konstantu se može posmatrati i preko zavisnosti  $\epsilon_r$  od temperature kao što je predstavljeno na sl.5.

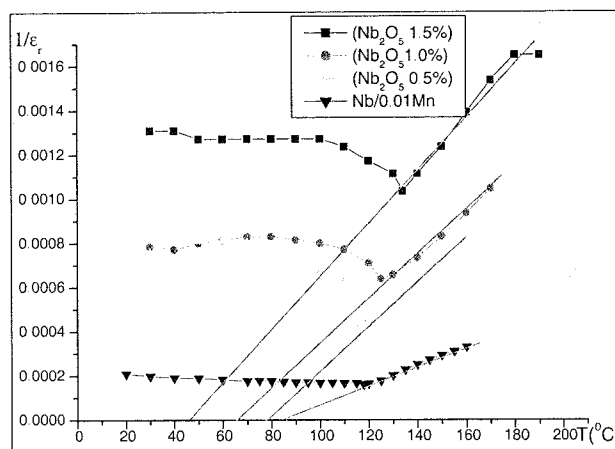
Razlike u dielektričnoj konstanti izmedju Nb-BaTiO<sub>3</sub> keramike i Nb/Mn-BaTiO<sub>3</sub> mogu se pripisati uticaju valentnih stanja Mn-jona koja mogu biti  $\text{Mn}^{2+}$ ,  $\text{Mn}^{3+}$  ili  $\text{Mn}^{4+}$ . Sa povećanjem temperature od 20 do  $200^\circ\text{C}$  oksidaciono stanje Mn jona varira od  $\text{Mn}^{2+}$  do  $\text{Mn}^{3+}$ . Na temperaturi ispod Kirijeve temperature stabilnije je stanje  $\text{Mn}^{3+}$  jona a iznad Kirijeve temperature  $\text{Mn}^{2+}$  stanje. Dodavanjem akceptorskih primesa povećava se koncentracija i pokretljivost kiseoničnih vakancija koje mogu dovesti do degradacije električne otpornosti materijala. Međutim, keramici sa kodopiranim donorskim primesama smanjuje se koncentracija kiseoničnih vakancija i povećava pouzdanost keramike.

Za procenu da li se Kiri-Vajsov zakon dat jednačinom (1) može koristiti za dopiranu i kodopiranu keramiku, pored naših merenja zavisnosti dielektrične konstante od temperature (uzorci sa 0.5 do 1.5 mol%  $\text{Nb}_2\text{O}_5$ ), koristili smo i rezultate merenja drugih autora [12,13] koji su radili sa uzorcima sa povećanim sadržajem  $\text{Nb}_2\text{O}_5$  od 3-8 mol%. Ovdje treba istaći da je poroznost u našim uzorcima bila 80-85 % teorijske

gustine a za uzorke sa povećanim sadržajem Nb iznosila je preko 90% teorijske gustine. Veličina zrna je bila približno  $1\mu\text{m}$  u ovim uzorcima.



a)



b)

Sl.5 a) Dielektrična konstanta u zavisnosti od temperature i b) recipročna vrednost  $\epsilon_r$  od temperature za Nb i Nb/Mn dopiranu keramiku.

U Tabeli 1. dati su podaci za Kirijevu konstantu  $C$  kao i odgovarajući dielektrični parametri. Na osnovu dobijenih podataka može se zaključiti da se Kiri-Vajsov zakon generalno može primeniti za široki opseg koncentracija aditiva, odnosno da postoji određen stepen linearnosti promene dielektrične konstante sa temperaturom u paraelektričnoj fazi. S obzirom da su mikrostrukturne karakteristike uzoraka sa 3-8mol% skoro jednake, može se reći da dielektrična konstanta zavisi isključivo od koncentracije  $\text{Nb}_2\text{O}_5$ . U slučaju uzoraka sa 0.5-1.5mol%  $\text{Nb}_2\text{O}_5$ , koji se razlikuju po svojim mikrostrukturnim karakteristikama, dielektrična konstanta zavisi ne samo od koncentracije  $\text{Nb}_2\text{O}_5$  već takođe i od veličine zrna i poroznosti.

Kao što se iz Tabele 1. može videti sa povećanjem sadržaja  $\text{Nb}_2\text{O}_5$  dolazi do povećanja vrednosti za Kirijevu konstantu i do pomeranja Kirijeve temperature ka nižim temperaturama i do  $-60^\circ\text{C}$  za uzorke sa 8mol%  $\text{Nb}_2\text{O}_5$ . Najveće vrednosti dielektrične konstante su zapažene u Nb/Mn-kodopiranoj keramici ( $\epsilon_r=6250$ ) kao i u keramici sa 8 mol%  $\text{Nb}_2\text{O}_5$  ( $\epsilon_r=6992$ ).

Tabela 1. Dielektrični parametri za Nb-dopiranu BaTiO<sub>3</sub> keramiku.

Sadržaj Nb <sub>2</sub> O <sub>5</sub> mol%	ε <sub>r max</sub>	C [K]	T <sub>max</sub>	T <sub>c</sub>
8	6992	1.6·10 <sup>5</sup>	-98	-67
5	6312	1.821·10 <sup>5</sup>	-11.5	-11
3	4718	2.926·10 <sup>5</sup>	30	-18
1.5	965	8.317·10 <sup>4</sup>	134	46
1.0	1569	1.008·10 <sup>5</sup>	125	65
0.5	2305	1.37·10 <sup>5</sup>	117	68
0.5Nb/0.01Mn	6250	2.35·10 <sup>5</sup>	118	82

U modifikovanoj BaTiO<sub>3</sub> keramici moguća su odstupanja od linearnosti date jednačinom (1) iz više razloga: difuzna fazna transformacija i stepen relaksacionog ponašanja keramike na različitim frekvencijama. Kirillov i Isupov [8] su predložili jednačinu

$$\frac{1}{\varepsilon_r} - \frac{1}{\varepsilon_{r, \max}} = \frac{(T - T_{\max})^2}{2\varepsilon_{r, \max} \delta^2} \quad (2)$$

gde su: ε<sub>r</sub> i ε<sub>r max</sub> dielektrična konstanta na datoj temperaturi i maksimalna dielektrična konstanta i δ parametar koji opisuje promenu ε<sub>r</sub> od temperature i frekvencije.

Kritični eksponent nelinearnosti γ se može izračunati koristeći relaciju [9,14]

$$\frac{1}{\varepsilon_r} - \frac{1}{\varepsilon_{r, \max}} = \frac{(T - T_{\max})^\gamma}{C'} \quad (3)$$

gde je C' konstanta slična Kirijevoj konstanti. Koeficijent γ ima vrednosti u oblasti od 1 < γ < 2, težeći 1 za nedifuzni feroelektrični prelaz i 2 za tipično relaksacioni prelaz.

U radu [15] je pokazano da se maksimum dielektrične konstante može povezati sa dinamikom polarnih klastera radije nego sa difuznim faznim prelazom. Moguće je da realni deo dielektrične propustljivosti sledi Kiri Vajsov zakon tek od temperature koja je za desetinu stepeni viša od Kirijeve temperature. Odstupanje od Kiri-Vajsovog zakona može da posluži kao dokaz postojanja polarnih klastera. Klasteri se mogu tretirati kao individualne oblasti sa feroelektričnim svojstvima i mikrodomenima.

Koristeći modifikovanu jednačinu (2) i (3) izračunati su parametri γ i δ koji pokazuju odstupanja od linearne zavisnosti ε<sub>r</sub> od temperature u paraelektričnoj oblasti kao i meru difuznog faznog prelaza (Tabela 2).

Kao što se iz Tabele 2. može videti sa povećanjem sadržaja Nb<sub>2</sub>O<sub>5</sub> dolazi do linearnog povećanja konstante C' i njene vrednosti su veće za Nb-dopiranu keramiku čija je gustina oko 90% teorijske gustine

Tabela 2. Dielektrični parametri izračunati na osnovu modifikovanog Kiri-Vajsovog zakona.

Sadržaj Nb <sub>2</sub> O <sub>5</sub> mol%	C' [K]	γ	δ
8	1.0010 <sup>7</sup>	1.729	267
5	5.74810 <sup>6</sup>	1.667	213
3	3.68810 <sup>6</sup>	1.531	133.7
1.5	1.00·10 <sup>5</sup>	1	7.2
1.0	3.58·10 <sup>5</sup>	1.311	10.68
0.5	1.68·10 <sup>5</sup>	1.0785	6.03
0.5Nb/0.01Mn	3.24·10 <sup>5</sup>	1.078	5.09

Na osnovu vrednosti kritičnog eksponenta nelinearnosti (γ) koja se kreće u oblasti od 1 do 1.3, za uzorke sa manjom koncentracijom Nb, može se zaključiti da se radi o faznoj transformaciji koja pokazuje oštar prelaz iz feroelektrične u paraelektričnu oblast. Za uzorke sa povećanim sadržajem aditiva, stepen nelinearnosti (γ) je veći ukazujući da se pored strukturne transformacije odvijaju i drugi procesi na Kirijevoj temperaturi koji su povezani sa defektima na granici zrna.

#### 4. ZAKLJUČAK

U ovom radu ispitivana su mikrostrukturalna i dielektrična svojstva Nb-BaTiO<sub>3</sub> kao i Nb/Mn modifikovane BaTiO<sub>3</sub> keramike čija je gustina bila 80-85% od teorijske gustine. Sa povećanjem koncentracije Nb<sub>2</sub>O<sub>5</sub> (0.5-1.5%), usled nedovoljne početne homogenizacije prahova, dolazi do stvaranja nehomogene mikrostrukture i sastava što utiče na smanjenje vrednosti dielektrične konstante. Najveću vrednost dielektrične konstante, kako na sobnoj (4500) tako i na temperaturi fazne transformacije (6300), pokazuje Nb/Mn-kodopirana keramika koju odlikuje uniformna mikrostruktura i veći stepen gustine oko 85% teorijske gustine. Sa povećanjem sadržaja Nb<sub>2</sub>O<sub>5</sub> dolazi do linearnog smanjenja Kirijeve konstante (C) čije se vrednosti kreću od 1.37·10<sup>5</sup> do 8.317·10<sup>4</sup>K. Za uzorke sa 0.5 do 1.5% Nb<sub>2</sub>O<sub>5</sub> karakterističan je takođe oštar prelaz iz feroelektrične u paraelektričnu oblast koji ukazuje na strukturnu faznu transformaciju. Kritični eksponent nelinearnosti (γ) za ove uzorke kreće se u oblasti od 1 do 1.3.

Za uzorke sa povećanim sadržajem Nb<sub>2</sub>O<sub>5</sub> (3-8mol%), s obzirom da njih odlikuje mala veličina zrna d≈1μm, pored strukturne transformacije na Kirijevoj temperaturi, moraju se uzeti u obzir i procesi koji se odvijaju na granici zrna. Eksponent nelinearnosti (γ) za ove uzorke je u oblasti od 1.531 do 1.729 što ukazuje na difuzni feroelektrični prelaz. Na osnovu ispitivanja Kirijeve konstante (C) može se zaključiti da sa povećanjem sadržaja Nb dolazi do linearnog smanjenja Kirijeve konstante od 2.926·10<sup>5</sup> za 3mol%Nb do 1.6·10<sup>5</sup> za 8mol%Nb.

## ZAHVALNOST

Istraživanja su deo projekta "Sinteza funkcionalnih materijala saglasno tetradi " Sinteza- Struktura- Svojstva-Primena" (Br.1832). Autori se zahvaljuju Ministarstvu nauke i zaštite životne sredine Republike Srbije na finansijskoj pomoći za ovaj rad.

## LITERATURA

- [1] W.Heywang, H.Thomann, "Positive Temperature coefficient resistors", in *Electronic ceramics*, Ed.by B.C.H.Steele, Elsevier Applied Science, London and New York, 1991.
- [2] G.Arlt, D.Hennings, G.de With, "Dielectric properties of fine grained barium titanate ceramics", *J.Appl. Phys.* 58 [4] 1985, pp.1619-1625.
- [3] D.Hennings, "Barium titanate based ceramics materials for dielectric use" *Int.J. High Technology Ceramics*, 3 1987, pp.91-111.
- [4] K.Kowalski, M.Ijjaali, T.Bak, B.Dupre, J.Nowotny, M.Rekas, C.Sorrell, "Electrical properties of Nb-doped BaTiO<sub>3</sub>", *J. Phys. Chem. Solids*, 62, 2001, pp.543-551.
- [5] S.H.Yoon, J.H.Lee, D.Y Kim, "Effect of liquid phase characteristic on the microstructures and dielectric properties of donor (niobium) and acceptor (magnesium) doped barium titanate", *J.Am.Ceram.Soc.* 86 [1] 2003, pp. 88-92.
- [6] H.J.Hagemann, D.Hennings, "Reversible weight change of acceptors-doped BaTiO<sub>3</sub>", *J.Am.Ceram.Soc.*, 64, 1981, pp.590-594.
- [7] V.Mitic, V.Paunovic, Lj.Vracar, Lj.Zivkovic, "MnCO<sub>3</sub> and CaZrO<sub>3</sub> additive effects on electrical properties of BaTiO<sub>3</sub> ceramics" *Transactions of the Materials Research Society of Japan*, Vol. 29, No. 4, 2004, pp. 1163-1166.
- [8] V.Kirilov, V.Isupov, "Relaxation polarization of PbMg<sub>1/3</sub>Nb<sub>2/3</sub>O<sub>3</sub> (PMN)-A ferroelectric with a diffused phase transition", *Ferroelectric* 5, 1973, pp. 3-9.
- [9] I.Isupov, "Some problems of diffuse ferroelectric phase transition", *Ferroelectric* 90, 1989, pp. 113-118.
- [10] V.Mitic, Lj.Zivkovic, V.Paunovic, B.Jordovic, "Effect of Nb content on the structure and electrical properties of Nb-doped BaTiO<sub>3</sub> ceramics", *Ceramic Transactions* Vol.150, 2004, pp.197-204.
- [11] Lj.M.Zivkovic, V.V.Mitic, V.V.Paunovic, Lj.Vracar, B.D.Stojanovic, "The synergistic effects of Nb/Mn and Sb/Mn on the microstructural and electrical characteristics of BaTiO<sub>3</sub> based ceramics", Book of abstracts *106<sup>th</sup> Annual Meeting & Exposition ACERS*, Indiana, USA, 2004, pp. 205-206.
- [12] R.Zhang, J.F.Li, D.Viehland, "Effect of aliovalent substituents on the ferroelectric properties of modified barium titanate ceramics: relaxor ferroelectric behaviour" *J.Am.Ceram.Soc.*, 87 [5] 2004, pp.864-870.
- [13] T.B.Wu, J.N.Lin, "Transition of compensating defect mode in niobium doped barium titanate", *J.Am.Ceram.Soc.*, 77, 1994, pp.759-764.
- [14] M.Kuwabara, K.Kumamoto, "PTC characteristics in barium titanate ceramics with Curie points between 60 and 360°C", *J.Am.Ceram.Soc.*, 65, 1983, pp.C214.
- [15] W.E Lee and A.Bell, *Electroceramics: production, properties and microstructures*, The University Press, Cambridge, 1994.

**Abstract** - The microstructure and dielectric properties of Nb-BaTiO<sub>3</sub> and Nb/Mn codoped BaTiO<sub>3</sub> ceramics were investigated. Doped BaTiO<sub>3</sub> were prepared using solid state method of sintering. The samples with 0.5, 1.0 and 1.5 mol% Nb<sub>2</sub>O<sub>5</sub>, as well as samples with 0.05%Nb/0.01%Mn were sintered at 1310°C for two hours. The bimodal microstructure was observed in 1.0 and 1.5 %Nb doped samples with the regions with uniform microstructure and others regions with rod like grains. In Nb/Mn codoped ceramics the uniform microstructure is formed with average grain size of 6µm. The highest value of dielectric permittivity at room temperature and the greatest change of permittivity in function of temperature was found in Nb/Mn-BaTiO<sub>3</sub>. The doped ceramics follow the Curie-Weiss law and the linear decrease of Curie constant with Nb content was observed. The ceramics with low concentration of Nb<sub>2</sub>O<sub>5</sub> (0.5-1.5mol% Nb<sub>2</sub>O<sub>5</sub>) show a sharp peak at Curie temperature ( $\gamma=1-1.3$ ) which corresponds to a structural phase transition. In ceramics with high concentration of Nb<sub>2</sub>O<sub>5</sub> exponent of non-linearity ( $\gamma$ ) lies in the range 1.531-1.729 pointing out a diffuse ferroelectric transition.

## DIELECTRIC PROPERTIES AND PHASE TRANSFORMATION IN Nb-DOPED BaTiO<sub>3</sub> CERAMICS

Vesna Paunović, Ljubomir Vračar, Nataša Stamenkov, Zoran Petrušić, Ljiljana Živković





---

---

## секција T2A

---

---

### ЕНЕРГЕТСКА ЕЛЕКТРОНИКА И ПРЕТВАРАЧИ

---

---

Ž. Despotović, Z. Stojiljković Jedna realizacija AC/AC tranzistorskog pretvarača za pobudu elektromagnetnih vibracionih transportera .....	34
S. Lubura, M. Šoja Drajverski modul za upravljanje DC motorima .....	40
M. Šoja, C. Лубура Пријена DUAL CURRENT MODE модулатора у управљању синусним инвертором .....	44
П. Пејовић, П. Божовић Трофазни исправљач са малим изобличењем улазне струје који користи убризгавање струје и пасивни емулатор отпорности .....	48

---

---

## JEDNA REALIZACIJA AC/DC TRANZISTORSKOG PRETVARAČA ZA POBUDU ELEKTROMAGNETNIH VIBRACIONIH TRANSPORTERA

Željko Despotović, Institut "Mihajlo Pupin", Beograd  
Zoran Stojiljković, Elektrotehnički fakultet, Beograd

**Sadržaj** - Transportni pogoni sa elektromagnetnim vibratorima obezbeđuju jednostavnu i laku kontrolu gravimetrijskog protoka rasutih materijala. U odnosu na pogone sa inercionim i mehaničkim pobuđivačima, ovi pogoni su jednostavnije konstrukcije, robusniji, kompaktniji i pouzdaniji u radu. Ostvarivanjem slobodnih vibracija, sa promenljivim intenzitetom i učestanošću u širokom opsegu, posredstvom podesnog energetskog pretvarača i pripadajućeg kontrolera obezbeđen je neprekidan protok materijala pri različitim uslovima. Danas se kao standardni poluprovodnički izlazni stepeni snage za pogon elektromagnetnih vibratora koriste tiristori i trijaci. Upotreba tiristora i trijaka podrazumeva korišćenje fazne kontrole. Obzirom da je učestanost napojne mreže fiksna, promenom faznog ugla, moguće je postići podešavanje amplitude mehaničkih oscilacija, ali ne i njihove učestanosti. Upotreba tranzistorskih pretvarača obezbeđuje frekventnu kontrolu vibracionih transportera. Pobuda elektromagnetnog vibratora je nezavisna od mrežne učestanosti. Pored toga moguće je podešavati amplitudu i trajanje pobudne struje. Proizvedeći sinusni strujni talas ili polutalas na izlazu, energetski pretvarač obezbeđuje potrebnu elektromagnetnu silu kojom se snaga prenosi na mehanički oscilatorni sistem. Frekventna kontrola omogućuje rad vibraciono-transportnog pogona u oblasti mehaničke rezonance. Rad u rezonantnom opsegu je energetski povoljan, pošto se tada ima minimalna potrošnja energije iz mreže.

### 1. UVOD

Vibracioni transport predstavlja jedan od najefikasnijih načina pomeranja rasutih i zrnastih materijala. Ovaj način se se koristi u mnogim tehnološkim procesima transporta i obrade materijala (sušenje, otprašivanje, klasifikacija, doziranje, sabijanje, usitnjavanje, dehidratizacija i sl.). Najzastupljenije mašine u vibracionom transportu su vibracioni konvejeri, hranitelji, vibracioni elevatori i bunkerski dozatori. Sa makrotehnoškog aspekta proces vibrotransporta se zasniva na ponavljanju mikroskopske čestice. Vibracije suda u kojem se nalazi materijal, se prenose na čestice tog materijala, tako da on dobija karakter fluida, čime se lakše ostvaruje njegovo izvlačenje, transport i doziranje. U većini slučajeva ovi transportni sistemi rade u rezonantnom opsegu pošto je za dovođenje i održavanje sistema u stanju oscilovanja tada potreban relativno mali utrošak energije.

Veličina i oblik mikroskopske čestice zavisi od učestanosti i amplitude vibracija transportnog suda. Proizvodnost ili kapacitet vibracionog hranitelja, odnosno maseni (gravimetrijski) protok materijala za određenu radnu učestanost vibracija direktno zavisi od srednje vrednosti mikroskopske čestice, a ona od vibracione širine (dvostruke vrednosti amplitude oscilacija) transportnog suda. Maseni protok se menja u vrlo širokom granicama, zavisno od industrijske primene: 50g/h-fino doziranje prahova u

farmaceutskoj industriji, 100t/h-industrija cementa do 1000 t/h-proizvodnja koksa i sirovog gvožđa. Optimalni transport većine rasutih materijala se ostvaruje u opsegu učestanosti 10-150Hz, odnosno u opsegu vibracione širine 0,1-20mm, zavisno od tipa primenjenog pogona [2], [4].

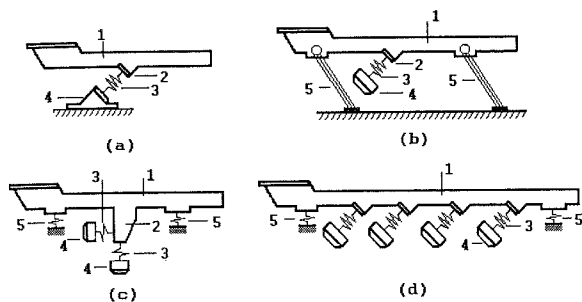
Korišćenje tiristorskih (trijačkih) pretvarača sa faznom kontrolom [1], [9] u vibracionom transportu podrazumeva fiksnu učestanost vibracija koju diktira mreža. Ozbiljan problem se javlja kada dođe do promene mase transportujućeg materijala, odnosno rezonantne učestanost sistema. U ovom slučaju vibracioni sistem neće raditi efikasno. Moguće je ostvariti jedino podešavanje amplitude ali ne i učestanosti pobude vibracionog transportera. Pored toga tiristorski pretvarač unosi u mrežu nepovoljne više harmonike i jednosmernu komponentu struje. Upotrebom trijaka situacija je nešto bolja u pogledu harmonijskog sastava ali se javlja isti problem koji se odnosi na promenu rezonantne učestanosti. Prevažilaženje ovih nedostataka je moguće ostvariti raznim tipovima prekidačkih pretvarača [3],[10],[16]. Na ovaj način je pobuda elektromagneta vibratora nezavisna od mrežne učestanosti. Moguće je ostvariti proizvoljne vrednosti učestanosti, amplitude i trajanja pobudne struje. Pored toga je moguće je ostvariti rad vibraciono-transportnog pogona u oblasti mehaničke rezonance. Radom u rezonantnom opsegu se postižu maksimalne performanse pogona, pošto je tada minimalna potrošnja energije iz mreže, eliminišu se komplikovana mehanička prepodešavanja sistema i omogućava rad bez zastoja [7],[8],[11],[13]. Promena mehaničke rezonantne učestanosti, usled promene mase materijala koji se transportuje ili čak promena parametara sistema, dovodi do smanjenja efikasnosti vibracionog pogona. Da bi se postigao optimalni i efikasniji rad na novoj mehaničkoj rezonantnoj učestanosti potrebno je promeniti učestanost pobudne struje vibratora, odnosno pobudne sile vibracionog transportera.

Prethodno pomenute činjenice su bile motiv za istraživanje fenomenologije vibracionog transporta, postavljanje matematičkog modela vibraciono-transportnog sistema i proučavanje njegovog ponašanja za razne tipove pobude. Na osnovu simulacionih modela ovih sistema i istraživanja na realnim sistemima je konkretno realizovan AC-AC tranzistorski IGBT pretvarač, kojim su eliminisani svi nedostaci vezani za tiristorske (trijačke) pretvarače sa faznom kontrolom.

### 2. VIBRACIONO-TRANSPORTNE MAŠINE

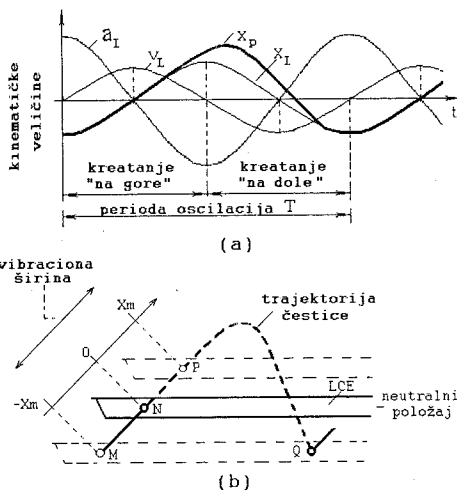
Vibraciono-transportne mašine horizontalnog transporta pogonjene elektromagnetnim vibratorima se dele na *jednopogonske* i *višepogonske*. Jednopogonske mogu biti sa jednom, dve ili tri mase; višepogonske mogu biti sa jednom ili više masa [4]. Principske šeme su prikazane na Sl.1. Strukturni prikazi elektromagnetnih mašina sa jednom i dve mase su dati na Sl.1(a), odnosno Sl.1(b). Osnovni delovi

iz kojih se one sastoje su: noseći element sa opterećenjem- (1), za koga je čvrsto vezan aktivni deo-(2) elektromagnetnog vibratora i elastične veze-(3) preko koje je aktivni deo vezan sa reaktivnim delom-(4). Ceo transportni pogon se oslanja preko elastične veze-(5) za osnovu mašine. Oscilacije nosećeg elementa se ostvaruju i podržavaju impulsima koje stvara sam elektromagnetni vibrator. Za eliptičke oscilacije nosećeg elementa, kod nekih transportnih mašina je iskorišćen specijalni pogon koji se sastoji iz dva vibratora koji su međusobno normalno postavljeni i koji nezavisno ostvaruju oscilatorna kretanja, svaki u svom pravcu, kao što je prikazano na Sl.1(c). Podesnim upravljanjem i podešavanjem faznog pomeraja pobudnih struja elektromagnetnih vibratora, moguće kontrolisati amplitudu, učestanost oscilacija i napadni ugao rezultantne pobudne sile koja deluje na noseći element. Na Sl.1(d) je prikazan četvoropogonski sistem kod koga se ostvaruje sinhronizovana pobuda svih elektromagnetnih vibratora u sistemu.



Sl.1-Transportne mašine sa elektromagnetnim vibratorima

Na Sl.2 je dat uprošćen prikaz kinematike jednog tipičnog vibracionog transportera. Osnovne kinematičke veličine vibracionog transportera predstavljene na Sl.2(a) su: pomeraj- $X_L$ , brzina- $v_L$  and ubrzanje- $a_L$  transportnog suda; trajektorija čestice rasutog materijala je prikazana krivom - $X_p$ . Sl.2(b) prikazuje dejstvo nosećeg elementa na jednu česticu. U toku vibracionog ciklusa transportni sud osciluje između položaja (M) i (P).



Sl.2- Kinematika vibracionog transportera

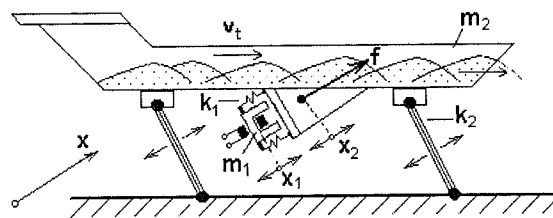
Porast brzine oscilacija se se ima između (M) i (N), tako da vibracioni sud ubrzava, dok brzina oscilacija opada između (N) i (P), kada vibracioni sud usporava. Pri hodu transportnog suda na gore, između (M) i (N), čestica je u kontaktu sa površinom transportnog suda. U položaju (N)

brzina čestice postaje veća od brzine transportnog suda te napušta njegovu površinu i nastavlja da se kreće slobodnim padom po trajektoriji (P)-(Q). U sledećem ciklusu čestica ponovo počinje kretanje iz tačke (Q) i ceo ciklus se ponavlja.

Vibraciono kretanje transportnog suda obezbeđuje horizontalni transport čestice po trajektoriji koja se sastoji od niza neprekidnih mikroskokova. Slično važi i za ostale čestice rasutog materijala, tako da u makrotehnološkom smislu rasuti materijal liči na viskozni fluid i postaje pogodan za transport i doziranje.

### 3. SIMULACIONO KOLO

Konstrukcija jednog realnog vibracionog transportera sa elektromagnetnom pobudom je data na Sl.3. Elastični elementi na koje se oslanja transportni sud sa materijalom je načinjen od slojevitih opruga, koje su jednim svojim krajem kruto vezane za transporter, a drugim krajem za osnovu i nagnute su u odnosu na nju pod uglom. Ova predstava je korišćena za formiranje matematičkih modela vibracionog aktuatora i vibraciono-transportnog pogona koji su detaljno opisani u [15] i [17].



Sl.3 - Vibracioni transporter sa slojevitim oprugama

Na osnovu datih matematičkih modela prethodno predstavljen transportni sistem sa dva stepena slobode se može predstaviti dinamičkim jednačinama :

$$m_1 \ddot{x}_1 + \beta_1 (\dot{x}_1 - \dot{x}_2) + k_1 \cdot (x_1 - x_2) = f(t) \quad (1)$$

$$m_2 \ddot{x}_2 + \beta_2 \dot{x}_2 + (k_1 + k_2)x_2 - k_1 x_1 + \beta_1 (\dot{x}_1 - \dot{x}_2) = 0 \quad (2)$$

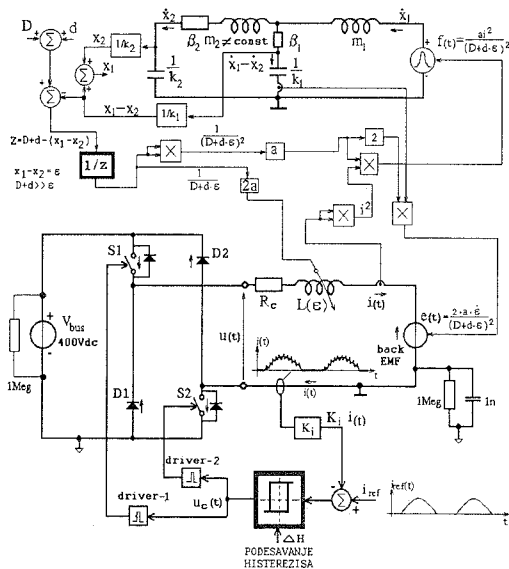
$$\frac{2a}{D+d-(x_1-x_2)} \frac{di}{dt} + R_c \cdot i + \frac{2a \cdot i \cdot (x_1 - x_2)}{(D+d-(x_1-x_2))^2} = u(t) \quad (3)$$

$$f(t) = \frac{a \cdot i^2}{(D+d-(x_1-x_2))^2} \quad (4)$$

Diferencijalne jednačine (1) i (2) opisuju mehaničko ponašanje sistema pod dejstvom pobudne elektromagnetne sile  $f(t)$  koja je posledica trenutne vrednosti struje  $i(t)$  namotaja elektromagneta vibratora, kao što se vidi iz jednačine (4). Interesantno je razmotriti prirodu članova na levoj strani jednačine električne ravnoteže (3). Prvi član predstavlja napon indukovani usled promene struje u kolu namotaja vibratora. Induktivnost kola je funkcija položaja kotve. Veličina vazdušnog zazora je promenljiva u vremenu, pošto kotva vrši vibraciono kretanje. Drugi član predstavlja pad napona na omskoj otpornosti  $R_c$  namotaja elektromagneta vibratora. Ovaj član određuje aktivne gubitke u vibratoru. Treći član predstavlja indukovanu elektromotornu silu, koja je posledica delovanja mehaničkog podsistema na elektromagnetni.

Oscilacije transportnog suda se ostvaruju pod dejstvom pobudne sile  $f(t)$  u pravcu  $x$ -ose. Zanimarena je komponenta krutosti opruga po  $y$ -osi. Takođe je pretpostavljeno da sistem kreće u oscilovanje iz stanja u kome postoji statička ravnoteža između gravitacionih sila i sila u oprugama. Masa pokretnog dela vibratora je  $m_1$ , dok je masa vibracionog suda sa materijalom koji se transportuje  $m_2$  i ona predstavlja promenljivi parametar u sistemu, što je najčešći slučaj u realnim uslovima. Ekvivalentna krutost opruga vibratora je označena sa  $k_1$ , dok je ekvivalentna krutost oslanjajućih opruga označena sa  $k_2$ . Prigušenje pokretnog dela u samom vibratoru je dato koeficijentom  $\beta_1$ , dok  $\beta_2$  predstavlja ekvivalentni koeficijent prigušenja transportnog sistema. Pomenuta prigušenja ograničavaju amplitude oscilacija u rezonantnom režimu. Treba napomenuti da je matematički model vibraciono-transportnog sistema nelinearan, ali da se za opseg inkrementalnih pomeraja kakvi se realno sreću u praksi, sa dovoljnom tačnošću može smatrati linearnim [7], [8].

Na osnovu diferencijalnih jednačina (1)-(4), je formirano simulaciono sub-kolo vibraciono-transportnog sistema, koje se može koristiti u simulacionim šemama, za analizu rada raznih tipova energetskih pretvarača koji se koriste za pobudu elektromagnetnih vibratora. Elektromagnetni vibrator po svojoj prirodi predstavlja pretežno induktivno opterećenje, tako da je generisanje sinusnog strujnog polutalasa moguće ostvariti iz prekidačkog konvertora sa asimetričnim polumostom, kao što je prikazano na Sl.4. Simulacioni model prekidačkog pretvarača i vibracionog pogona je generisan u programskom paketu PSPICE.



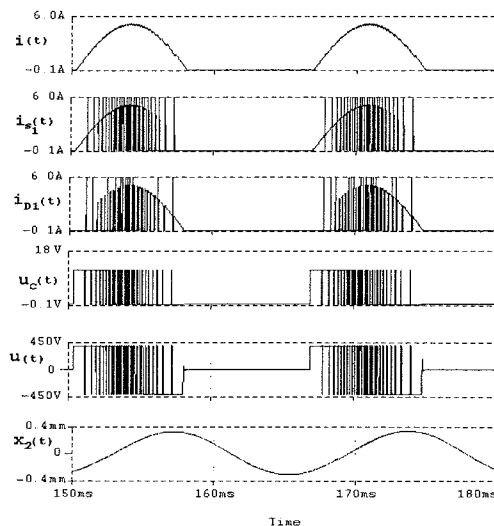
Sl.4-Simulaciono kolo vibracionog sistema sa prekidačkom pobudom

#### 4. SIMULACIONI REZULTATI

U simulaciji je pretpostavljeno da je masa opterećenja koje se stavlja u oscilatorno kretanje  $m_2=67,5\text{kg}$ , ekvivalentna krutost transportera  $k_2=10\text{kN/mm}$ , odnosno da je prirodna (rezonantna) učestanost mehaničkog sistema  $f_{\text{rez}}=60\text{Hz}$ . Pobuda elektromagnetnog vibratora se ostvaruje sinusnim strujnim polutalsom koji se dobija praćenjem referentne sinusoide učestanosti  $f=60\text{Hz}$ . Napon napajanja polumosta je konstantan i iznosi  $V_{\text{bus}}=+400\text{VDC}$ . Praćenje referentne sinusoide je ostvareno posredstvom histerezisnog

kontrolera. Povratna sprege se ostvaruje po struji, a signal greške se uvodi u histerezisni kontroler. Prekidači  $S_1$  i  $S_2$  su modelirani tako da imaju otpor u stanju vođenja  $R_{\text{on}}=0,1\Omega$ , dok je otpor u isključenom stanju  $R_{\text{off}}=1\text{M}\Omega$ . Pojačanje strujne povratne sprege je podešeno na  $K_1=1,3$ .

Simulacioni rezultati karakterističnih talasnih oblika su dati na Sl.5. Karakteristične veličine koje se posmatraju su: struja namotaja vibracionog motora- $i(t)$ , struje prekidača  $i_{S1}(t)=i_{S2}(t)$ , struje povratne diode  $i_{D1}(t)=i_{D2}(t)$ , pobudni napon prekidača  $u_g(t)$ , napon namotaja vibracionog motora- $u(t)$  i oscilatorni hod opterećenja- $x_2(t)$ .



Sl.5-Karakteristični talasni oblici za slučaj prekidačke pobude

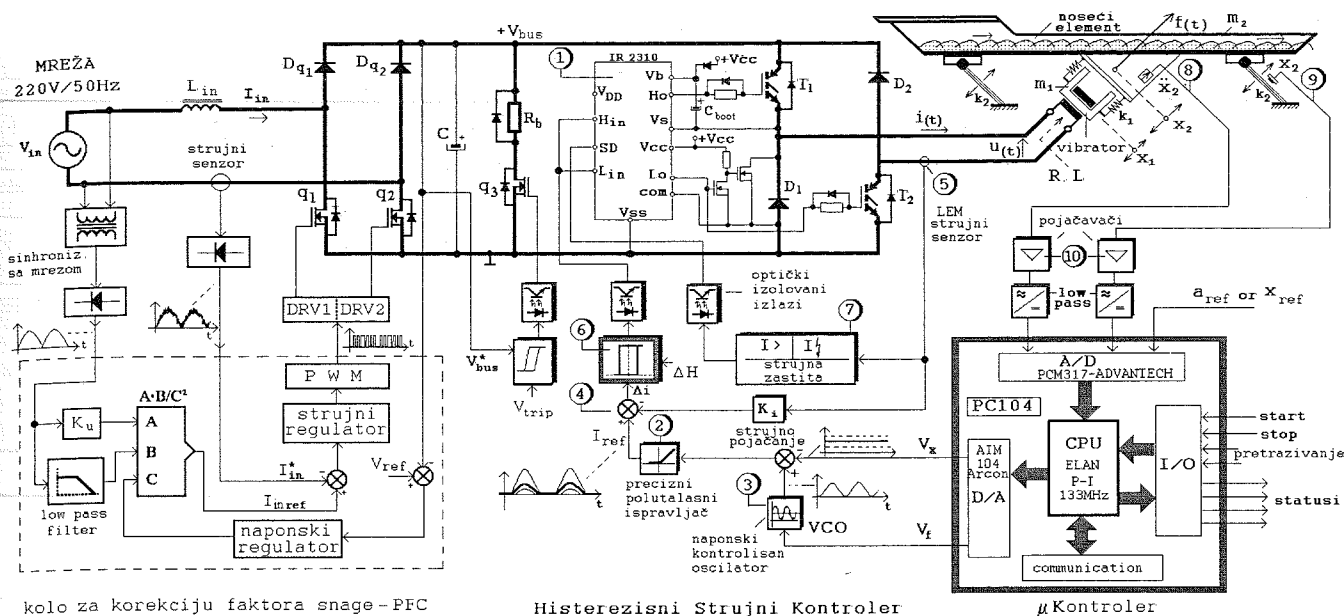
Talasn oblik struje vibracionog motora je vrlo sličan onom koji se ima pri pobudi sa tiristorskim pretvaračem sa faznom kontrolom. Razlika je u tome što se u slučaju prekidačkog pretvarača u struji javlja visokofrekventni ripl koji je posledica histerezisne regulacije. Ovaj ripl kao što se vidi iz rezultata simulacije, ne utiče na talasni oblik i učestanost oscilacija opterećenja, pošto je sinusoide xoda- $x_2(t)$  "glatka" kao u slučaju tiristorske pobude.

#### 5. PRAKTIČNA REALIZACIJA

U ovom poglavlju će biti predstavljen praktično realizovan IGBT tranzistorski pretvarač za pobudu elektromagnetnih vibratora. Jedan od načina dobijanja sinusnog polutalasa struje elektromagneta vibratora je korišćenje tranzistorskih pretvarača sa programiranom strujnom kontrolom koja se bazira na praćenju referentne sinusoide. Referentna vrednost se dobija iz stabilnog generatora promenljive učestanosti i trajanja sinusnog polutalasa. Ovaj način pobude elektromagnetnog vibratora ima prednost što se može postići podešavanje učestanosti i amplitude struje namotaja, odnosno učestanosti i amplitude oscilovanja transportnog suda. Na Sl.6 je data blok šema praktično realizovanog sistema koji je korišćen za proučavanje ponašanja vibracionog sistema pri promeni opterećenja, odnosno pri promeni rezonantne učestanosti.

Tranzistorski pretvarač za pobudu elektromagneta vibracionog transportera ima u sebi dva pretvaranja energije. On se sastoji iz ulaznog AC/DC pretvarača koji u sebi ima korekciju faktora snage i izlaznog DC/DC pretvarača za pobudu namotaja elektromagneta vibratora.

ignal  
S<sub>2</sub> su  
, I<sub>Ω</sub>,  
čanje  
a su  
u su:  
idača  
udni  
tora-



Sl.6- Blok šema realizovnog AC/DC tranzistorskog pretvarača za pobudu elektromagnetnog vibracionog transportera

Ulazni pretvarač je ustvari kontrolisani tranzistorski ispravljač sa korekcijom faktora snage. Njega čine dva MOSFET-a  $q_1, q_2$ , dve diode  $D_{q1}, D_{q2}$ , prigušnica  $L_{in}$  na AC strani i kontrolno PFC kolo. Jedan ovakav pretvarač sa prednostima u odnosu konvencionalni "boost" korektor faktora snage (Grec ispravljač-prekidač-dioda-DC prigušnica) je detaljno opisan u [5],[6]. Pražnjenje elektrolita u DC-međukolu preko otpornika  $R_b$  se ostvaruje tranzistorom  $q_3$  koji je kontrolisan naponskim monitorom sa ugrađenim histerezisom, koji "osmatra" napon DC međukola  $V_{bus}$  i poredi sa podešenim pragom komparacije  $V_{trip}$ .

Izlazni pretvarač je realizovan sa asimetričnim polumostom i sastoji se od dva IGBT tranzistora  $T_1$  i  $T_2$ , u jednoj dijagonali mosta i dve povratne diode  $D_1$  i  $D_2$  u suprotnoj. Pobuda IGBT-a se ostvaruje preko drajverskog kola-(1), koje u sebi sadrži dva nezavisna kanala za pobudu gornjeg i donjeg tranzistora. Pobuda gornjeg tranzistora se ostvaruje preko "plivajućeg" kola koje je sposobno da podnese visoki napon i imuno je na porast napona (dv/dt). Referentni sinusni strujni polutalas se dobija na izlazu preciznog polutalasnog ispravljača-(2). Ulaz u ovaj sklop je ustvari razlika stabilnog sinusnog signala naponski kontrolisanog oscilatora-(3) i DC naponskog nivoa  $V_x$  na izlazu mikrokontrolerskog modula. Promenom napona  $V_x$  se menja vreme trajanja i amplituda referentne vrednosti struje  $I_{ref}$ . Naponskim nivoom  $V_f$  se podešava učestanost referentnog signala  $I_{ref}$ , preko ulaza naponski kontrolisanog oscilatora. Zadana vrednost struje se poredi u sabiraču-(4) sa stvarnom strujom elektromagneta vibratora, koja se dobija merenjem preko davača struje LEM-(5). Signal greške se vodi na ulaz histerezisnog komparatora -(6) koji ima mogućnost podešavanja histerezisa  $\Delta H$ . Izlaz sa komparatora se vodi na drajversko kolo. Odstupanje stvarne vrednosti struje od zadate je određeno širinom histerezisne petlje. Što je histerezis uži to je odstupanje struje manje, ali je frekvencija rada tranzistora u mostu veća. Učestanost modulacije koja zadovoljava u najvećem broju slučajeva za primene na elektromagnetnim vibratorima se kreće od 2-5KHz. Učestanost izlazne struje je podešljiva u opsegu 10Hz-150Hz

i nezavisna je od mrežne učestanosti. Kolo prekostrujne zaštite i zaštite od preopterećenja je realizovano sklopom-(7). Primenjen je "intervenistički" sistem zaštite. Sistem pri normalnim uslovima radi tako što je struja opterećenja programirana histerezisnim kontrolerom. U slučaju direktnog kratkog spoja ili preopterećenja sklop (7) preuzima ulogu. Detaljan opis rada ovog sklopa i osciloskopski snimci koji potvrđuju njegovu efikasnost su dati u referenci [17]. Histerezisni kontroler i kolo za monitoring DC bus-a su galvanski odvojeni optokaplerima od energetskog dela pretvarača.

Merenje ubrzanja oscilacija transportnog suda je ostvareno davačem ubrzanja-(8) induktivnog tipa B12/500-HBM za opseg učestanosti 0-200Hz i ubrzanja do  $1000m/s^2$ . Merenje hoda transportnog suda je ostvareno beskontaktnim induktivnim davačem hoda-(9), tipa NCDT3700 firme  $\mu$ Epsilon, za opseg 0-6mm, za opseg učestanosti 0-5kHz. Svaki od senzora ima elektronski pojačavač-(10) sa niskopropusnim filtrom, kojim se dati signali normalizuju na nivo 0-10V. Mikrokontrolerski deo je baziran na PC104 modulu u okviru koga su implementirani algoritmi određivanja i praćenja rezonantne učestanosti, podešavanje amplitude oscilacija i sl. Detaljan opis mikrokontrolerskog modula i dijagrami toka pomenutih algoritama su dati u [17].

## 6. EKSPERIMENTALNI REZULTATI

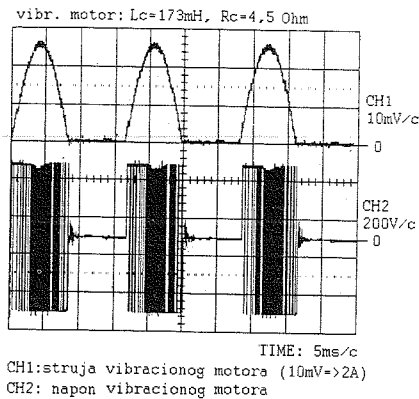
U ovom poglavlju su predstavljeni neki eksperimentalni rezultati koji su snimljeni na realizovanom prototipu tranzistorskog pretvarača. Karakteristični talasni oblici na izlazu prekidačkog konvertora, koji su izmereni i snimljeni na realizovanom prototipu su dati na Sl.7. Učestanost pobudnog strujnog polutalasa je podešena na  $f_{pob}=60Hz$ , a njegovo trajanje je podešeno da iznosi 8ms.

Talasnost struje opterećenja je oko 0,4A i promenljive je učestanosti jer je fiksno podešena vrednost histerezisa. Najveća učestanost ripla se ima pri maksimalnoj struji i ona iznosi oko 5KHz, koja je ujedno i maksimalna učestanost prekidanja.

ličan  
m sa  
ičaju  
ripl  
to se  
lik i  
oda-

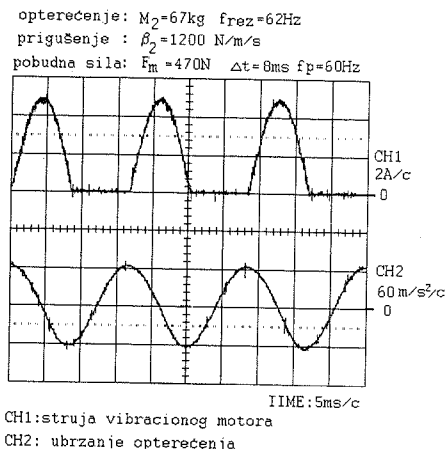
ično  
odu  
janja  
i je  
nom  
ntne  
nog  
snog  
itora  
sti i  
tude  
ema  
za  
neni

neta  
gije.  
ima  
i za



Sl.7- Osciloskopski snimci struje i napona elektromagnetnog vibratora

Na Sl.8 su prikazani osciloskopski snimci struje vibracionog motora i ubrzanje opterećenja (mase  $m_2$ ). Pri učestanosti od 60Hz amplituda ubrzanja  $a_{p-p}=12,2\text{g}$ , što odgovara vrednosti vibracione širine od oko 0,8mm, što se lako proverava na osnovu talasnih oblika dobijenih simulacijom. Sa ovog snimka se vidi da talasni oblik ubrzanja opterećenja finu sinusnu karakteristiku i pored toga što pobudni sinusni strujni polutalas nije idealno glatka sinusoida.



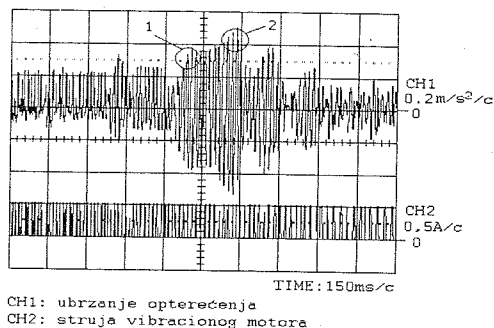
Sl.8-Osciloskopski snimci struje elektromagnetnog vibratora i ubrzanje transportnog suda sa opterećenjem

Na Sl.9 je dat osciloskopski snimak procesa pretraživanja rezonantne učestanosti. Zadat je pilot signal strujnog polutalasa amplitude 0,5A i trajanja 5ms počev od najveće učestanosti 150Hz do 10Hz, sa stepom od 5Hz. Ukupno pretraživanje je trajalo oko 5s.

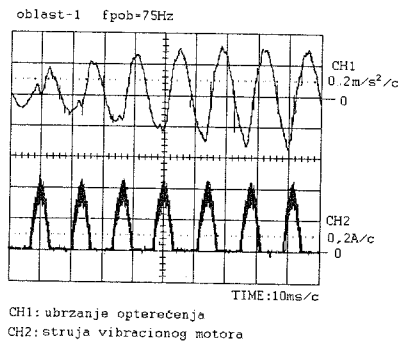
Na osciloskopskom snimku je prikazan odziv sistema odnosno ubrzanje opterećenja  $m_2=48,5\text{kg}$ . Snimljen je deo koji se odnosi na opseg učestanosti od 100Hz do 40Hz. Na snimku se uočavaju dve oblasti označene sa krugovima 1 i 2. Obzirom da je za te oblasti detektovan značajniji porast amplitude ubrzanja, na osciloskopskim snimcima na Sl.10 i Sl.11 su prikazane svaka od označenih oblasti ponaosob.

Detaljni prikaz oblasti-1 je dat osciloskopskim snimkom na Sl.10. Uočava se da je amplituda ubrzanja  $0,3\text{m/s}^2$  i da je pobudna učestanost sinusnog strujnog polutalasa 75Hz. Talasni oblik ubrzanja je izobličen ali blizak je sinusnom. Obzirom da je u ovom intervalu došlo do porasta amplitude može se pretpostaviti da je rezonantna učestanost vrlo blizu što se potvrđuje osciloskopskim snimkom na Sl.11 sa kojeg se vidi da dolazi do porasta amplitude ubrzanja.

opterećenje:  $M_2=48,5\text{kg}$  frez=70Hz  
prigušenje:  $\beta_2=1200\ \text{N/m/s}$   
pobudna sila:  $F_m=5\text{N}$   $\Delta t=5\text{ms}$   $f_p=100\text{Hz} \dots 40\text{Hz}$

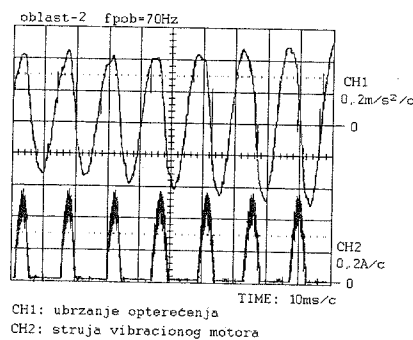


Sl.9-Pretraživanje rezonantne učestanosti



Sl.10- Detaljni prikaz oblasti 1

U oblasti-2 amplituda ubrzanja iznosi  $0,5\text{m/s}^2$  i dobija skoro sinusni oblik. U ovoj oblasti je zadata učestanost pobudnog sinusnog polutalasa od 70Hz. Porastom učestanosti iznad ove amplitude ubrzanja naglo pada što znači da je prethodna oblast upravo oblast gde je pronađena rezonantna učestanost. I zaista za datu masu opterećenja i ekvivalentnu krutost opruga se dobija da je rezonantna učestanost približno 70Hz.



Sl.11- Detaljni prikaz oblasti 2

## 8. ZAKLJUČAK

U radu je predstavljen kroz simulacioni model i praktičnu realizaciju vibraciono-transportni sistem sa elektromagnetnim vibratorom, koji se pobuđuje iz prekidačkog konvertora. Simulacioni model je baziran na osnovu vibraciono-transportnih sistema koji se susreću u praksi. Na osnovu matematičkog modela je formirano simulaciono sub-kolo. Simulacioni model sistema je generisan u programskom paketu PSPICE. Formirano subkolo se može koristiti u drugim simulacionim šemama sa energetskim pretvaračima.

Na simulacionom modelu su posmatrani karakteristični talasni oblici za slučaj prekidačke pobude sa histerezisnom regulacijom. U eksperimentalnom delu su predstavljene izmerene vrednosti karakterističnih talasnih oblika za slučaj konkretno realizovanog tranzistorskog pretvarača. Pored toga predstavljen je i deo rezultata vezan za pretraživanje rezonantne učestanosti vibraciono-transportnog sistema.

Tranzistorska pobuda obezbeđuje prevazilaženje ozbiljnih nedostataka tiristorske fazne kontrole. Na ovaj način je pobuda elektromagneta vibratora nezavisna od mrežne učestanosti. Moguće je ostvariti proizvoljne vrednosti učestanosti, amplitude i trajanja pobudne struje. Pored toga je moguće je ostvariti pretraživanje rezonantne učestanosti sistema i podešavanje učestanosti pobudne struje elektromagneta vibratora.

## LITERATURA

- [1] N.Barjamović "Tiristori u sistemima za doziranje rasutih materijala", II simpozijum Energetska Elektronika-Ee '75, Beograd, Zbornik radova, pp.334 – 348, oktobar 1975.
- [2] M.A.Parameswaran,S.Ganapathy,"Vibratory Conveying Analysis and Design: A Review", Mechanism and Machine Theory, Vol.14, No. 2, pp. 89-97, April 1979.
- [3] T.Rančić, M.Ilić, "Statički pretvarač za napajanje elektromagnetnog vibratora",VI simpozijum Energetska Elektronika-Ee '86, Subotica, Zbornik radova, pp.143 – 147,jun 1986,
- [4] I.F.Goncharevich, K.V.Frolov, and E.I.Rivin, Theory of vibratory technology, Hemisphere Publishing Corporation, New York, 1990.
- [5] R.Martinez and P.N.Enjeti, "A High Performance Single Phase Rectifier with Input Power Factor Correction", *IEEE Trans. Power Electron.*, Vol.11, No.2, pp.311-317, Mart 1996,
- [6] A. Ferrari de Souza and I. Barbi, "A New ZVS-PWM Unity Power Factor Rectifier with Reduced Conduction Losses", *IEEE Trans. Power Electron.*, Vol.10, No.6, pp.746-752, November 1996.
- [7] T.Doi, K.Yoshida, Y.Tamai, K.Kono, K.Naito, and T.Ono, "Feedback Control for Vibratory Feeder of Electromagnetic Type", *Proc. ICAM'98*, pp.849-854, 1998.
- [8] T.Doi, K.Yoshida, Y.Tamai, K.Kono, K.Naito, and T.Ono, "Modeling and Feedback Control for Vibratory Feeder of Electromagnetic Type", *Journal of Robotics and Mechatronics*, Vol.11, No.5, pp. 563-572, June 1999.
- [9] Ž.Despotović, M.Jovanović, Z.Stojiljković "Tiristorski pretvarač za pogon elektromagnetnih vibratora", X simpozijum Energetska Elektronika, Zbornik radova, pp 150-156, Novi Sad 14-16.X.1999.
- [10] Z.Stojiljković, Ž.Despotović, "Korekcija faktora snage u pogonu elektromagnetnih vibratora",Zbornik radova, pp 157-164, Novi Sad 14-16.X.1999.
- [11] T.Doi, K.Yoshida, Y.Tamai, K.Kono, K.Naito and T.Ono, "Feedback Control for Electromagnetic Vibration Feeder", *JSME International Journal*, Series C, Vol.44, No.1, pp. 44-52, 2001.
- [12] Z.Despotovic, M.Jovanovic, Z.Stojiljkovic, "Microprocessor controlled converter for electromagnetic vibratory drive", *PROCEEDINGS (Vol.T2-1.5, pp 180-187)of the XI International Symposium of the Power Electronics*, N.Sad 31.X-2.XI, 2001.
- [13] M.Joshi,"Performance Monitoring System for Electromagnetic Vibrating Feeders of Coal Handling Plant", P.M.Resource Center, M-News Ed.27, Techn. paper at web site [www.plant-maintenance.com/articles/Feeder\\_Performance\\_Monitoring.pdf](http://www.plant-maintenance.com/articles/Feeder_Performance_Monitoring.pdf), July 2002.
- [14] Ž.Despotović,M.Jovanović,Z.Stojiljković "Frekventno kontrolisan energetski pretvač za pogon elektromagnetnih vibracionih dozatora", Zbornik radova Vol.I (str.413-416)- XLVII konferencija ETRAN, H.Novi 8-13 juna 2003.
- [15] Z.Despotovic, "Matemtical model of electromagnetic vibratory actuator", *PROCEEDINGS (Vol.T3-3.2, pp 1-5) of the XII International Symposium of the Power Electronics*, N.Sad 5-7.XI. 2003.
- [16] Ž.Despotović, "Energetski pretvarači za pogon elektromagnetnih vibratora u sistemima za doziranje i transport rasutih materijala", Magistarska teza, ETF, Beograd 2003.
- [17] Ž.Despotović,M.Peško "Matematički model vibraciono-transportnog pogona sa elektromagnetnim vibracionim aktuatorom", XLVIII konferencija ETRAN, sveska I, str.276-279,Čačak 8-13 juna 2004.

**Abstract** - *Conveying drives with electromagnetic vibrators provides easy and simple control of the mass flow conveying materials. In comparison with inertial and mechanical exciters, these have a more simple construction and they are compact, robust and reliable in operation. Generating free vibrations suitable power converter and adequate controller provides continuous flow of the material, under different conditions. This is possible due to vibrations of a variable intensity and frequency within wide range. Nowadays, thyristors and triacs are used for electromagnetic vibrators standard power output stage. Their usage implies a phase control. Varying firing angle provide the controlled AC or DC injection current to control mechanical oscillations amplitude, but not tuning of their frequency. Another way of producing a sine half wave is to use a switching transistor power converter. Only then, drive for electromagnetic vibrators do not depend on mains frequency. It is possible to provide adjusting frequency and time duration of drive current. Producing the output sine wave or a half sine wave current on a power converter, the electromagnetic force is created, which transmits power to the mechanical oscillator system. Frequency control provides operation of vibratory conveying drive in the region of the mechanical resonance. Resonance is highly efficient, because much output displacement is provided by little input power.*

## A REALISATION AC/DC TRANSISTOR POWER CONVERTER FOR DRIVING ELECTROMAGNETIC VIBRATORY CONVEYORS

Željko Despotović, Zoran Stojiljković

## DRAJVERSKI MODUL ZA UPRAVLJANJE DC MOTORIMA

Lubura Slobodan, Šoja Milomir ETF Srpsko Sarajevo, K-INEL Srpsko Sarajevo

**Sadržaj** - Ovaj rad prezentuje realizaciju drajverskog modula za upravljanje DC motorima, koji se koriste za pogon različitih industrijskih manipulatora i robota. Modul je prvenstveno namjenjen za pogon motora čija je snaga od 200W do 1kW. Jednostavnost realizovanog uređaja i lako dostupne komponente istovremeno podrazumjevaju i nisku cijenu modula u odnosu na slične module na tržištu.

### 1. UVOD

Da bi se mogli testirati različiti algoritmi upravljanja DC motorima, bilo da su oni pozicioni ili brzinski, neophodno je upravljačke signale (naponske ili strujne) prilagoditi zahtjevima DC motora. Za pogon različitih industrijskih manipulatora (robota) koriste se "brush-less" i disk servo motori čija snaga ne prelazi 1kW. Upravljački signali mogu biti kontinualni (standardni industrijski naponski ili strujni signali) ili diskretni u formi širinsko modulisanog signala, PWM-a. Za slučaj kontinualnog upravljačkog signala, za prilagođenje ovog signala zahtjevima motora mogu da se koriste analogni pojačavači snage (npr. LM12). Osnovni nedostatak analognih pojačavača je velika disipacija snage na pojačavaču, pa se oni koriste uglavnom kod manjih DC motora (do 100W). U slučaju PWM-a za prilagođenje upravljačkog signala koriste se posebno izrađeni drajverski moduli. Za motore manjih snaga  $U_{max} \leq 55V$  i  $I_{max} \leq 3A(6A)$  koriste se integrisani drajveri koji se lako mogu naći na tržištu (npr. LM 18200), međutim za pogon većih motora  $U_{mot} > 60V$  i  $I_{mot} > 10A$ , na tržištu ne postoji veliki izbor drajvera i cijena im je velika. To je osnovni razlog razvoja vlastitog drajverskog modula.

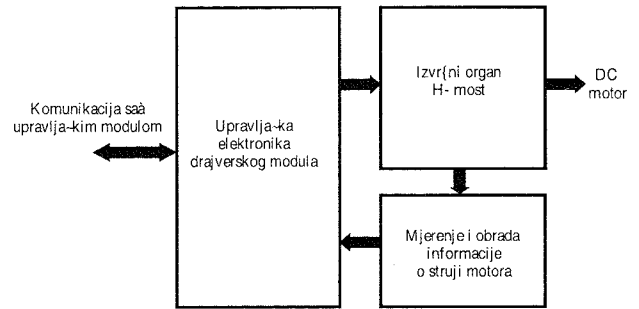
### 2. OPIS DRAJVERSKOG MODULA

Polazni zahtjevi za razvoj drajverskog modula bili su:

- prihvatanje različitih tipova ulaznih signala (CMOS, TTL, LVTTTL)
- radni napon motora  $U_{mot} \leq 100V$
- maksimalna struja motor  $I \leq 15A$
- mogućnost izbora načina upravljanja motorom
  - antifazno upravljanje
  - smjer/amplituda upravljanje
- strujna zaštita prekidača u mostu drajverskog modula
- izlazna informacija o struji motora pogodna za A/D konverziju
- kompatibilnost sa postojećim modulima na tržištu
- niska cijena

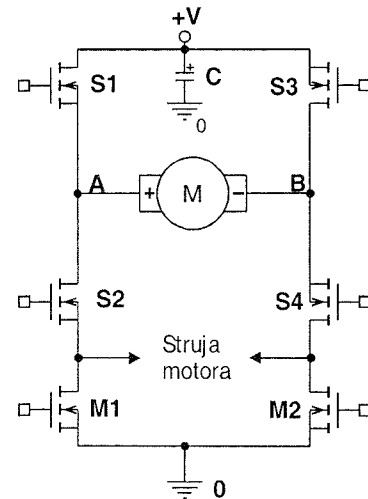
Na slici 1. prikazana je blok šema drajverskog modula. Izvršni organ drajverskog modula čini H-most sa četiri MOSFET tranzistora IRFP150N (S1-S4), na koji se priključuje DC motor, dva MOSFET tranzistora IRF540N (M1 i M2), za mjerenje struje motora i elektrolitski

kondezatori  $3 \times 1000\mu F/100V$  (C) postavljeni na DC napon napajanja motora. Svi elementi izvršnog organa zajedno sa hladnjakom kompakto su povezani i čine jednu cjelinu. H-most omogućava četverokvadrantni pogon motora, tj. i napon i struja mogu da imaju proizvoljan smjer, što je pri nekim primjenama motora neophodno.



Slika 1. Blok šema drajverskog modula

Elementi izvršnog organa prikazani su na slici 2.



Slika 2. Elementi izvršnog organa

Upravljanje prekidačima u H-mostu, (S1-S4) ostvareno je sa tri logička ulaza u upravljačku elektroniku drajverskog modula, PWM, SMJER i KOČENJE. Stanja prekidača u mostu u zavisnosti od upravljačkih signala data su u tabeli 1.

Tabela 1. Kombinaциона tabela stanja prekidača u H-mostu

PWM	SMJER	KOČENJE	S1	S2	S3	S4
1	1	0	1	0	0	1
1	0	0	0	1	1	0
0	0	0	1	0	1	0
1	0	0	0	1	1	0
0	1	0	1	0	1	0
0	0	0	1	0	0	1
x	x	1	0	1	0	1



Navedeni upravljački signali omogućavaju primjenu dvije PWM tehnike za upravljanje DC motorima:

1. antifazno upravljanje
2. smjer/ amplituda upravljanje

### 2.1 Antifazno upravljanje

Kod antifaznog upravljanja prekidači u H-mostu se uključuju dijagonalno S1S4 – S2S3. Ukoliko je faktor ispunje PWM signala  $D=0.5$ , onda je srednja vrijednost napona između tačaka A i B nula, tj.  $V_{AB}=0V$  (Slika 2.) i motor miruje. Ako povećamo vrijeme vođenja jedne dijagonale na pr. S1S4, tj. postavimo  $D>0.5$ , tačka A postaje pozitivnija od tačke B,  $V_{AB}>0$ , pa motor počinje da se vrti u jednu stranu, sa brzinom obrtanja koja je proporcionala naponu  $V_{AB}$ , odnosno faktoru ispunje PWM signala. Smanjivanjem faktora ispunje PWM signala na vrijednosti  $D<0.5$  tačka B postaje pozitivnija od A,  $V_{AB}<0$ , pa motor mijenja smjer vrtnje. Prednosti ovog načina upravljanja su:

- dva prekidača u H-mostu uvijek uključena, pa postoji dvosmjerni put struje motora i u slučaju reversiranja motora (jedan preko integriranih dioda prekidača)
- napon na motoru je uvijek određen stanjem prekidača, bez obzira na smjer struje
- jedan upravljački signal je potreban za upravljanje i smjerom i brzinom motora.

Antifazno PWM upravljanje DC motorima koristi se pri brzom dinamičkom upravljanju inercionim pogonima (gdje postoji česta promjena smjera obrtanja motora), jer omogućava da se dio regenerativne energije inercionog pogona vrati u izvor DC napona.

Jedan od nedostataka antifaznog PWM upravljanja je kompleksna rekonstrukcija slike struje motora, koja se mjeri na MOSFET tranzistorima M1 i M2 (slika 2.), jer je zbog dijagonalnog vođenja prekidača mjerena struja diskontinualna funkcija.

Kada se drajverski modul koristi za antifazno PWM upravljanje potrebno je signal PWM postaviti na "log 1", kočenje na "log 0", a na SMJER dovesti upravljački PWM signal.

### 2.2 Smjer/amplituda upravljanje

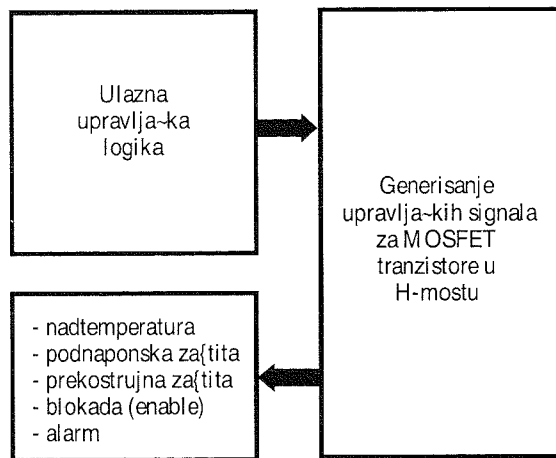
Kod ovog načina upravljanja DC motorom, jedan od prekidača S2 (S4) u grani H-mosta je stalno uključen, što je određeno stanjem upravljačkog signala SMJER. Na taj način potencijal tačke A (B) je prekično nula  $V_A \approx 0V$  (slika 2.) Promjenom vremena vođenja prekidača u suprotnoj grani H-mosta, tj. promjenom faktora ispunje  $0 < D < 1$  PWM signala, mijenja se potencijal tačke B (A), odnosno napon  $V_{AB}$  i brzina obrtaja motora. Pošto je jedan od prekidača u H-mostu stalno uključen na pripadajućem MOSFET tranzistoru M1 (M2) dobije se kompletna slika struje motora, pa je mjerenje struje motora u ovom slučaju jednostavno, nema potrebe za rekonstrukcijom. Navedena konstatacija važi samo za slučaj kada su napon i struja motora istog smjera, tj. kada nema promjene smjera struje, jer se u suprotnom dobije diskontinualna slika struje motora. Kada se koristi smjer/amplituda upravljanje potrebna su dva upravljačka signala, SMJER za promjenu smjera obrtanja motora i PWM

za promjenu amplitude napona na motoru, odnosno brzine motora.

Treći upravljački signal kojim se kontroliše stanje prekidača u H-mostu je signal KOČENJE. Postavljanjem ovog signala na visoko (log 1), bez obzira na stanje ostalih upravljačkih signala uključuju se dva donja tranzistora S2 i S4 u H-mostu i na taj način kratko spajaju namotaje motora. Vrijeme kočenja u ovom slučaju određeno je vremenskom konstantom motora  $\tau=L/R$ .

## 3. ELEMENTI UPRAVLJAČKE ELEKTRONIKE

Blok šema upravljačke elektronike prikazana je na slici 3.



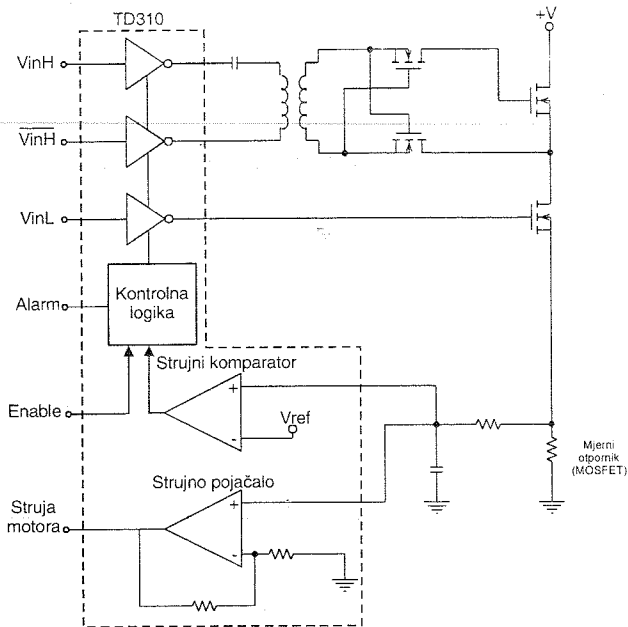
Slika 3. Blok šema upravljačke elektronike

Blok ulazne upravljačke logike prihvata ulazne upravljačke signale, prosleđuje ih na kombinacionu logiku saglasno tabeli 1. i na kraju se upravljački signali za jednu granu H-mosta dodatno modifikuju, ubacivanjem "mrtvog" vremena u cilju sprečavanja istovremenog vođenja tranzistora u grani H-mosta (S1S2 ili S3S4). Ovo vrijeme zavisi od upotrebljenih tranzistora, a u konkretnoj realizaciji drajverskog modula podešeno je na  $1\mu s$ . Tako modifikovani signali vode se na blok za generisanje upravljačkih impulsa za prekidače u H-mostu. Osnovni zadatak ovog bloka je generisanje četiri upravljačka impulsa za sve prekidače u H-mostu, s tim da upravljački impulsi za gornja dva prekidača u H-mostu (S1 i S3) moraju biti galvanski odvojeni od ostalih upravljačkih impulsa.

Za ovo su upotrebljena dva integrirana IGBT/MOSFET drajvera TD310, po jedan za svaku granu H-mosta. Primjenom ovog integriranog drajvera pojednostavljena je realizacija mnogih potrebnih funkcija. Osnovne karakteristike upotrebljenog drajvera su:

- mogućnost generisanja dva galvanski odvojena upravljačka impulsa za prekidače u grani H-mosta
- širok dijapazon napona napajanja 4-16V
- podesiva podnaponska zaštita
- prekostrujna zaštita prekidača u grani H-mosta
- strujno pojačalo
- blokada, enable ulaz za dozvolu izlaza
- signalizacija greške preko alarm izlaza

Na slici 4. data je principijelna šema integriranog drajvera TD310 i jedne grane H-mosta



Slika 4. Grana H-mosta sa integrisanim drajverom TD310

TD310 ima tri nezavisna MOS bafera, od taga se dva koriste za generisanje upravljačkih impulsa za gornji prekidač u H-mostu, koji morju biti galvanski izolovani. Galvanska izolacija ostvorena je sa impulsnim transformatorom prenosnog odnosa 1:1. Trećim baferom generiču se upravljački impulsi za donji prekidač u H-mostu, koji nisu galvanski izolovani. MOS baferima se upravlja eksterno, preko upravljačkih signala i interno preko kontrolne logike, koja u zavisnosti od stanja strujnog komparatora i UVLO bloka blokira rad bafera. Sastavni dio drajvera TD300 čini strujni komparator i strujno pojačalo. Strujnim komparatorom podešavamo maksimalnu vrijednost struje motora i to samo kada motor radi u motornom režimu. U generatorskom režimu na mjernom otporniku javlja se negativan napon pa strujni komparator nema zaštitnu funkciju. Strujno pojačalo upotrebjeno je za pojačanje milivoltnog signala struje motora sa MOSFET-ova M1 (M2) i sastavni je dio bloka za mjerenje i obradu informacije o struji motora.

Temperaturna zaštita drajverskog modula ostvorena je bimetalnim prekidačem koji je povezan sa oba enable ulaza drajvera i blokira njegov rad čim je temperatura veća od dopustive. Bilo koje nedozvoljeno stanje drajvera signalizira se signalom alarm (otvoreni drejn).

### 3.1 Obrada informacije o struji motora

Za mjerenje struje DC motora obično se koriste dvije metode:

1. mjernje pada napona na niskoomskom otporniku (šentu)
2. mjerenje struje magnetnim sensorom na bazi Halovog efekta

Prednost korištenja šenta je njihova niska cijena, a osnovni nedostatak osjetljivost i velika disipacija pri mjerenju većih struja motora. Takođe, jedan od problema je i mjesto postavljanja šenta. Logičan izbor je postavljanje šenta u seriji sa DC motorom, međutim diferencijalni pojačavač sa kojim "skidamo" milivoltni signal sa šenta mora da ima veliki CMRR, jer je napon motora mnogo veći od mjerene

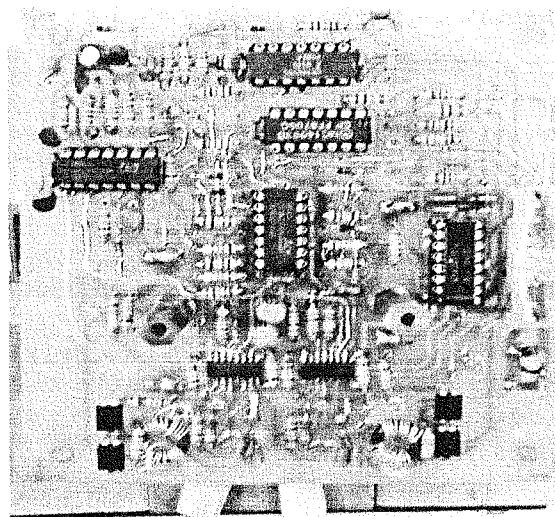
milivoltnog signala, pa primjena diferencijalnog pojačavača često nije praktična. Jedno od rješenja navedenog problema je primjena optički izolovanog pojačavača.

Indirektni način mjerenja struje DC motora je postavljanje šenta u svaku granu mosta obično prema minus napajanju ( slika 4.) tako da se rješi problem CMRR-a. Međutim, mjerena struja nije stvarna struja motora, već struja jedne grane H-mosta, pa je potrebno napraviti rekonstrukciju struje.

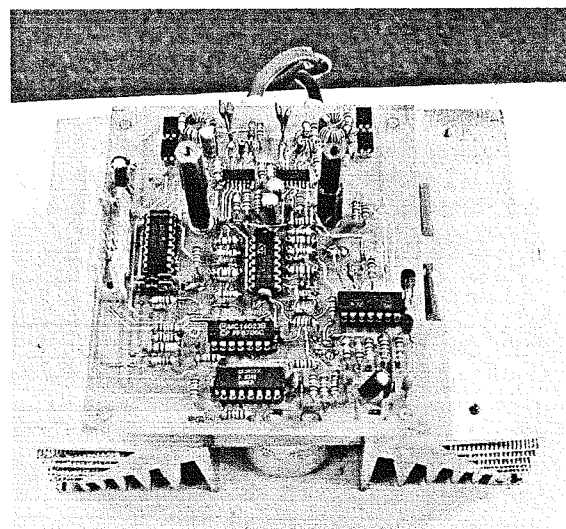
S druge strane, strujni senzori na bazi Halovog efekta rješavaju sve navedene probleme, tj. na izlazu ovih senzora dobija se galvanski odvojen strujni signal koji je vjerna slika mjerene struje motora. U posljednje vrijeme koriste se strujni senzori sa izlazom direktno prilagođenim A/D konvertorima.

Iako je korištenje magnetnih strujnih senzora najlogičnije rješenje, pri realizaciji drajverskog modula opredjelili smo se za postavljanje šentova (MOSFET) u obje grane H-mosta i rekonstrukciju struje motora. Razlog primjene ovog rješenja je strujna zaštita prekidača u mostu. Kako je već napomenuto, integrisani drajver TD310 sadrži strujni komparator, kojim se može ograničiti maksimalna struja kroz prekidače.

Na slici 5. i 6. prikazan je izgled realizovanog drajverskog modula za upravljanje DC motorima.



Slika 5. Realizovani drajverski modul



Slika 6. Realizovani drajverski modul

#### 4. ZAKLJUČAK

Realizovani drajverski modul predstavlja jedno jeftino i jednostavno rješenje za kojim se pojavila potreba u praksi. Nadogradnja ovog modula bila bi postavljanje magnetnog senzora u obliku SMD komponente, kakav je npr. SENTRON senzor, za mjerenje struje motora, što bi uprostilo samu realizaciju modula, dok bi zaštitne funkcije po struji motora ostale nezavisne.

#### 5. LITERATURA

- [1] Herbert Sax "LOAD CURRENT SENSING IN SWITCHMODE BRIDGE MOTOR DRIVING CIRCUITS" Application manual SGS'THOMPSON 2000.
- [2] Tim Regan "A DMOS 3A, 55V, H-Bridge: The MD18200", Application Note 694, National Semiconductor 1999.

- [3] R. LIU "TD310 USED IN A TRIPLE GALVANIC INSULATED HIGH SIDE DRIVING" Application Note 4460, SGS THOMPSON 1999.
- [4] "TD310 TRIPLE IGBT/MOS DRIVER" Application Note 4470, 1997 SGS-THOMSON Microelectronics
- [5] "LM12CL 80W Operational amplifier" National Semiconductor 1999.

**Abstract** - *This paper presents practical realization of a low-cost and simple driver module for DC motor (200W to 1kW) control, in application from very precise, high-performance position-controller drives to variable-speed drives in robotics.*

**A DRIVER MODULE FOR DC MOTOR CONTROL**  
Lubura Slobodan, Šoja Milomir



## ПРИМЈЕНА DUAL CURRENT MODE МОДУЛАТОРА У УПРАВЉАЊУ СИНУСНИМ ИНВЕРТОРОМ

Миломир Шоја, Слободан Лубура, ЕТФ Српско Сарајево, К-ИНЕЛ Српско Сарајево

**Садржај** - У раду су дати резултати испитивања монофазног синусног напонског инвертора код кога је добијање излазног синусног напона и одржавање његовог облика, амплитуде и фреквенције у заданим границама остварено помоћу тзв. dual current mode управљања [7], заснованог на регулацији струје излазног филтра (струјно управљање) чије су главне одлике: константна прекидачка фреквенција, једноставна имплементација и одличне карактеристике уређаја.

### 1. УВОД

Стотине милиона рачунара, телекомуникационих, медицинских и других рачунарски базираних уређаја од којих се тражи висока поузданост, захтијевају напајање чистим синусним напонам стабилне амплитуде и фреквенције у свим радним условима.

Чак и у САД гдје је квалитет напајања добар, један рачунар у току године доживи у просјеку 289 сметњи, од потпуног нестанка напајања до импулсних сметњи (више од једне по радном дану) [3]. Проблеми у напајању изазивају губитак података, оштећење или уништење опреме (губитак новца). Рјешење проблема је прикључивање уређаја на СБН који му може обезбиједити квалитетно напајање. Срце СБН је инвертор.

Високе динамичке перформансе, одлична статичка тачност излазног напона, те низак ниво напонске дисторзије и у присуству нелинеарних оптерећења, (диодни исправљачи са капацитивним филтром), фундаменталне су карактеристике ове врсте уређаја.

Управљачки систем који би се добро носио са нелинеарним оптерећењима мора бити веома брз и са великим појачањем. Ове особине има струјно управљање са константном фреквенцијом које се користи код DC-DC претварача, а овдје је приказана модификација ове врсте управљања, примјењива и на управљање инвертором, названа *dual current mode* управљање.

Номиналне циљне карактеристике инвертора [6]:

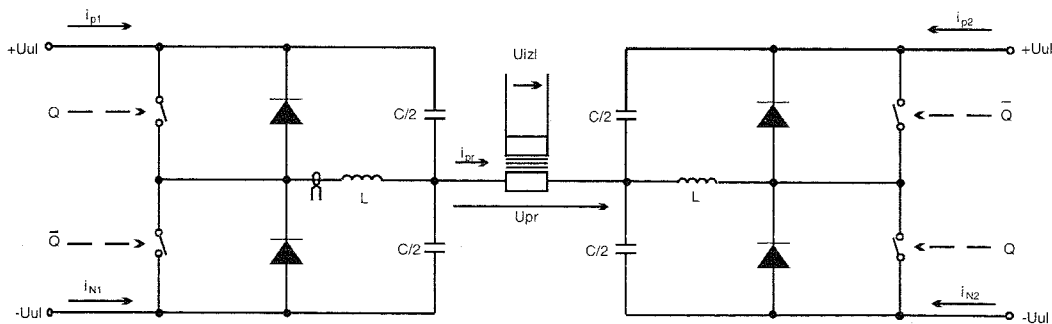
Снага	: 1 - 5 kVA
Фактор снаге ( $\cos\phi$ )	: 0.8 ind
Улазни напон	: 110 / 220 V; -10, +20%
Излазни напон	: 220 (110) V
- статичка тачност	: $\pm 1\%$
- динамичка тачност	: 4 - 8 %
- фреквенција	: 50 Hz; $\pm 0, 1\%$
- облик	: синус
- THD	: $< 3\%$ лин., $< 5\%$ нелин.
- појединачни хармоници	: 2% основног
Радна фреквенција	: $> 10$ kHz
Галванска изолација улаз/излаз	: да
Струјни лимит	: подесив
Крест фактор оптерећења	: 2.5 - 3
Коефицијент корисног дејства	: $> 90\%$

### 2. РЕАЛИЗАЦИЈА УРЕЂАЈА

Код реализације уређаја посебна пажња посвећена је:

- интеграцији улазног филтра и извршног органа са конструкцијом која елиминира паразитне индуктивности до нивоа када је заштита од транзијентата минимизирана или чак елиминисана
- оптималном побуђивању MOSFET/IGBT са обавезном заштитом од кратког споја и меким (soft) гашењем.
- увођењу струјног управљања са константном фреквенцијом ради постизања малих изобличења излазног напона, велике брзине одзива у динамичким режимима, велике статичке тачности и са могућношћу рада и са нелинеарним оптерећењима.

Конфигурација, приказана на слици 1., веома је погодна за практичну реализацију јер дозвољава интеграцију извршног органа инвертора (транзисторског моста), улазног филтра и кондензатора излазног филтра (C/2) на једној штампаној плочи, чиме је конструкција комплетног уређаја значајно поједностављена.



Слика 1. Шема инверторског моста са излазним филтром и трансформатором

Томе су допринијеле и излазне филтарске пригушнице ( $L$ ), намотане на феритном језгру, које су се због малих димензија и тежине одлично уклопиле са осталим енергетским дијеловима инвертора.

## 2.1 Управљачка електроника инвертора

Управљачка електроника инвертора морала је бити: једноставна, поуздана, јефтина, лака за монтажу и сервисирање, а реализована је као један електронски модул у коме су интегрисана четири функционална блока који обављају следеће задатке:

- Генерисање напона за напајање
- Прилагођење и мјерење улазних сигнала
- Сигнализација
- Формирање и регулација излазног напона

### 2.1.1 Блок за формирање и регулацију излазног напона

Излазни синусни напон инвертора добија се филтрирањем напона моста, кога генеришу управљачка електроника и извршни орган и који је у облику правоугаоних импулса. Садржај хармоника овог напона треба бити што је могуће бољи (што више основног, а што мање виших хармоника) како би се поједноставило филтрирање и задовољили противрјечни захтјеви за ниском  $THD$  и добром динамиком излазног напона инвертора.

Задатак блока за формирање и регулацију излазног напона (и струје) је да обезбеди такве управљачке импулсе за прекидаче у извршном органу на основу којих се, после филтрирања, на излазу инвертора добије напон синусног облик чија амплитуда и фреквенција остају у заданим границама у свим декларисаним условима рада (за све промјене улазног напона, за сва предвиђена оптерећења и тд.). Ове функције, као и веома ефикасно ограничење струје, остварени су помоћу *dual current mode* управљања, реализованог према принципијелној шеми на слици 2. уз коришћење стандардних, јефтиних и лако доступних компоненти.

### 2.1.2 Струјно управљање DC-DC претварачима [4]

Струјно управљање DC-DC претварачима има следеће природне предности у односу на уобичајену ШИМ: константна прекидачка фреквенција, аутоматски *feed forward*, аутоматска корекција несиметрије, природно ограничење струје, једноставна компензација, одличан одзив на промјене оптерећења и способност паралелног рада.

Постоје два начина струјног управљања DC-DC претварачима:

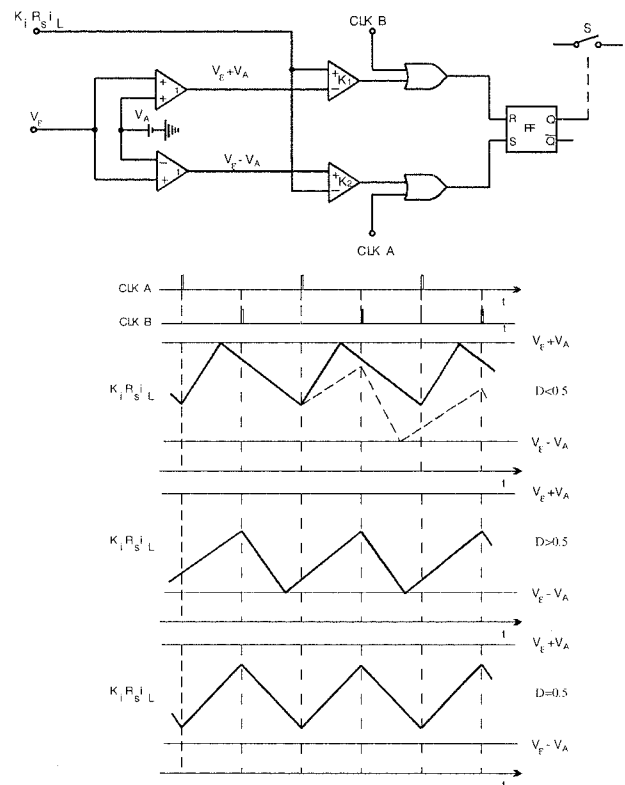
1. Прекидач се укључује такт импулсима, а искључује када струја нарасте до задане вриједности (стабилан за  $D < 0.5$ ),
2. Прекидач се искључује такт импулсима, а укључује када струја опадне до задане вриједности (стабилан за  $D > 0.5$ ).

Код инвертора се мора користити управљање које му обезбјеђује стабилан рад у цијелом дијапазону промјене  $D$  (0 до 1). То би се постигло коришћењем струјног управљања са укључењем такт импулсима за  $D < 0.5$  и са искључењем такт импулсима за  $D > 0.5$ .

### 2.1.3 Dual current mode управљање [7]

Модулатор, способан да аутоматски прелази из режима укључења у режим искључења такт импулсима при  $D=0.5$  (и обратно), којим је могуће остварити стабилно управљање за све вриједности  $D$ , примјеливо на управљање инвертором уз сачуване све добре особине струјног управљања са константном фреквенцијом, постоји и зове се *dual current mode* модулатор. Његов принцип рада приказан је на слици 2.

Константни напон  $V_A$  сабран је и одузет од напоне грешке  $V_e$ . Сигнал мјерене струје  $K_i R_s I_L$ , који је пропорционалан струји филтерске пригушнице, пореди се са  $V_e + V_A$  и са  $V_e - V_A$  на компараторима  $K1$  и  $K2$ .  $RS FF$ , који управља стањем прекидача, је у стању *log 1* када се деси такт импулс  $CLKA$ , или када  $K_i R_s I_L$  достигне  $V_e - V_A$ , а у стању *log 0* када  $K_i R_s I_L$  достигне  $V_e + V_A$ , или када се деси такт импулс  $CLKB$ . Два сигнала такт импулса,  $CLKA$  и  $CLKB$  имају константну фреквенцију, али су међусобно помјерени за половину периода.



Слика 2. Dual current mode модулатор

Слика 2. показује три начина рада модулатора, зависно од тога да ли је  $D < 0.5$ ,  $D > 0.5$  или  $D = 0.5$ .

- $D < 0.5$  : Прекидач се укључује такт импулсима  $CLKA$ , а искључује када  $K_i R_s I_L$  достигне  $V_e + V_A$  ( $CLKB$  не утиче на понашање, јер је, кад се он деси,  $FF$  већ ресетован). Пошто се ради о укључењу такт импулсима и пошто је  $D < 0.5$  претварач је стабилан (за погодно изабрано појачање петље).
- $D > 0.5$  : У овом случају прекидач се укључује када  $K_i R_s I_L$  достигне  $V_e - V_A$ , а искључује такт импулсима  $CLKB$ . ( $CLKA$  не утиче на понашање, јер је, кад се он деси,  $FF$  већ сетован). Ради се о искључењу такт импулсима при  $D > 0.5$  и претварач је стабилан.
- $D = 0.5$  : Прекидачем управљају такт импулси ( $CLKA$  га укључује, а  $CLKB$  искључује).

Када се нагиб криве  $K_i R_S I_L$  мијења (као последица промјене  $U_i/U_{in}$ ), модулатор аутоматски мијења начин рада (испрекидана линија на слици 2.).

Услов стабилног рада мосног претварача за све вриједности  $D$  је:

$$V_A > K_i \cdot R_s \cdot \frac{U_{ul} \cdot T_r}{4 \cdot L} \quad (1)$$

Напон  $2V_A$  мора бити већи од максималне (*peak-to-peak*) амплитуде промјене  $K_i R_S I_L$ . Ако напон  $2V_A$  није довољно велик рад модулятора није коректан. Модулатор ради као хистерезни струјни регулатор, укључујући и искључујући прекидач када  $K_i R_S I_L$  достигне нивое компарације  $V_e + V_A$  и  $V_e - V_A$ . Дешавају се и нека прекидања због тактова доводећи до повремених непериодичног рада уз очувану средњу вриједност струје.

Коришћење превеликог напона  $2V_A$  такође треба избјећи, пошто је тада велика вриједност неконтролисане струје када је  $D=0.5$  и претварач се налази између укључења и искључења такт импулсима.

Напон  $V_A$  који се генерише у управљачкој електроници стабилан је и подесив, да би се избјегли нерегуларни услови рада модулятора.

Излазна струја претварача је ограничена напоном засићења појачавача грешке :

$$I_{omax} \approx \pm V_{sat} / K_i R_S \quad (2)$$

Да би омогућили ефективно ограничење излазне струје, нужно је ограничити напон засићења сумирајућих појачавача (слика 2.) на вриједност која је мања од напона засићења струјног појачавача.

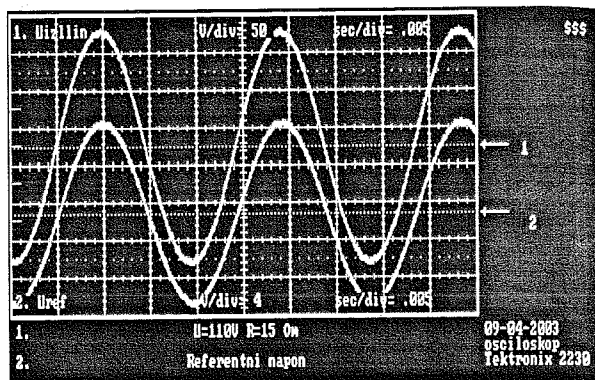
Извршни орган инвертора реализован је као мосна спрега четири прекидача (слика 1.). Импулси за окидање прекидача добијени су из једног модулятора, при чему је  $Q$  излаз  $RS FF$  искоришћен за укључивање прекидача у једној, а  $Q_$  у другој дијагонали моста. Оваквим начином укључивања прекидача, на излазу моста добијени су биполарни импулси.

Реализација ограничења струје моста (излазне струје) као и осталих функција модулятора (генератор такт импулса,  $RS FF$ , компаратори и тд.) остварена је према датом опису и принципијелној шеми модулятора.

### 3. РЕЗУЛТАТИ ИСПИТИВАЊА

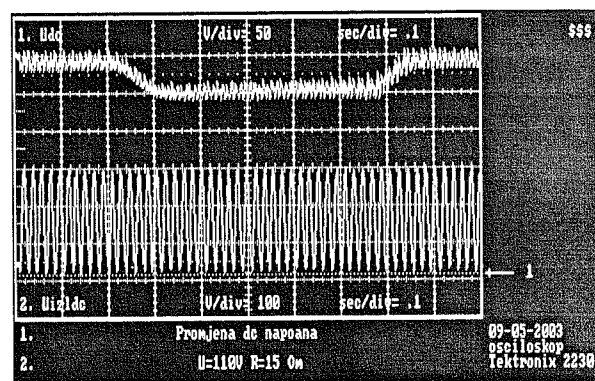
Резултати испитивања синусног напонског инвертора дати су у виду снимљених осцилограма карактеристичних напона и струја уређаја. Осцилограми су снимљени осцилоскопом *TEK 2230*, док је повезивање са *PC* рачунаром, приказ на екрану рачунара и манипулација снимљеним осцилограмима остварено помоћу програма који је написан у *GWBASIC*, па су слике које су у раду приказане у извјесној мјери деформисане, тј. лошије изгледају него у стварности.

Слика 3. приказује излазни напон инвертора номинално оптерећеног омским оптерећењем (горњи осцилограм) и задану синусоиду из веома квалитетног генератора функција (*HP3314A*) (доњи осцилограм). Са слике се јасно види да излазни напон инвертора по свом облику и садржају виших хармоника (*THD*) задовољава постављене улазне захтјеве.



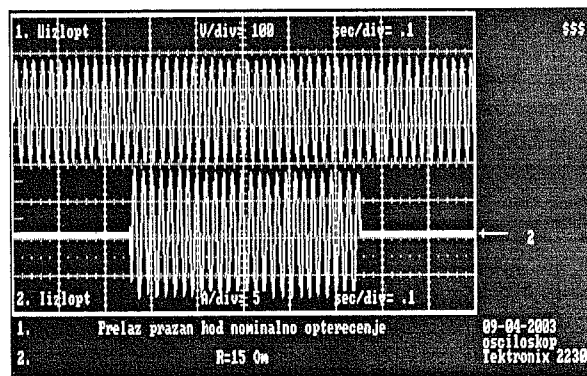
Слика 3. Омско оптерећење

Са слике 4. се види да излазни напон инвертора остаје потпуно стабилан при скоковитој промјени улазног  $DC$  напона од 50V (измјерено апсолутно одступање износи 0.43V на 110 V).



Слика 4. Утицај улазног  $DC$  напона на излазни напон

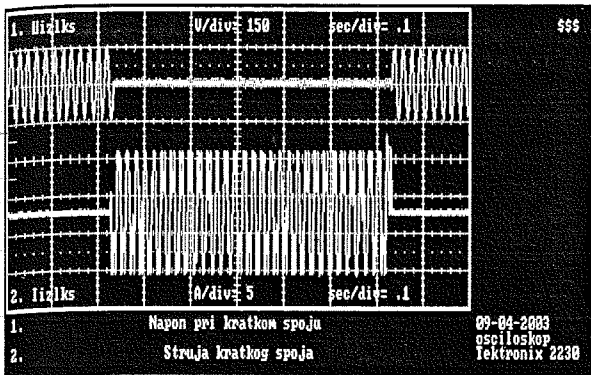
Утицај скоковите промјене оптерећења (100% оптерећење и растерећење) на излазни напон инвертора приказан је на слици 5. Као и у претходном случају, показује се да је напон веома стабилан.



Слика 5. Излазни напон при промјени оптерећења

На слици 6. јасно се види прелазак инвертора из режима напонског у режим струјног извора и обратно. Сви прелазаци се дешавају потпуно природно и не представљају никакав проблем ни за управљачку електронику, ни за енергетски дио уређаја. Пошто струја не прелази максималну пројектовану вриједност, уређај у режиму струјног извора (у кратком споју) може остати произвољно дуго.

У случају преоптерећења и напон и струја добијају трапезоидни облик. Повећање преоптерећења изазива смањење напона (до нуле), док струја остаје константна



Слика 6. Излазни напон и струја при кратком споју

#### 4. ЗАКЉУЧАК

Резултати развоја синусног инвертора (1 kVA), дати у виду осцилограма, показују да развијени инвертор има изузетно малу *THD*, као и одличну статичку и динамичку тачност излазног напона у декларисаним границама промене улазног напона и оптерећења. Веома важна је и способност трајног рада при директном кратком споју на излазу, са потпуно природним преласком из режима напонског у струјни извор. Тиме је доказано да развијени уређај у потпуности задовољава постављене улазне захтеве и да је увођење *dual current mode* управљања било оправдано.

#### ЛИТЕРАТУРА

- [1] Timothy L. Skvarenina : *The Power Electronic Handbook*, CRC PRESS, 2002.
- [2] SIEMENS : *MASTERGUARD UPS*, 1999.
- [3] Best Power : *UPS Product Catalogue*, 1999.
- [4] UNITRODE : *Modelling, Analysis and Compensation of the Current-Mode Converter*, 1997.
- [5] APC : *Currents*, 2002.
- [6] К-ИНЕЛ : *Техничка документација*, 1999-2004.
- [7] A. Victor Anunciada, Manuel M. Silva : *A New Current Mode Control Process and Applications*, 1991.
- [8] S.Busso, S.Fasolo, L.Malesani, P.Mattavelli : *A Dead-Beat Adaptive Hysteresis Current Control*, 2000.
- [9] S.Busso, S.Fasolo, P.Mattavelli : *Uninterruptible Power supply Multiloop Control Employing Digital Predictive Voltage and Current regulators*, 2001.
- [10] K.Miyashita, H.Hara, S.Shimogata, T.Yokoyama : *Multirate Deadbeat Control for PWM Inverters using FPGA based Hardware Controller*, 2002.

**Abstract** - This study presents experimental results referring to a single-phase sinusoidal voltage-source inverter (1 kVA) with dual current mode control. The validity of the proposed strategy (capability of providing a reduced level of distortion and a fast dynamic response in the presence of step variations of input DC voltage and load) has been demonstrated by means of oscillograms.

#### SINUSOIDAL VOLTAGE-SOURCE INVERTER WITH DUAL CURRENT MODE CONTROL

Milomir Šoja, Slobodan Lubura

## ТРОФАЗНИ ИСПРАВЉАЧ СА МАЛИМ ИЗОБЛИЧЕЊЕМ УЛАЗНЕ СТРУЈЕ КОЈИ КОРИСТИ УБРИЗГАВАЊЕ СТРУЈЕ И ПАСИВНИ ЕМУЛАТОР ОТПОРНОСТИ

Предраг Пејовић, Електротехнички факултет, Београд  
Предраг Божовић, Пупин Телеком ДКТС, Београд

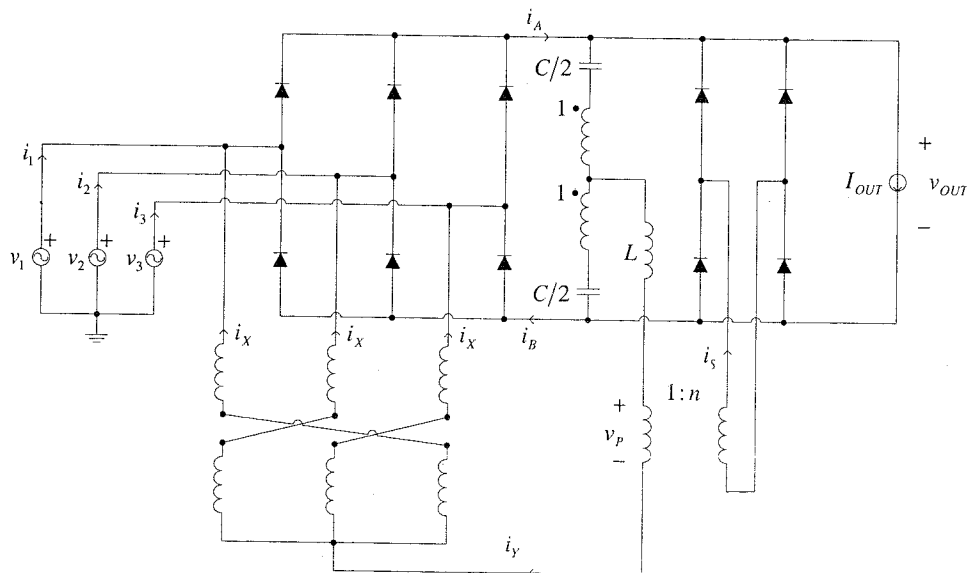
**Садржај** – У раду је приказана нова структура трофазног исправљача са малим изобличењем улазне струје заснована на принципу убризгавања струје. Исправљач је особен по томе што користи нов емулатор отпорности који се састоји од четири диоде и трансформатора преносног односа 1:10 чија је типска снага 3.57 % улазне снаге исправљача. У раду је приказана анализа и оптимизација рада исправљача са циљем да се минимизује укупно хармонијско изобличење (THD) улазне струје 3.72 % у случају оптималне амплитуде убризгане струје, а 7.79 % у случају дисконтинуалног режима рада исправљача. Аналитички добијени резултати су верификовани на експерименталном исправљачу снаге 2 kW.

### 1. УВОД

Убризгавање грећег хармоника струје је метод за смањење изобличења улазне струје код трофазних диодних исправљача. Метод је постао популаран пошто су приказана једноставна кола која га примењују, публикована у [1] и [2]. Детаљна теоријска анализа метода је приказана у [3], где је показано да део улазне снаге исправљача мора да буде предаг мрежи за убризгавање струје у циљу смањења укупног хармонијског изобличења (THD). Та снага може бити дисипирана на отпорницима, како је експлицитно урађено у [1] и имплицитно у [2], или пренесена на излаз исправљача применом технике емулације отпорности [4]. Други резултат приказан у [3] је поређење исправљача предложених у [1] и [2], које је показало да исправљач предложен у [1] омогућава мање вредности THD улазних

струја од исправљача предложеног у [2] због спектралних компоненти на целобројним умношцима шестоструке мрежне учестаности које теку између излазних прикључака диодног моста. У случају кола предложеног у [2], ове спектралне компоненте су знатно израженије, што резултира већим вредностима THD улазне струје. Са друге стране, коло предложено у [2] захтева само један калем у мрежи за убризгавање струје, у поређењу са исправљачем приказаним у [1] који захтева два калема. Да би се превазишао проблем са спектралним компонентама на умношцима шестоструке мрежне учестаности, примена малог трансформатора са преносним односом 1:1 је предложена у [5]. Типска снага овог трансформатора износи само 0.16 % улазне снаге исправљача и дозвољава примену мреже за убризгавање струје са само једним калемом. Приступ из [5] је примењен у [4], где је централно питање било враћање снаге коју узима мрежа за убризгавање струје. Резултат приказан у [4] је мрежа за убризгавање струје са пасивним емулатором отпорности који омогућава самоподешавање према струји потрошача. Мана исправљача приказаног у [4] је сложеност, пошто је мрежа за убризгавање струје коло четвртог реда које мора да задовољи два услова резонансе. Снага коју узима мрежа за убризгавање струје се предаје потрошачу кроз повећавање излазног напона, што захтева додавање елемената на ред са потрошачем, у грани где тече велика излазна струја.

У овом раду ће бити примењен други начин да се потрошачу преда снага коју узима мрежа за убризгавање струје. Примењена је мрежа за убризгавање струје предложена у [5], али за разлику од [4] снага коју узима мрежа за убризгавање струје се предаје потрошачу кроз



Сл. 1. Структура исправљача



ефективно повећавање струје потрошача. Ово доводи до мањег струјног оптерећења примењених полупроводничких елемената, и што је још важније, мрежа за убризгавање струје је другог реда и само један услов резонансе треба да буде испуњен. Иако самоподешавање према струји потрошача није тако очигледно као у [4], експериментални резултати бољи од приказаних у [4] су постигнути.

## 2. СТРУКТУРА ИСПРАВЉАЧА

Исправљач који се разматра у овом раду је приказан на слици 1. Састоји се из диодног моста (диоде D1 до D6), уређаја за убризгавање струје реализованог као аутотрансформатор са сломљеном звездом, мреже за убризгавање струје (састоји се из два  $C/2$  кондензатора, калема  $L$  и трансформатора са преносним односом 1:1) и пасивног емулятора отпорности (трансформатор са преносним односом 1: $n$  и диоде DR1 до DR4). Мрежа за убризгавање струје је иста као и у [5], али је емулятор отпорности потпуно различит у поређењу са оним приказаним у [4]. Убрижана струја  $i_v$  тече кроз примар трансформатора са преносним односом 1: $n$ , који је примењен да би прилагодио напонске нивое. Секундар тог трансформатора је повезан на улаз монофазног диодног моста (Грецов спој), који је струјно напајан трансформисаном струјом  $i_v$ . Ова струја се после исправљања додаје на излазну струју, односно представља део струје потрошача. На овај начин се снага коју узима мрежа за убризгавање струје предаје потрошачу.

## 3. ПРИНЦИП РАДА ИСПРАВЉАЧА

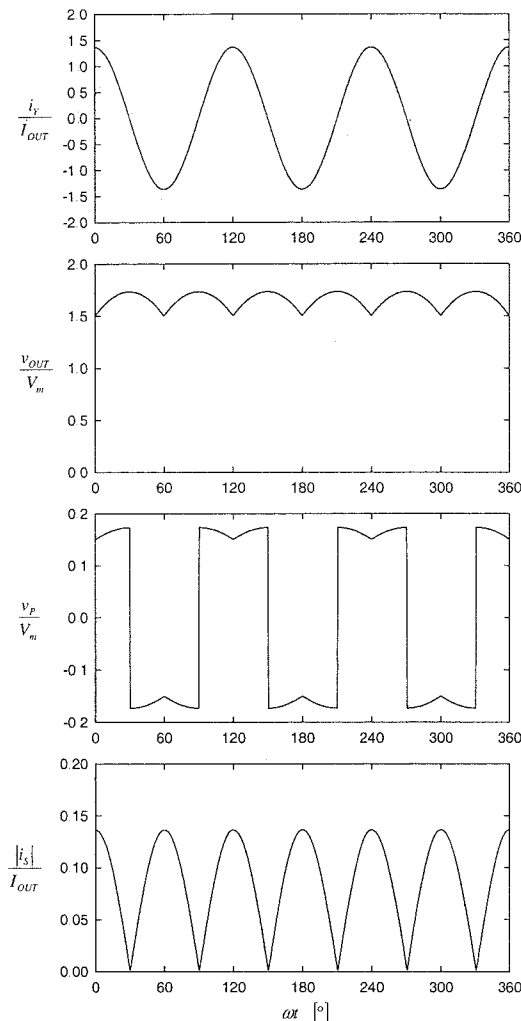
Таласни облици струја и напона значајни за описивање рада исправљача, а посебно емулятора отпорности, приказани су на слици 2. Емулятор отпорности представља везу између убризгане струје  $i_v$  приказане на првом дијаграму са слике 2, и излазног напона исправљача, који је приказан на другом дијаграму са слике 2. Пошто је диодни мост емулятора отпорности (диоде DR1 до DR4) струјно напајан, стање диода у мосту је одређено смером струје  $i_v$ , тако да DR1 и DR4 воде када је  $i_v$  позитивна, док DR2 и DR3 воде када је  $i_v$  негативна. Ово за резултат даје напон на примару трансформатора са преносним односом 1: $n$  какав је приказан на трећем дијаграму са слике 2.

У циљу компензовања спектралних компоненти  $v_A$  и  $v_B$  на трострукој мрежној учестаности, спектрална компонента напона  $v_P$  на трострукој мрежној учестаности мора бити једнака одговарајућој компоненти у  $v_A$  и  $v_B$ ,

$$V_{A3} = V_{B3} = \frac{3\sqrt{3}}{8\pi} V_m \quad (1)$$

где је  $V_m$  амплитуда улазног фазног напона.

Пошто је спектрална компонента напона  $v_P$  на трострукој мрежној учестаности



Сл. 2. Таласни облици напона и струја исправљача

$$V_{P,3} = \frac{15\sqrt{3}}{4\pi} \frac{V_m}{n} \quad (2)$$

изједначавањем (1) и (2) преносни однос трансформатора 1: $n$  се добија као

$$n = 10 \quad (3)$$

Рачунањем максималног флукса у језгру трансформатора и ефективних вредности струја намагaja, може се показати да је типска снага овог трансформатора  $1/28 = 3.57\%$  улазне снаге исправљача. Такође, може се показати да су диоде DR1 до DR4 изложене максималном инверзном напону једнаком максималној тренутној вредности излазног напона, која је једнака амплитуди линијског напона којим се исправљач напаја,  $\sqrt{3} V_m$ , док је њихова средња струја  $6/(7\pi^2) = 8.68\%$  струје потрошача  $I_{OUT}$ . На овај начин, применом једног трансформатора релативно мале типске снаге и четири диоде са умереним напонским и струјним оптерећењем, остварена је емуляција отпорности на једноставан начин, без прекидања на високим фреквенцијама.

За оптимизацију амплитуде убризгане струје је коришћен исти метод као у [3]. Прво је претпостављено да је таласни облик убризгане струје синусоида на трострукој мрежној учестаности, у фази са одговарајућом спектралном компонентом у  $v_A$  и  $v_B$ , док је њена

амплитуда остављена као непозната величина по којој се оптимизација врши. Затим су у функцији амплитуде убризгане струје одређене ефективна вредност и амплитуда улазне струје. На основу ове две величине је одређено укупно хармонијско изобличење улазне струје, које је функција непознате амплитуде убризгане струје. На крају је одређена вредност амплитуде убризгане струје при којој се постиже минимум изобличења улазних струја. Добијен је резултат да је оптимална амплитуда убризгане струје

$$I_{ym} = \frac{30}{7\pi} I_{OUT} \approx 1.36 I_{OUT} . \quad (4)$$

што је нешто мање него у случају када емулатор отпорности није био примењен [3]. Разлог за ову разлику и потребу да се поново оптимизује амплитуда убризгане струје је чињеница да је примена емулатора отпорности изменила таласни облик струје која оптерећује графазни диодни мост. Та струја није више константна као у [3], већ благо таласаста, састоји се из струје потрошача умањене за таласни облик струје приказане на четвртој дијаграму са слике 2.

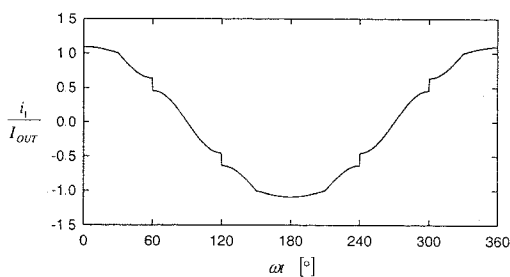
Оптимална амплитуда убризгане струје дата са (4) обезбеђује рад графазног диодног моста у континуалном режиму и за резултат даје THD улазне струје од

$$THD = \frac{1}{3} \sqrt{\pi^2 - \frac{69}{7}} \approx 3.72 \% . \quad (5)$$

Таласни облик улазне струје у случају оптималног убризгавања је приказан на слици 3.

Постигнути резултат је бољи од резултата приказаног у [3], где је са  $I_{ym} = 1.5 I_{OUT}$  постигнуто укупно хармонијско изобличење улазне струје од 5.12 %. Разлог за то је већ поменута струја  $|i_s|$  приказана на четвртој дијаграму са слике 2, за коју треба умањити  $I_{OUT}$  како би се добила струја која оптерећује графазни диодни мост. Штавише, резултат је бољи и од резултата постигнутог у [5] због одговарајућег садржаја хармоника на умношцима шестоструке мрежне учестаности у струји која оптерећује графазни диодни мост, што је реализовано преко струје  $|i_s|$ . Слична техника је примењена у [6] како би се у потпуности уклонили хармоници улазне струје исправљача.

За примену предложеног исправљача изузетно је важно чиме је одређена амплитуда убризгане струје. Формално гледано, са тачке гледишта теорије електричних кола, та амплитуда уопште није одређена ако је преносни однос трансформатора у емулатору



Сл. 3. Таласни облик улазне струје

отпорности дат са (3), а мрежа за убризгавање струје нема губитака. У реалној ситуацији мрежа за убризгавање струје ће имати губитке који се могу представити еквивалентном отпорношћу мреже за убризгавање струје. Како би се компензовао пад напона на овој отпорности, преносни однос трансформатора ће бити нешто мањи од оног који је дат једначином (3), а управо паразитна отпорност мреже за убризгавање струје ће одредити амплитуду убризгане струје. Проблем са оваквим концептом лежи у чињеници да је паразитна отпорност мреже за убризгавање струје независна од струје потрошача, док амплитуда убризгане струје треба да буде директно пропорционална струји потрошача. Стога ће амплитуда убризгане струје само при једном оптерећењу исправљача бити оптимална, док је за свако друго оптерећење исправљача субоптимална. При великим струјама потрошача амплитуда убризгане струје ће бити мања од оптималне, што је условљено фиксном амплитудом напона на константној паразитној отпорности мреже за убризгавање струје. Срећом, ова зависност није особито изражена, може се показати да је укупно хармонијско изобличење улазне струје мање од 5 % за амплитуду убризгане струје која лежи у опсегу

$$1.22 I_{OUT} < I_{ym} < 1.51 I_{OUT} . \quad (6)$$

При малим вредностима струје потрошача исправљач тежи да пређе у дисконтинуални режим рада, када се уочавају највећа укупна хармонијска изобличења улазне струје. Код анализираних исправљача прелазак у дисконтинуални режим се догађа при амплитуди убризгане струје од

$$I_{ym} = \frac{5}{3} I_{OUT} \approx 1.67 I_{OUT} . \quad (7)$$

При оволикој амплитуди убризгане струје укупно хармонијско изобличење улазне струје износи

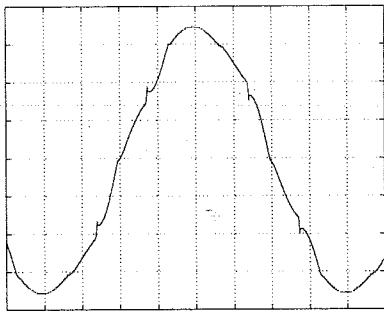
$$THD_{DCM} = \frac{\sqrt{6\sqrt{61\pi^2 - 36\pi} - 486}}{54} \approx 7.79 \% . \quad (8)$$

У случају исправљача из [5], који не користи емулатор отпорности, овај прелаз се догађа при  $I_{ym} = 2 I_{OUT}$ . У том случају је укупно хармонијско изобличење улазне струје 10.43 %. Дакле, опет су постигнути бољи резултати захваљујући струји  $|i_s|$  која одузета од струје потрошача даје струју која оптерећује графазни диодни мост.

#### 4. ЕКСПЕРИМЕНТАЛНИ РЕЗУЛТАТИ

У циљу провере аналитички добијених резултата, направљен је експериментални исправљач снаге 2 kW. Исправљач је предвиђен да ради са улазним напонем коме је амплитуда фазног напона  $V_m = 140$  V, док се излазна струја креће до 10 A. Таласни облик улазне струје снимљен при излазној струји од  $I_{OUT} = 6$  A је приказан на слици 4. Измерено је укупно хармонијско изобличење од 4.86 %, које је у доброј сагласности са аналитичким предвиђањем датим са (5).

На слици 5 је приказана експериментално добијена зависност укупног хармонијског изобличења улазне струје од излазне струје, односно оптерећења исправљача. При малим струјама потрошача изобличење улазне струје је највеће, док је исправљач у дисконтинуалном режиму провођења. Како се струја



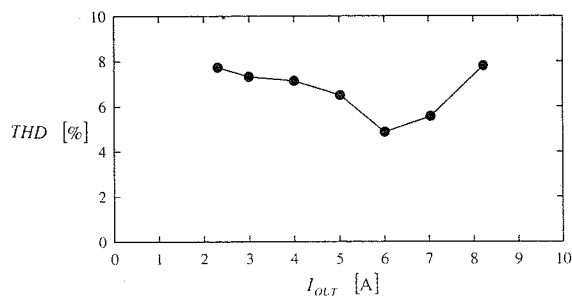
Сл. 4. Експериментално добијен таласни облик улазне струје при  $I_{out} = 6 \text{ A}$ ; подела струјне осе  $2 \text{ A/div}$ , подела временске осе  $2.5 \text{ ms/div}$

потрошача увећава, изобличење улазне струје опада и пролази кроз благи минимум, да би са даљим растом струје потрошача опет почело да расте, услед недовољне амплитуде убризгане струје. Овакав резултат је очекиван и у складу је са разматрањем датим у претходном поглављу.

На крају, занимљиво је упоредити зависност укупног хармонијског изобличења улазне струје од струје потрошача приказану на слици 5 са одговарајућим дијаграмом из [4]. Неочекиван је резултат да је карактеристика исправљача из [4] лошија у поређењу са овде приказаном, што је последица веће осетљивости исправљача из [4] на паразитне ефекте, пре свега на струју цурења паралелног осцилаторног кола на резонантној фреквенцији. Како у овде предложеном исправљачу наведено паралелно осцилаторно коло ни не постоји, утицај паразитног ефекта тог типа је у потпуности елиминисан.

## 5. ЗАКЉУЧАК

У овом раду је приказан трофазни диодни исправљач са малим хармонијским изобличењем улазне струје који ради на принципу убризгавања трећег хармоника струје и користи нови тип емулатора отпорности. Емулатор отпорности користи само пасивне елементе и састоји се од једног трансформатора и четири диоде повезане у монофазни диодни мост. Пошто је излазна струја емулатора отпорности предата потрошачу, струја која оптерећује трофазни диодни мост је измењена у односу



Сл. 5. Зависност изобличења улазне струје од интензитета излазне струје

на ситуацију када се емулатор отпорности не користи и она садржи одређену количину хармонијских компонената на целобројним умношцима шестоструке мрежне учестаности. На тај начин је, осим повећавања коефицијента корисног дејства, изобличење улазне струје смањено са 5.12 % на 3.72 %. У дисконтинуалном режиму рада исправљача, при малим струјама потрошача, на овај начин је смањено укупно хармонијско изобличење улазне струје са 10.43 % на 7.79 %. Аналитички добијени резултати су верификовани на експерименталном исправљачу снаге 2 kW. На основу експерименталних искустава, може се закључити да је укупно хармонијско изобличење оваквог исправљача у опсегу од 4 % до 8 % у целом опсегу струје потрошача.

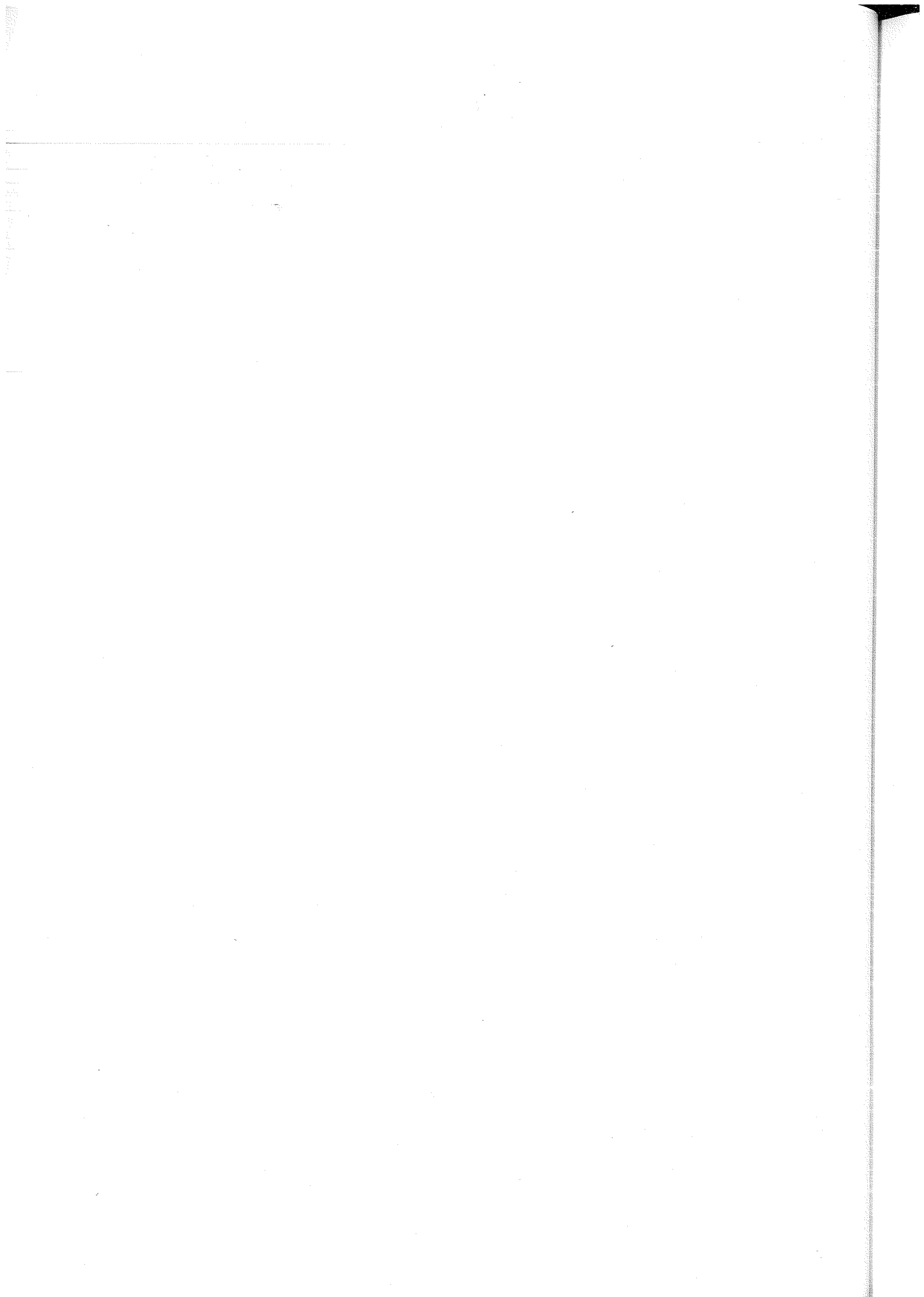
## 6. ЛИТЕРАТУРА

- [1] W. B. Lawrance, W. Mielczarski, "Harmonic current reduction in a three-phase diode bridge rectifier," *IEEE Trans. Ind. Electron.*, vol. 39, pp. 571-576, Dec. 1992.
- [2] S. Kim, P. Enjeti, P. Packebush, I. Pitel, "A new approach to improve power factor and reduce harmonics in a three-phase diode rectifier type utility interface," *IEEE Transactions on Industry Applications*, vol. 30, pp. 1557-1564, Nov./Dec. 1994.
- [3] P. Pejović, Ž. Janda, "An analysis of three-phase low-harmonic rectifiers applying the third harmonic current injection," *IEEE Trans. Power. Electron.*, vol. 14, pp. 397-407, May 1999.
- [4] P. Pejović, "Two three-phase high power factor rectifiers that apply the third harmonic current injection and passive resistance emulation," *IEEE Trans. Power. Electron.*, vol. 15, no. 6, pp. 1228-1240, Nov. 2000.
- [5] P. Pejović, Ž. Janda, "An improved current injection network for three-phase high power factor rectifiers that apply the third harmonic current injection," *IEEE Trans. Ind. Electron.*, vol. 47, pp. 497-499, Apr. 2000.
- [6] P. Pejović, Ž. Janda, "Three-Phase Rectifiers that Apply Optimal Current Injection," *IEEE Transactions on Aerospace and Electronic Systems*, vol. 38, no. 1, pp. 163-173, January 2002.

**Abstract** - In this paper, a novel low-harmonic three-phase rectifier that applies the current injection technique is presented. The rectifier utilizes a novel resistance emulator consisting only of four diodes and a transformer with the turns ratio of 1:10 and volt-ampere rating of 3.57 % of the input power. Analysis and optimization of the rectifier operation in order to minimize the total harmonic distortion (THD) of the input current are presented in the paper. It is shown that the minimum of the input current THD is 3.72 % in the case of the continuous conduction mode and the optimal amplitude of the injected current, while it is only 7.79 % in the case of the discontinuous conduction mode of the rectifier. Analytical results are verified on a 2 kW experimental rectifier.

## LOW HARMONIC THREE PHASE RECTIFIER THAT APPLIES CURRENT INJECTION AND PASSIVE RESISTANCE EMULATOR

Predrag Pejović, Predrag Božović





---

---

секција Т2Б

**ЕНЕРГЕТСКА ЕЛЕКТРОНИКА И ПРЕТВАРАЧИ**

---

---

A. Ž. Rakić, T. B. Petrović, D.M. Dujković	
<b>Linear robust approach to modeling of parallel operating DC/DC converters</b> .....	54
V. Porobić, V. Katić	
<b>Voltage sags in a factory drive with modeled controlled PMSM, uncontrolled IM and supply transformer</b> .....	60
П. Матић, М. Миланковић, П. Родић, Г. Кондић, М. Радивојевић	
<b>Један лабораторијски модел за вјешбе из асинхроних машина</b> .....	65
D. Mančić, M. Radmanović, Z. Petrušić, M. Lazić, D. Stajić	
<b>Termička analiza jednog rešenja PFC kola</b> .....	69

---

---

## LINEAR ROBUST APPROACH TO MODELING OF PARALLEL OPERATING DC/DC CONVERTERS

Aleksandar Ž. Rakić, Trajko B. Petrović, Dragi M. Dujković  
Faculty of Electrical Engineering, Belgrade

**Abstract:** In this paper, two approaches to the parallel operating DC/DC converters modeling are used for establishing robust linear small-signal models: the equivalent single unit reduction and fully multivariable approach. With the reduction method, the single converter unit is kept as the nominal model and paralleling uncertainty is introduced to describe the paralleling effects. With the multivariable nominal modeling approach, uncertainty bounds are clearly posed to cover the parametric uncertainty of the circuit. The feasibility of approaches is tested on the Matlab model of buck converters for two common used paralleling schemes.

### 1. INTRODUCTION

High power demands of computer and telecom systems along with the modularity and redundancy reasons bring out the need of several DC/DC converter modules [1, 2] working in parallel are sharing the current to be supplied to the system. From the control point of view, converters in current sharing parallel arrangement make a multivariable plant to be controlled. The small signal models are used for the system analysis and a proper control design. Classical analysis and control synthesis in the frequency domain are discussed in [3-9]. Advanced nonlinear techniques in control are presented in [10, 11].

The robustness of the control is always the main point and major problem. A model of a power supply that is needed for the control design can never be perfect, and as such it will always be an approximation of the real system. Furthermore, the dynamics of a power system may change during long-term operation, e.g., because of power components' variations. To address the difference between modeled and

true systems, various measures of robustness are used [12-14]. The multivariable  $H_\infty$  linear robust analysis of the parallel operating converter units is the subject of the paper [15] and the analysis of the control system itself is discussed in [16]. The single unit robust analysis and control synthesis are conducted in [17-19].

The purpose of this paper is to investigate the robust modeling issues in the approach to the current-sharing control design presented in literature: reduction of the parallel operating units' small-signal model to the equivalent single unit model [3, 4] and fully multivariable approach to modeling [15]. Robust models that are going to be developed include both *nominal model* of the plant and the *uncertainty bounds* in which robust stability and robust performance should be obtained by the control system. The analysis of the proposed models will be conducted in *Matlab, The MathWorks Inc, MA-USA*.

### 2. PARALLELING SHEMES

Basically, there are three schemes for paralleling DC/DC converters in current sharing applications [8]. First two of them are depicted in Fig. 1 for the two buck units, but the number  $n$  of the converters might be higher according to power consumption demands. The third scheme is the parallel connection of independently regulated units with full current and voltage loop for the each device, simplifying the control problem to the single unit control.

In order to verify the models, from this point buck converters in continuous conduction mode will be considered with the following parameters:  $f_{sw} = 50kHz$ ,  $V_{IN} = 10V$ ,  $V_{OUT} = 5V$ ,  $R = 0.5\Omega$ ,  $L = 50\mu H$ ,  $R_L \approx 46m\Omega$ ,  $C = 4700\mu F$ ,  $R_C \approx 24m\Omega$ .

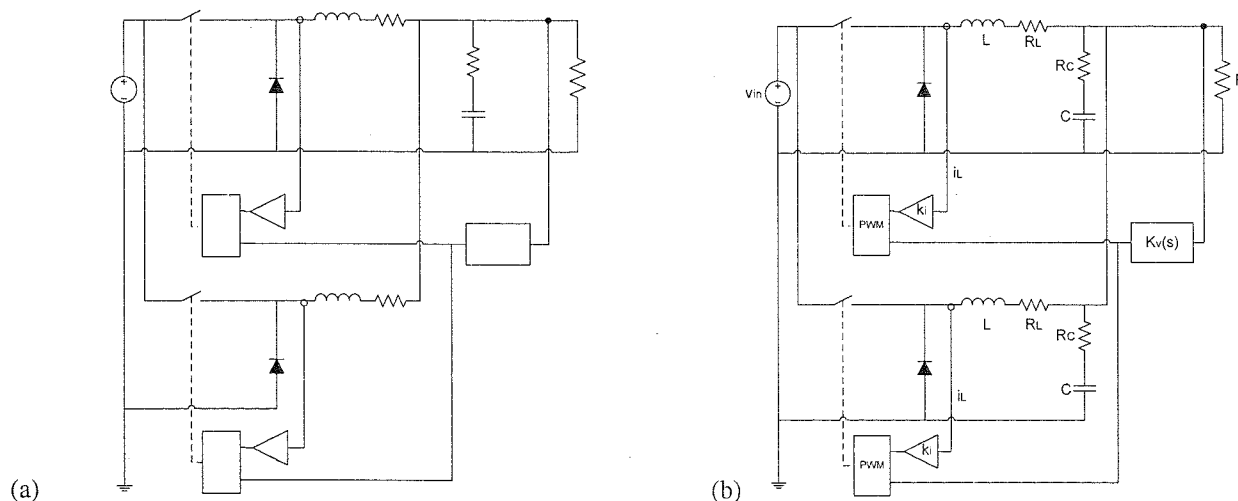


Fig. 1. Paralleling Schemes for DC/DC Converters. Block  $K_v(s)$  represents the voltage controller,  $k_i$  is the proportional gain of the current loop, input unregulated voltage is denoted with  $v_{IN}$ ,  $R$  is the resistive load,  $L$  and  $R_L$  represent inductivity and its parasitic series resistance,  $C$  and  $R_C$  – capacity and its parasitic series resistance.  
(a) Scheme 1 - Joint Output Capacitor. (b) Scheme 2 - Individual Output Capacitors

### 3. ROBUST MODEL FROM THE REDUCED EQUIVALENT SINGLE UNIT MODEL APPROACH

As the primary task of the control is the voltage setpoint tracking and disturbance rejection, functions of interest in the establishment of the nominal converter model are the transfer function from the control signal of the switch to the output voltage  $P_v(s)$  and the transfer function from the control to the inductance current  $P_i(s)$ . For the single buck converter unit all these functions are obtained through the state-space averaging and they are given by:

$$P_v(s) = \frac{V_{IN}R(R_C C s + 1)}{LC(R + R_C)s^2 + ((R R_L + R R_C + R_L R_C)C + L)s + R + R_L} \quad (1)$$

$$P_i(s) = \frac{V_{IN}((R + R_C)C s + 1)}{LC(R + R_C)s^2 + ((R R_L + R R_C + R_L R_C)C + L)s + R + R_L} \quad (2)$$

The background on state-space averaging and the presented nominal model transfer functions can be found in [1, 2].

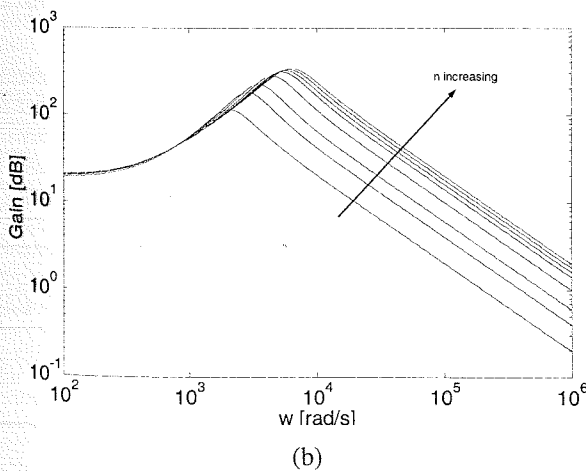
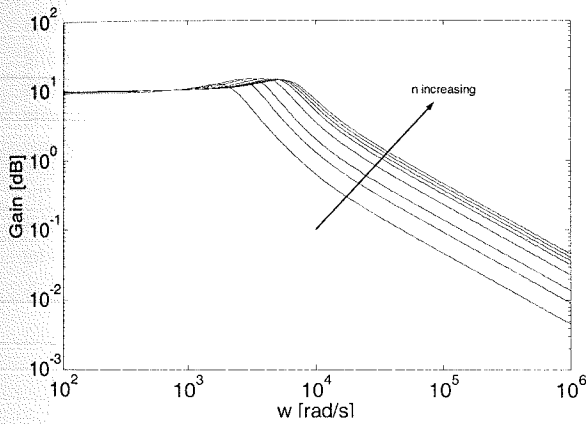


Fig. 2. Reduced Equivalent Single Unit Model for PS1. (a)  $P_v(s)$  frequency plots. (b)  $P_i(s)$  frequency plots.

As suggested in [3, 4],  $n$  parallel operating units can be modeled as the single unit with modified parameters of the linear part of the circuit;

Paralleling scheme 1 (PS1):

$$L_e = L/n, R_{Le} = R_L/n, C_e = C, R_{Ce} = R_C, \quad (3)$$

Paralleling scheme 2 (PS2):

$$L_e = L/n, R_{Le} = R_L/n, C_e = C \cdot n, R_{Ce} = R_C/n. \quad (4)$$

Difference in (3) and (4) arises from the fact the capacitor is joint for all the units in the first scheme and is not in the second one.

For  $n = 1, 2, \dots, 10$  test buck converters in parallel, transfer functions frequency plot of the reduced equivalent single unit model for both schemes are depicted in Figs. 2 and 3.

Comparing Fig. 2 to Fig. 3, it can be observed that the transfer function  $P_v(s)$  associated to output voltage is rather indifferent to the increase of number  $n$  of modules for the PS2, contrary to PS1 where the resonant frequency and the damping factor change substantially. The same conclusions for the resonant frequency and the damping factor hold for the transfer functions  $P_i(s)$  associated to the inductance current, but the DC gain of the PS2's function  $P_i(s)$  is strongly dependant on the number of modules.

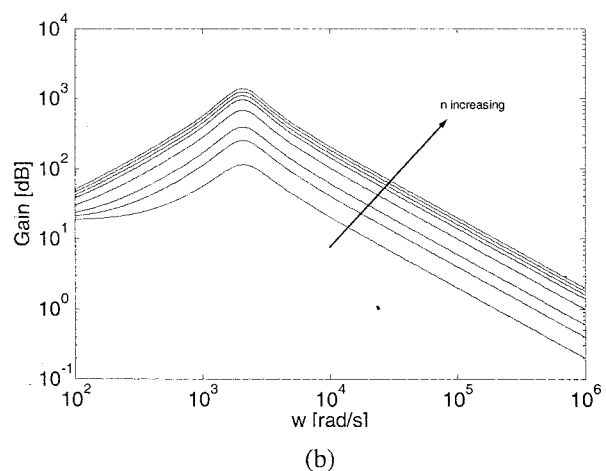
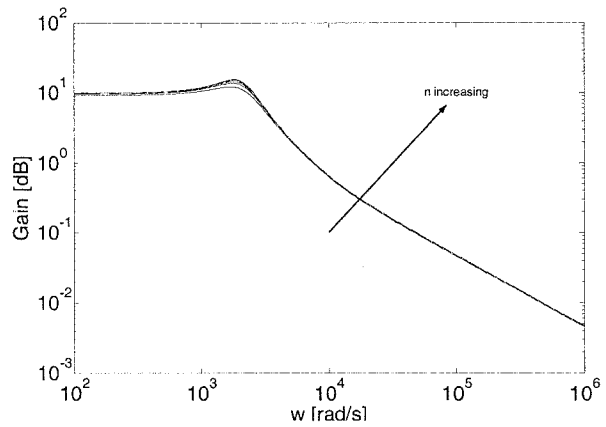


Fig. 3. Reduced Equivalent Single Unit Model for PS2. (a)  $P_v(s)$  frequency plots. (b)  $P_i(s)$  frequency plots.

Robust model in Fig. 4 includes nominal transfer functions  $P_v(s)$  and  $P_i(s)$ , multiplicative input uncertainty bound  $l_{MI}(s)$  and an unknown but unity-normed transfer function  $\Delta_{MI}$  that represents uncertainty of the modeling.

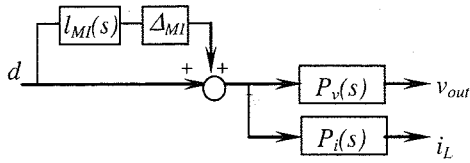


Fig. 4. Robust Reduced Equivalent Single Unit Model

When the nominal model is chosen to be the one associated to the one single unit, multiplicative input uncertainty of modeling can be determined for the increasing number  $n$  of converters and their equivalent reduced model transfer functions, comparing to the nominal transfer function. Fig. 5 shows the multiplicative uncertainty curves for both paralleling schemes of test buck converters.

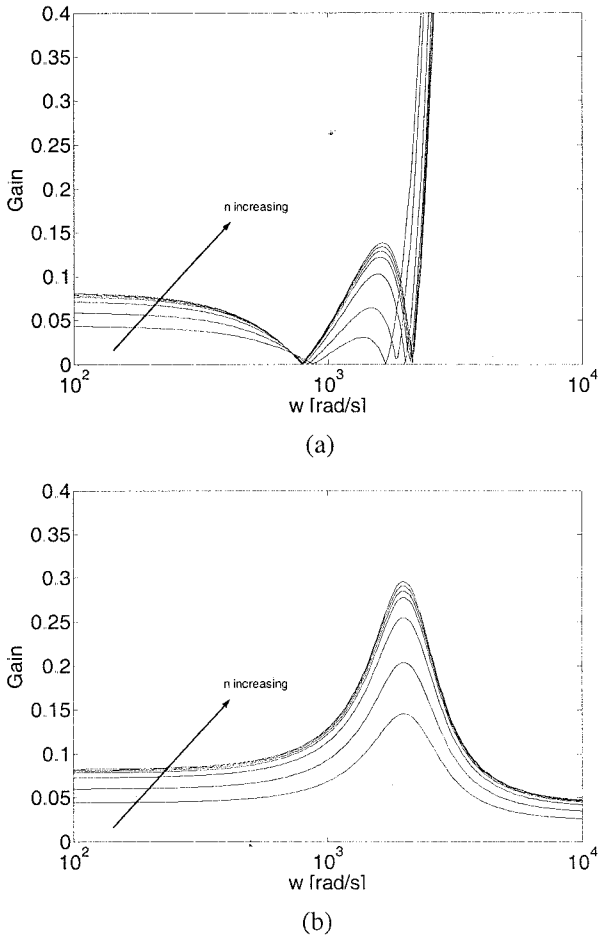


Fig. 5. Multiplicative uncertainty frequency plot for increasing number of the modules. (a) PS1. (b) PS2.

For the single converter unit, as proposed in [18], bound of the multiplicative input uncertainty is developed to asymptotically describe the parametric uncertainty of the linear part of the circuitry: on low frequencies it has the value of the maximal relative error of the transfer function  $P_v$ , DC gain estimation, after the transmission zero rises with the slope of 20 dB per decade, reaches 0 dB level before the half

of the switching frequency and remains on the constant level after the pole in high frequencies.

The choice of the transmission zero position is essential. On one hand, it is to be selected low enough in frequencies to give raise of the uncertainty bound to cover neglected dynamics of the converter in high frequencies. On the other hand, one should have in mind that the inverse function  $1/l_{MI}(s)$  represents the worst-case closed-loop transfer function  $T_{WCCl}(s)$  of the robust control design for the voltage loop, so the choice of the zero position in the transfer function  $l_{MI}(s)$ , as a pole of  $T_{WCCl}(s)$ , directly limits the bandwidth of the  $H_\infty / \mu$ -optimal control designed later on.

If the increase of the number of the converters in current sharing is considered as the uncertainty of the single unit modeling, then paralleling introduces additional "paralleling uncertainty" to the modeling, besides existing parametric uncertainty of the linear circuitry.

Typically, for the single converter, DC gain of  $l_{MI}(s)$  originating from the parametric uncertainty is more than 0.4 (meaning: 40% uncertainty). Values of DC paralleling uncertainty for reduced equivalent models of test buck converters (Fig. 5) do not exceed 0.1 (10% uncertainty) for both PS1 and PS2.

Therefore, there are two ways to incorporate paralleling uncertainty into the overall uncertainty bound:

1. keep the parametric uncertainty bound of single-unit modeling, and concern one part of the modeling uncertainty covers parametric uncertainty, while the other one covers the paralleling effects, which effectively narrows permitted tolerance of the linear circuit elements;
2. add net effect of paralleling uncertainty modeling to the DC gain of the parametric bound, keeping the dynamics that describes asymptotic behavior of the modeling uncertainty in single-unit case.

For the single test buck converter, parametric uncertainty bound is proposed [18]:

$$l_{MI}^{PARAM}(s) = 0.5 \cdot \frac{\frac{s}{\omega_0} + 1}{\frac{s}{4 \cdot \omega_0} + 1}, \quad \omega_0 = 9000 \text{ rad/s} \quad (5)$$

The paralleling uncertainty peaking appears on the resonant pole frequency. Paralleling scheme 1 (Fig. 5a) exhibits intensive growth of the paralleling uncertainty beyond the resonant pole frequency and limits the voltage loop bandwidth of the control design up to the resonant pole frequency. So, proposed bandwidth of the control ( $\omega_0$  in the worst-case) cannot be achieved and has to be reduced by shifting the transmission zero of the uncertainty bound to lower frequencies.

Overall uncertainty bound for PS1 (including DC gain increase for paralleling effects) should be:

$$l_{MI}^{PS1}(s) = (0.5 + 0.1) \cdot \frac{\frac{s}{\omega_{PS1}} + 1}{\frac{s}{4 \cdot \omega_{PS1}} + 1}, \quad \omega_{PS1} = 1000 \text{ rad/s} \quad (6)$$

Having finite paralleling uncertainty even beyond resonant pole frequency, PS2 is more perspective for the later robust control design. Proposed parametric uncertainty dynamics that gives wider bandwidth of the closed-loop can



be preserved and net effect of paralleling can just be added to the DC gain of the uncertainty bound:

$$l_{MI}^{PS2}(s) = (0.5 + 0.3) \cdot \frac{\frac{s}{\omega_0} + 1}{\frac{s}{4 \cdot \omega_0} + 1} \quad (7)$$

Increment of 0.3 for paralleling in (7) is conservative for including maximal value of paralleling uncertainty (appearing on the resonant pole frequency) into the DC gain. More sophisticated fitting of the overall uncertainty could be developed but the dynamics of the uncertainty and the closed-loop bandwidth is to be changed consequently.

### 3. ROBUST MODEL FROM THE MULTIVARIABLE APPROACH

If the parallel operating converters are considered as the multivariable object to be controlled, then its nominal model is given by the set of equations:

$$v_{out}(s) = \frac{1}{\frac{1}{R} + \sum_{i=1}^n \frac{1}{Z_{out i}(s)}} \sum_{i=1}^n \frac{P_{vi}(s)}{Z_{out i}(s)} d_i(s) = \sum_{i=1}^n P'_{vi}(s) d_i(s), \quad (8)$$

$$i_{Li}(s) = P'_{vi}(s) d_i(s), \quad i = 1, 2, \dots, n, \quad (9)$$

where  $i$  in subscript denotes the  $i$ -th converter unit and  $Z_{out i}$  is the output impedance of the  $i$ -th unit. For the test buck units in proposed paralleling schemes PS1 and PS2, output impedances are given by:

$$Z_{out i}^{PS1}(s) = Ls + R_L \quad \text{and} \quad (10a)$$

$$Z_{out i}^{PS2}(s) = \frac{RR_L \left( \frac{R_C}{R_L} LCs^2 + \left( R_C C + \frac{L}{R_L} \right) s + 1 \right)}{LC(R + R_C)s^2 + ((RR_L + RR_C + R_L R_C)C + L)s + R + R_L} \quad (10b)$$

Eqs. (8) and (9) arranged in the matrix form give:

$$\mathbf{y}' = \begin{bmatrix} v_{out} \\ i_{L1} \\ i_{L2} \\ \vdots \\ i_{Ln} \end{bmatrix} = \begin{bmatrix} P'_{v1} & P'_{v2} & P'_{v3} & \dots & P'_{vn} \\ P'_{i1} & 0 & 0 & \dots & 0 \\ 0 & P'_{i2} & 0 & \dots & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & 0 & \dots & P'_{in} \end{bmatrix} \begin{bmatrix} d_1 \\ d_2 \\ \vdots \\ d_n \end{bmatrix} = \mathbf{P}'(s) \mathbf{d} \quad (11)$$

Since the output vector  $\mathbf{y}'$  is of dimension  $n+1$  and there are only  $n$  independent input switch control signals, the transfer function matrix  $\mathbf{P}'$  is not square. One way to make it square is to redefine the outputs to represent the output voltage and the current distribution between the units [15]:

$$\mathbf{y} = [v_{out} \quad \Delta i_{L1} \quad \Delta i_{L2} \quad \dots \quad \Delta i_{L(n-1)}]^T, \quad \Delta i_{Li} = i_{Li} - \sum_{j=1}^n \alpha_{ij} i_{Lj} \quad (12)$$

The transformation matrix  $\mathbf{S}$  is introduced to make the square nominal model of the plant  $\mathbf{P} = \mathbf{S}\mathbf{P}'$ :

$$\mathbf{S} = \begin{bmatrix} 1 & 0 & 0 & 0 & \dots & 0 \\ 0 & 1 - \alpha_{11} & -\alpha_{21} & -\alpha_{31} & \dots & -\alpha_{n1} \\ 0 & -\alpha_{12} & 1 - \alpha_{22} & -\alpha_{32} & \dots & -\alpha_{n2} \\ 0 & -\alpha_{13} & -\alpha_{23} & 1 - \alpha_{33} & \dots & -\alpha_{n3} \\ \vdots & \vdots & \vdots & \vdots & \ddots & \vdots \\ 0 & -\alpha_{1(n-1)} & -\alpha_{2(n-1)} & -\alpha_{3(n-1)} & \dots & 1 - \alpha_{n(n-1)} \end{bmatrix} \quad (13)$$

If  $\alpha_{ij}$  are chosen to reflect the current difference between the  $i$ -th unit and the reference (master) unit  $n$ , then the *master-slave* (M-S) configuration is obtained with the transformation matrix:

$$\mathbf{S}_{MS} = \begin{bmatrix} 1 & 0 & 0 & 0 & \dots & 0 \\ 0 & 1 & 0 & 0 & \dots & -1 \\ 0 & 0 & 1 & 0 & \dots & -1 \\ 0 & 0 & 0 & 1 & \dots & -1 \\ \vdots & \vdots & \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & 0 & 0 & \dots & 1-1 \end{bmatrix} \quad (14)$$

If, on the other hand, coefficients  $\alpha_{ij}$  are chosen to give the current difference between the  $i$ -th unit and the average of all the units, the *democratic sharing* (DS) configuration is obtained with the transformation matrix:

$$\mathbf{S}_D = \begin{bmatrix} 1 & 0 & 0 & 0 & \dots & 0 \\ 0 & \frac{n-1}{n} & -\frac{1}{n} & -\frac{1}{n} & \dots & -\frac{1}{n} \\ 0 & -\frac{1}{n} & \frac{n-1}{n} & -\frac{1}{n} & \dots & -\frac{1}{n} \\ 0 & -\frac{1}{n} & -\frac{1}{n} & \frac{n-1}{n} & \dots & -\frac{1}{n} \\ \vdots & \vdots & \vdots & \vdots & \ddots & \vdots \\ 0 & -\frac{1}{n} & -\frac{1}{n} & -\frac{1}{n} & \dots & -\frac{1}{n} \end{bmatrix} \quad (15)$$

Multiplicative input uncertainty of the robust modeling is presented by the matrix expression:

$$\tilde{\mathbf{P}}(s) = \mathbf{S}\mathbf{P}(s)(\mathbf{I} + \mathbf{I}_{MI}(s)\mathbf{\Delta}_{MI}(s)), \quad (16)$$

where  $\tilde{\mathbf{P}}(s)$  is the perturbed plant,  $\mathbf{I}$  is the unity matrix,  $\mathbf{\Delta}_{MI}$  is an unknown but unity-normed diagonal transfer function matrix that represents multiplicative uncertainty of the modeling and  $\mathbf{I}_{MI}(s)$  is the diagonal multiplicative input uncertainty bound matrix:

$$\mathbf{I}_{MI}(s) = \text{diag}(l_{MI1}^*(s), l_{MI2}^*(s), \dots, l_{MI n}^*(s)), \quad (17)$$

where  $l_{MI i}^*(s)$  is the uncertainty bound for  $i$ -th channel of the control. Uncertainty associated matrices are diagonal because parametric uncertainty of every consisting unit is not dependent on the uncertainty of the others.

As for the single unit, bound of the multiplicative input channel uncertainties for the multivariable model should be developed to asymptotically describe the *parametric uncertainty* of the linear part of the circuitry: on low frequencies they should have the value of the maximal relative error of the model DC gain, then to rise with 20 dB per decade slope, reach 0 dB level before the half of the switching frequency and remain on the constant level in high frequencies.

If the output impedance is the same for all consisting units and it is negligible comparing to the load resistance, eq. (8) simplifies to:

$$v_{out}(s) \approx \frac{1}{n} \sum_{i=1}^n \frac{P_{vi}(s)}{Z_{out}(s)} d_i(s) = \frac{1}{n} \sum_{i=1}^n P_{vi}(s) d_i(s), \quad (18)$$

holding for most of the current-sharing applications having the same topology converters with the same parameters.

Channel uncertainty is therefore the  $n$ -th part of  $n$  transfer functions uncertainties i.e.

$$l_{MI}^*(s) = l_{MI}^{PARAM}(s), \quad i = 1, 2, \dots, n. \quad (19)$$

This is an important result because multivariable uncertainty bound can be constructed directly from the single unit uncertainty, which is much easier to obtain.

For the three buck converters, nonsquare transfer function matrix  $\mathbf{P}'$  from eq. (11) is given by:

$$\mathbf{y}' = \begin{bmatrix} v_{out} \\ i_{L1} \\ i_{L2} \\ i_{L3} \end{bmatrix} = \begin{bmatrix} P_{v1} & P_{v2} & P_{v3} \\ P_{i1} & 0 & 0 \\ 0 & P_{i2} & 0 \\ 0 & 0 & P_{i3} \end{bmatrix} \begin{bmatrix} d_1 \\ d_2 \\ d_3 \end{bmatrix} = \mathbf{P}'_{3BUCK}(s) \mathbf{d}, \quad (20)$$

where  $P_{vi}(s)$  and  $P_{ii}(s)$  are defined with eqs. (1), (8) and (10) as:

$$P_v'(s) = \frac{R}{Ls + 3R + R_L} P_v(s), \quad (21a)$$

$$P_{ii}(s) = \frac{V_{IN}}{Ls + R + R_L} \quad (21b)$$

for PS1 and

$$P_v'(s) = \frac{V_{IN} R (R_C C s + 1)}{a_2 s^2 + a_1 s + 3R + 4R_L}, \quad (22)$$

$$a_2 = LC(3R + 4R_C), \quad a_1 = (3RR_L + 3RR_C + 4R_L R_C)C + 4L,$$

for PS2.  $P_{ii}(s)$  for PS2 is defined by eq. (2).

For multivariable plants, as the ones proposed, performance and robust stability objectives are written as requirements on the singular values of particular transfer functions. Singular values are natural extension of the system gain to multivariable systems and are obtained by the singular value decomposition [12-14]. Open loop singular value plots for both paralleling schemes in master-slave and democratic sharing configuration are presented in Figs. 6 and 7.

For all the arrangements (PS1/PS2 with M-S/DS), uncertainty bound is unique and it is constructed upon the proposed single unit bound (5):

$$\mathbf{I}_{MI}(s) = \text{diag}(l_{MI}^{PARAM}(s), l_{MI}^{PARAM}(s), l_{MI}^{PARAM}(s)). \quad (23)$$

#### 4. CONCLUSION

In this paper, two approaches to the parallel operating DC/DC converters modeling are used to for establishing robust linear small-signal models: the equivalent single unit reduction and fully multivariable approach. With the reduction method, the single converter unit is kept as the nominal model and paralleling uncertainty is introduced to describe the paralleling effects. With the multivariable nominal modeling approach, uncertainty bounds are clearly posed to cover the parametric uncertainty of the circuit. The feasibility of approaches is tested on the Matlab model of buck converters for two common used paralleling schemes. Developed robust models will be used for the robust control design of parallel operating converters and further research on the random switching schemes for electromagnetic emission reduction in distributed current-sharing applications.

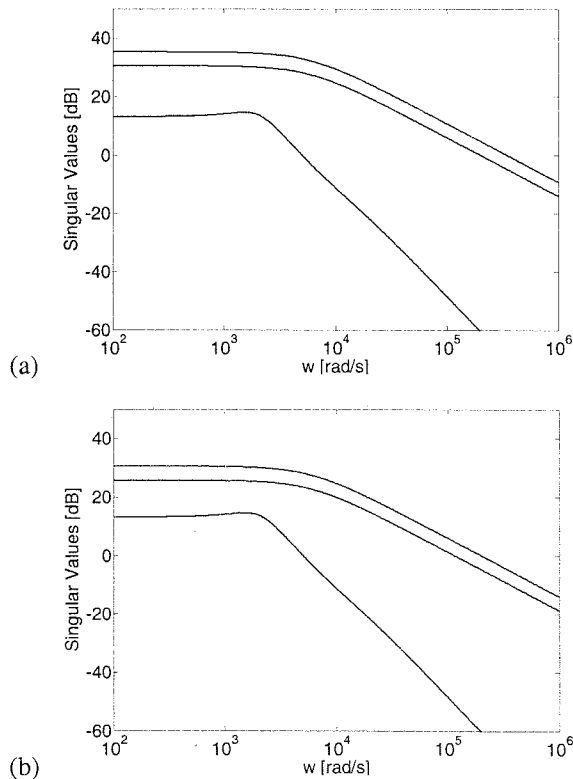


Fig. 6. Singular Values of the Multivariable Model for PS1. (a) Master-slave Configuration. (b) Democratic sharing Configuration.

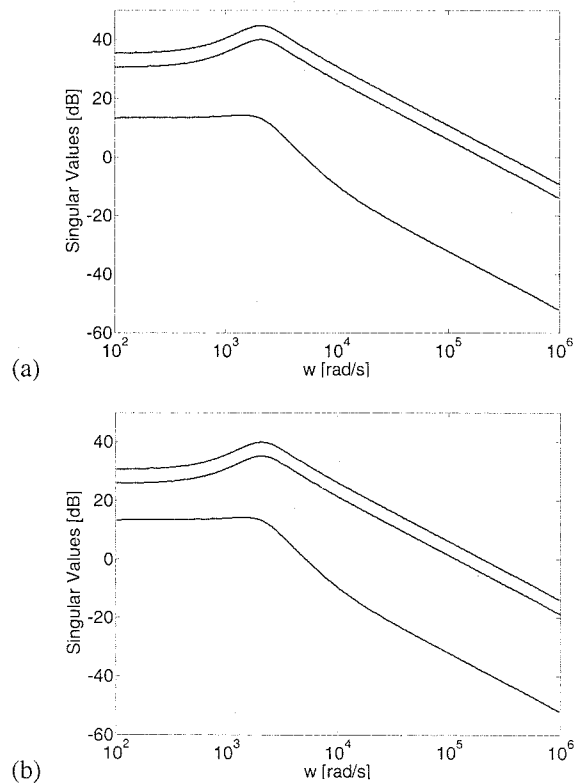


Fig. 7. Singular Values of the Multivariable Model for PS2. (a) Master-slave Configuration. (b) Democratic sharing Configuration.

## 5. REFERENCES

- [1] N. Mohan et al., *Power Electronics*. NY-USA: John Wiley, 1995.
- [2] D. M. Mitchell, *DC/DC Switching Regulator Analysis*. NY-USA: McGraw-Hill, 1988.
- [3] L. R. Lewis, B. H. Cho, F. C. Lee, and B. A. Carpenter, "Modeling and analysis of distributed power systems," in *Proc. IEEE PESC'89*, 1989, pp. 152-159.
- [4] B. Choi, B. H. Cho, R. B. Ridley, and F. C. Lee, "Control strategy for multi-module parallel converter systems," in *Conf. Rec. PESC'90*, 1990, pp. 225-234.
- [5] K. Siri, C. Q. Lee, and T. F. Wu, "Current Distribution For Parallel Connected Converters: Part I", *IEEE Trans. Aerosp. Electron. Syst.*, vol. 28, pp. 829-840, July 1992.
- [6] Y. Panov, J. Rajagopalan, and F. C. Lee, "Analysis and Control Design of N Paralleled DC-DC Converters with Master-Slave Current Sharing Control", *Applied Power Electronics Conference '97 Proc.*, 1997, pp. 436-442.
- [7] V. J. Thottuvelil, G. C. Verghese, "Analysis and Control Design of Paralleled DC/DC Converters with Current Sharing", *IEEE Trans. Power Electron.*, vol. 13, pp. 635-644, July 1998.
- [8] B. Choi, "Comparative Study on Paralleling Schemes of Converter Modules for Distributed Power Applications", *IEEE Trans. Ind. Electron.*, vol. 45, pp. 194-199, Apr. 1998.
- [9] P. Li, and B. Lehman, "A Design Method for Paralleling Current Mode Controlled DC-DC Converters", *IEEE Trans. Power Electron.*, vol. 19, pp. 748-756, May 2004.
- [10] M. López, L. G. de Vicuña, M. Castilla, P. Gayà, and O. López, "Current Distribution Control Design for Paralleled DC/DC Converters Using Sliding-Mode Control" *IEEE Trans. Ind. Electron.*, vol. 51, pp. 419-428, Apr. 2004.
- [11] B. Tomescu, and H. F. VanLandingham, "Improved Large-Signal Performance of Paralleled DC-DC Converters Current Sharing Using Fuzzy Logic Control", *IEEE Trans. Power Electron.*, vol. 14, pp. 573-577, May 1999.
- [12] M. Morari, and E. Zafiriou, *Robust Process Control*. NY-USA: Prentice Hall, 1989.
- [13] S. Skogestad, and I. Postlethwaite, *Multivariable Feedback Control*. England: John Wiley & Sons, 1996.
- [14] K. Zhou et al. *Robust and Optimal Control*. NJ-USA: Prentice Hall, 1996.
- [15] Đ. S. Garabandić, and T. B. Petrović, "Modeling Parallel Operating PWM DC/DC Power Supplies", *IEEE Trans. Ind. Electron.*, vol. 42, pp. 545-551, Oct. 1995.
- [16] R. Tymerski, "Worst-Case Stability Analysis of Switching Regulators Using the Structured Singular Value", *IEEE Trans. Power Electron.*, Vol. 11, pp. 723-730, Sep. 1996.
- [17] S. Buso, "Design of a Robust Voltage Controller for a Buck-Boost Converter Using  $\mu$  Synthesis", *IEEE Trans. Contr. Syst. Tech.*, vol. 7, pp. 222-229, Mar. 1999.
- [18] T. B. Petrović, and A. Ž. Rakić, "Linear robust approach to DC/DC converter modeling: Part I – Deterministic switching", *Electrical Engineering*, vol. 86, pp. 267-274, Sep. 2004.
- [19] T. B. Petrović, and A. Ž. Rakić, "Modelling and Robust Controllers for Deterministic Switching DC/DC Converters", *Yugoslav Power Electronics Conference Proc.*, 2001, pp. 374-382.

## VOLTAGE SAGS IN A FACTORY DRIVE WITH MODELED CONTROLLED PMSM, UNCONTROLLED IM AND SUPPLY TRANSFORMER

Vlado Porobic, Vladimir Katic  
Faculty of Technical Sciences, Novi Sad

**Abstract** - The aim of the paper is to analyse the effects of voltage sags on electrical drives with permanent magnet synchronous motors (PMSM). The voltage sags were simulated as results of three phases or single-phase faults, changeable in duration and magnitude. At the beginning, a PMSM with two types of rectifier were examined: six-pulse (diode) and PWM one. It is shown that the first configuration has better performance, i.e. it is very robust on voltage sags. However, capacity enlargement in DC bus contributes to smaller voltage sags immunity and bigger strain of rectifier components and network pollution.

After that a model of a factory drive, which consists of transformer, uncontrolled induction motor (for air conditioning equipment, pumps) and a resistive load (for heater, lightning or similar) was considered. In addition to network generated voltage sags on the primary side of the transformer, extra voltage drops were detected on the secondary transformer side. It was concluded that the biggest influence on additional voltage drop has the induction motor, thought its power was smaller than the power of PMSM. It was suggested how to minimize influence of voltage sags on PMSM.

**Key words:** voltage sags, PMSM, induction motor

### 1. INTRODUCTION

A voltage sag is a reduction in rms voltage of various magnitude and duration but not the complete loss of ac power. Voltage sags are generally caused by faults on the transmission and/or distribution system. Fig 1. shows the range introduced by CBEMA (Computer Business Equipment Manufacturers Association) and ITIC (Information Technology Industry Council) for permitted values of magnitude and duration (inner side of the curves) of voltage sags and swells for normal operation of various equipment including motor drives. As an example some measured values of voltage sags occurred near Novi Sad Oil Refinery are drawn in.

Not only the sensitive industrial processes but also adjustable-speed drives could be adversely affected by voltage sags. One of the often used servo motors is permanent magnet motor. It has many good features such as very little inertia, big power density, very good dynamic performance due to it hasn't slip; maintenance is simple because there are no collector and brushes. Because of that, it was interesting to study their behaviour on voltage sags.

In the first part of the paper only motor drive with PMSM were examined. Two types of rectifier were taken: six-pulse (diode) and PWM one. After that a model of a factory drive, which consists of transformer, uncontrolled induction motor (for air conditioning equipment, pumps) and a resistive load (for heater, lightning or similar) was considered

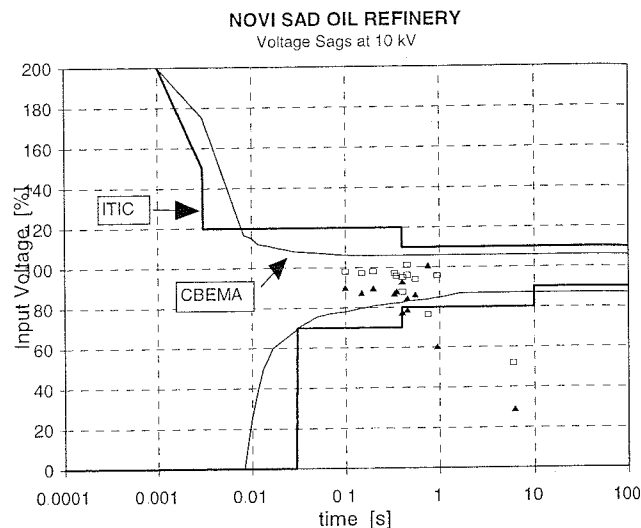


Fig. 1. CBEMA and ITIC range for permitted values of magnitude and duration of voltage sags and swells for low voltage power supply system.

### 2. SYSTEM DESCRIPTION

There is no sense to investigate PMSM connected only to power supply as it was done in [1] for AC motors. Theoretically, that configuration has two poles on imaginary axis and it is boundary stable, practically unstable. PMSM drive has standard configuration. It consists of PMSM, inverter, hysteresis current regulator and PI speed regulator. Current regulator could be also some PI type (because of switching frequency problem for inverter components) but for voltage sags analysis it doesn't matter. One configuration is fed by diode rectifier, other with PWM one. They both have LC filter. It is well known that first configuration doesn't support inverse current flow. It has brake chopper for energy dissipation produced by motor. Topology of PWM rectifier is same as topology of (PWM) inverter. Transistors obtain gate pulse in the same time when appropriate diode has to conduct. If the PMSM is in motor regime, diode will conduct. Otherwise, for PMSM in the generator regime transistor will conduct. In that way, there is no need to have brake chopper; we have energy saving also. Disadvantage is complex and expensive rectifier. The voltage sags, that were simulated as results of three phases or single-phase faults, are changeable in duration and magnitude.

In second part of the paper, there was intention to take a model, which can describe a factory drive. Besides some number of PMSMs, which actuate robot's arms, positioning parts of NC, CNC machines etc, this model takes in consideration one unregulated AC motor. It can represent air conditioning equipment, pumps, compressors. Heaters, lightning or similar consumers are modelled as three phase

resistor. In order to make more reliable simulation, transformer is modelled also. The voltage sags that were simulated are the same as in the first part of paper. Power value of the transformer is 100KVA (10kV/0.4kV), AM is 15.12 KVA (11KW mechanical); it was taken 20 PMSMs with power value  $20 \times 3 \text{ KVA} = 66 \text{ KW}$ . 15 KW three phase resistor gives whole power value of 96 KVA, which corresponds almost total nominal power value of transformer. Fig. 2 shows complete model.

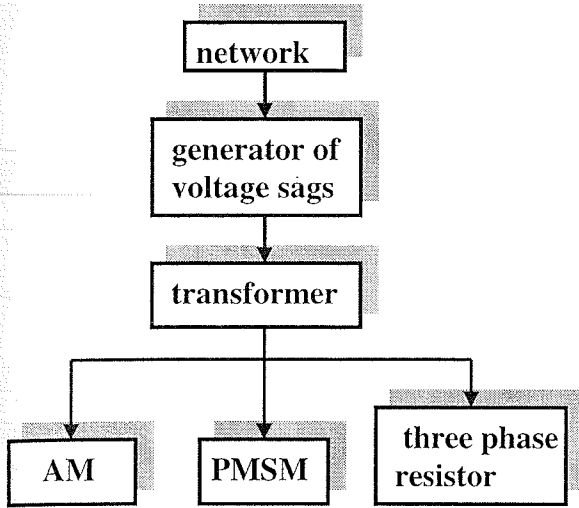


Fig. 2. Complete model of factory drive

### 3. RESULTS OF SIMULATION

Figures 3-8 represent one phase (1phvs) or three (3phvs) voltage sags, duration of 1 second (between 0.2-1.2 sec.) for PMSM drive with diode or PWM rectifier.

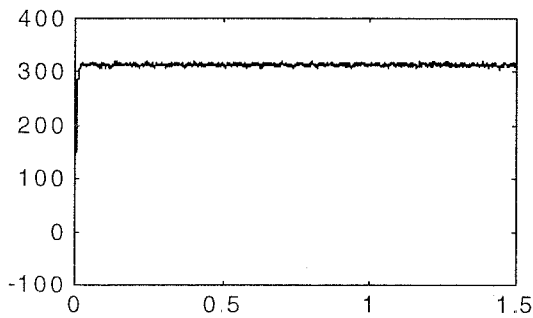


Fig. 3. Speed for 1phvs, -40%, diode rec.

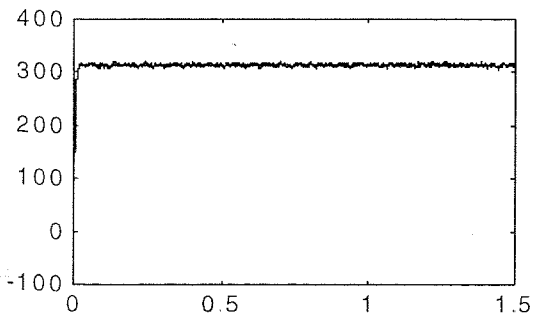


Fig. 4. Speed for 1phvs, -40%, PWM rec.

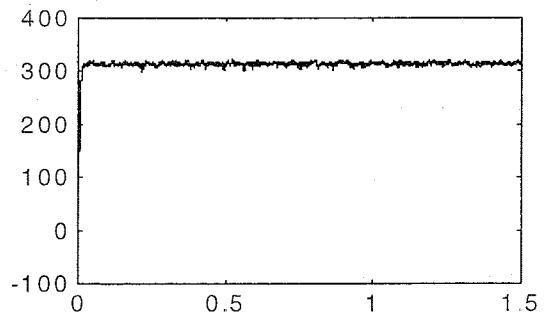


Fig. 5. Speed for 3phvs, -40%, diode rec.

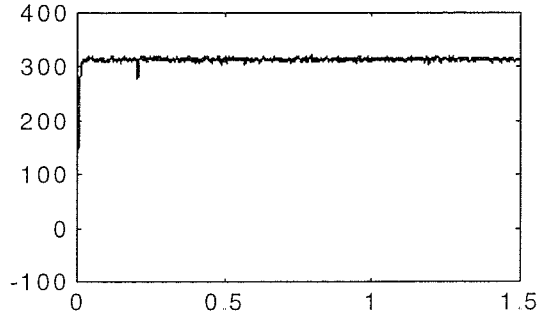


Fig. 6. Speed for 1phvs, -40%, PWM rec.

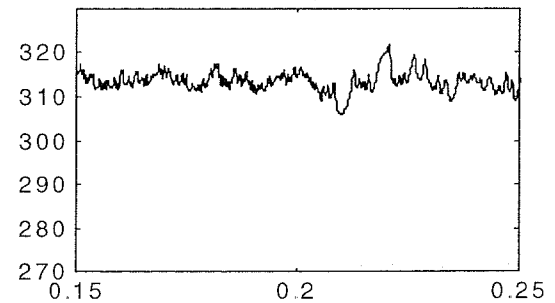


Fig. 7. Speed for 3phvs, -40%, diode rec.

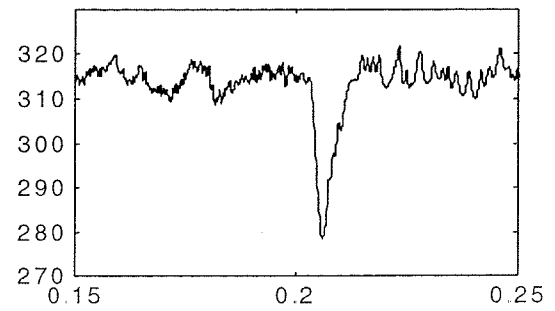


Fig. 8. Speed for 3phvs, -40%, PWM rec.

The worst case is examined: speed and load of PMSM are nominal. Thus we have the biggest electromotor force which gives minimum value between it and voltage, for the current corresponding load.

Fig. 3. and 4. show that there is no difference between diode and PWM rectifier configuration for one phase sag, magnitude of -40%. For three phase sag, magnitude of -40% we can see that PWM rectifier configuration has worse behaviour. Fig. 7. and 8. show magnified critical moment (little oscillation in speed are caused by hysteresis behaviour of current controller). It is consequence of nature of PWM rectifier. The start of voltage sag is critical. In that moment network voltage is less than capacitor voltage. Diode rectifier doesn't allow discharging capacitor and therefore DC voltage

hasn't such drop as in PWM rectifier. It is shown in fig. 9 and 10.

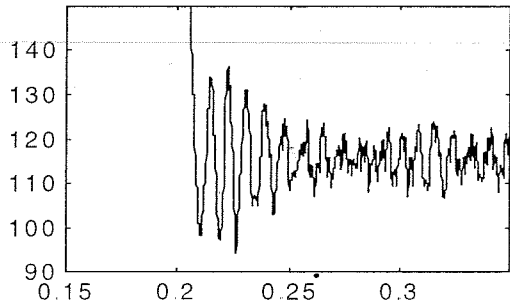


Fig. 9.  $U_{dc}$  bus 3phvs, -40%, diode rec.

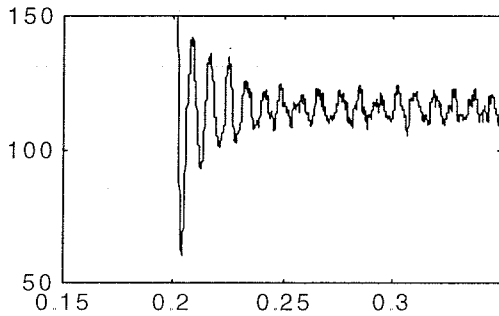


Fig. 10.  $U_{dc}$  bus 3phvs, -40%, PWM rec.

Considering that PMSMs are mostly used in low and middle power applications (because they are expensive) it is better to take diode rectifier configuration. It is more robust on voltage sags than PWM one (that is important for servo drives). Energy saving for low and middle applications is less important. In the rest of the examination diode rectifier configuration is considered.

Fig. 11. and 12. show rotor angle  $\theta$  and firing pulses for one upper transistor in inverter during three phase voltage sag, respectively.

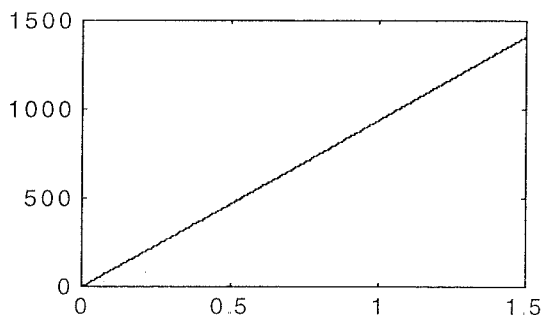


Fig. 11.  $\theta$ , 3phvs, -40%, diode rec.

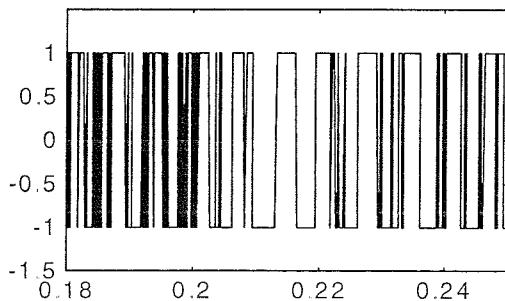


Fig. 12. Firing pulses for transistor, 3phvs, -40%, diode rec.

The method for sag compensation mentioned in [1], automatically exists there. We do not have to increase duty cycle when sag occurs. It is done automatically by current controller (fig. 12.). This configuration compensates voltage sags of -40% of voltage. Critical moment is the start of sag (therefore their duration is not essential).

During sag, the drive takes bigger current from network then nominal one because of the same, nominal load. After the end of sag, current peak exists, which can prolong that sag (fig. 13.)

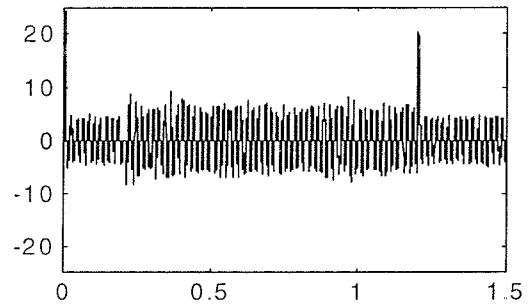


Fig. 13. Network current (all three phase), 3phvs, -40%, diode rec.

That happens because of the difference between voltage of capacitor and network in the end of sag. Three phase voltage sag magnitude of -50% affects speed drive (fig. 14).

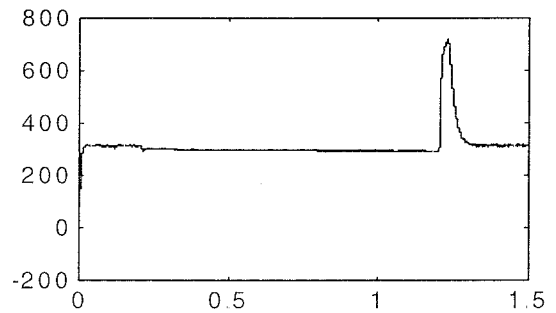


Fig. 14. Speed, 3phvs, -50%, diode rec.

Fig. 15. shows that  $U_{dc}$  drops lower then in fig 9.

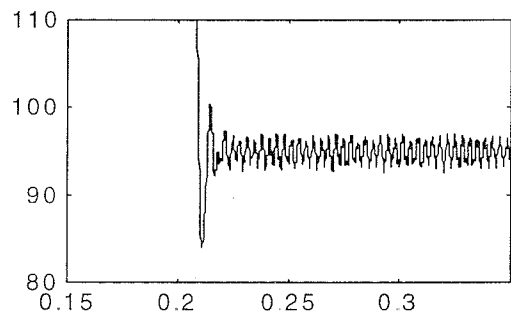


Fig. 15.  $U_{dc}$ , 3phvs, -50%, diode rec.

Drive behaviours in case of two different capacitors in DC bus is shown in fig. 16-19. The improvement can be noticed, but only in short voltage sag (100 ms, 0.2-0.3s). It means that there is no sense to work with big value of capacitor.

[1],  
duty  
current  
voltage  
of sag  
work  
After  
at sag

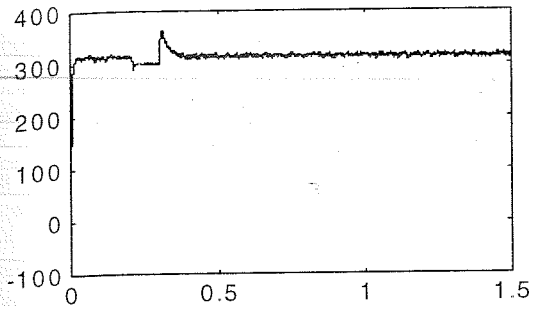


Fig. 16. Speed, 3phvs, -50%, diode rec.,  $C=330\mu F$

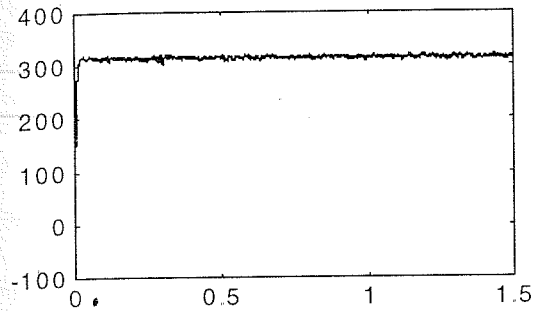


Fig. 17. Speed, 3phvs, -50%, diode rec.,  $C=3300\mu F$

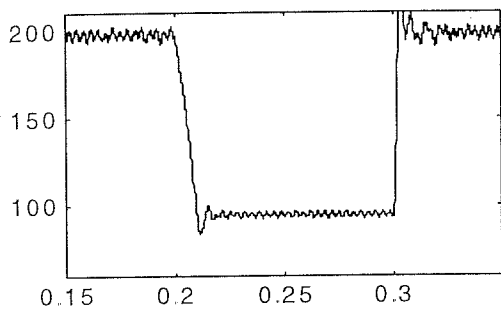


Fig. 18.  $U_{dc}$ , 3phvs, -50%, diode rec.,  $C=330\mu F$

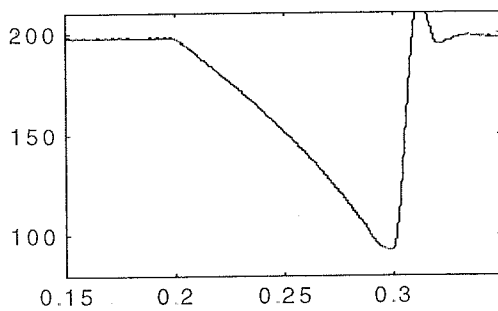


Fig. 19.  $U_{dc}$ , 3phvs, -50%, diode rec.,  $C=3300\mu F$

Characteristic signals in case of factory's drive are given at fig. 20-24. (line currents for motors and line voltages for transformer).

The voltage sag simulated between 0.7-1.2 sec., magnitude of -40% of nominal value. It can be seen that the asynchronous motor has bigger influence on supplementary sag than PMSM, although it has less power. It is the consequence of the nature of AM. Supplementary voltage sag is shown on fig. 23. and 24.

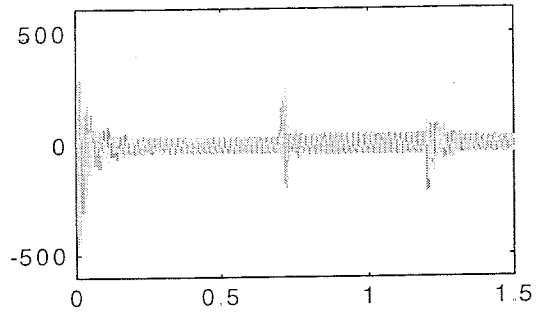


Fig. 20. Line currents, AM, 3phvs, -40%

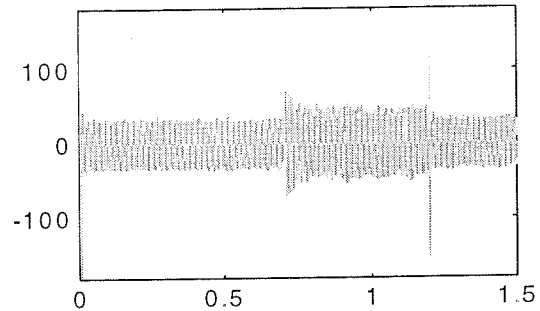


Fig. 21. Line currents, PMSM, 3phvs, -40%

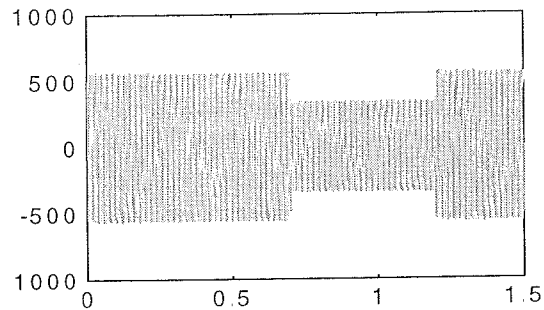


Fig. 22. Line voltages, secondary side, 3phvs, -40%

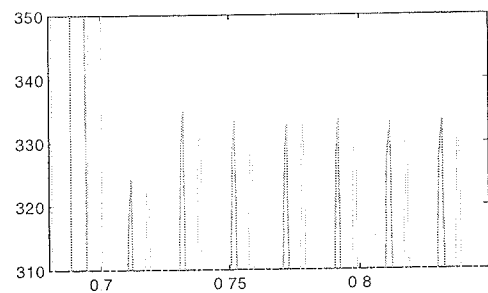


Fig. 23. Line voltages, secondary side, 3phvs, -40%

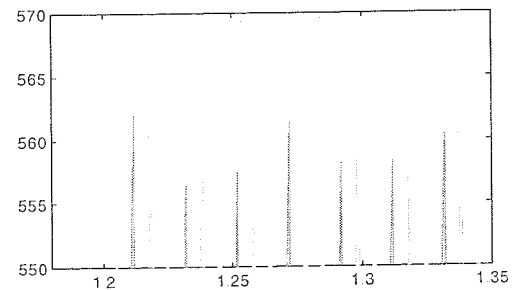


Fig. 24. Line voltages, secondary side, 3phvs, -40%

1 DC  
iced,  
; that

#### 4. CONCLUSION

It is shown that PMSM drive with diode rectifier has better performance than drive with PWM rectifier.

Diode rectifier doesn't allow discharging capacitor and therefore DC voltage doesn't have such drop as in PWM rectifier. The start of voltage sag is critical. If drive doesn't have failure during that period, it can operate well for the rest of the sag. The capacitor is increased ten times to examine how much its influence during voltage sag is positive. Drive can operate well for a bigger sag but only if it lasts for very short time. Practically it doesn't make any sense to increase capacitor due to problems with stress of diodes and network.

Drive with active rectifier is complete solution. It reduces network pollution, boosts the DC voltage during sags and provides energy recuperation but it is more expensive.

In the case of fabric's drive induction motor has the biggest influence of additional voltage drop. Secondary side voltage oscillations at the end of voltage sag are the consequence of AM acceleration. PMSM causes bigger network pollution than AM.

#### 5. REFERENCES

- [1] Hajder M., Katic V.: "A Method for Reducing the Influence of Voltage Sags on AC Drives Operation", 5<sup>th</sup> International Conference on Development and Application Systems, Sucaeva (Romania), 2000, pp. 133-138.
- [2] M. H. J. Bollen, "The influence of motor reacceleration on voltage sags," IEEE Trans. Ind. Applicat., vol. 31, no. 4, pp. 667-674, July/August 1995.
- [3] L. Tang, J. Lamoree, M. McGranaghan, H. Mehta, "Distribution system voltage sags: interaction with motor and drive loads," IEEE T&D show, spring 1994.
- [4] J. C. Das, "Effects of momentary voltage dips on the operation of induction and synchronous motors," IEEE Trans. Ind. Applicat., vol. 26, no. 4, pp. 711-718, July/August 1990.
- [5] L. Conrad, K. Little, C. Grigg, "Predicting and preventing problems associated with remote fault-clearing voltage dips," IEEE Trans. Ind. Applicat., vol. 27, no. 1, pp. 167-172, January/February 1991.
- [6] N. Mohan, T. M. Undeland, W. P. Robbins, "Power electronics - converters, applications, and design," Chapter 8, JOHN WILEY & SONS INC., 1995.
- [7] P. Pillay: "Modeling, simulation and analysis of permanent magnet synchronous and brushless dc motor drives", PhD dissertation Blacksburg, Virginia, 1987



## ЈЕДАН ЛАБОРАТОРИЈСКИ МОДЕЛ ЗА ВЈЕЖБЕ ИЗ АСИНХРОНИХ МАШИНА

Петар Матић, Милош Миланковић, Предраг Родић, *Електротехнички факултет у Бањој Луци*  
 Гојко Кондић, Момир Радивојевић, *ПП Конел, Бања Лука*

**Садржај** - У раду је описан поступак реализације једног модела асинхроног мотора намијењеног лабораторијским вјежбама на Електроенергетском одјеку Електротехничког факултета у Бањој Луци. Модел је асинхрона машина специјалне конструкције која треба студентима да помогне у разумијевању принципа рада асинхроног мотора. Због своје ефективности модел може студентима да послужи и као додатна мотивација за усвајање знања из закона сличности електричних машина. Познато Теслино јаје је идеја за овај модел, а у раду су описани поступци, неопходни компромиси и прорачун конструкције асинхроне машине мале снаге са веома великим међугвожђем.

### 1. УВОД

Приликом формирања Лабораторије за електричне машине, електромоторне погоне и испитивање електричних машина на Електротехничком факултету у Бањој Луци, било је потребно да се обезбиди и сет вјежби везаних за основне принципе рада електричних машина. Ове вјежбе треба да студентима омогуће приказ конструкције машина и разумљиво илуструју принципе рада. Пожељно је да модели буду у што већој мјери слични реалним машинама. У том циљу формиран је један показни модел асинхроног мотора. Основна идеја модела заснована је на чувеном моделу Теслиног (Колумбовог) јајета, а реализација је заснована на примјени закона сличности електричних машина. Као и при конструкцији стандардних електричних машина, поступак конструкције је итеративан процес базиран на усвајању и потом кориговању усвојених вриједности, те експерименталној верификацији.

Теслино јаје је модел асинхроног мотора код кога је ротор у облику јајета. На статору се налази вишефазни (двофазни или трофазни) намотај, а комплетан модел је, у ствари, асинхронни мотор са краткоспојеним ротором у вертикалном положају. Ротор није причвршћен на лежајеве и статор, него се слободно окреће унутар статора на прикладној подлози. Модел се може направити на више начина, али је у конкретној реализацији циљ био да модел буде што сличнији реалној машини и да се при томе испоштују веома скромни материјални ресурси који су били на располагању.

Због чињенице да модел има статор мале аксијалне дужине и веома велики зазор, сразмјеран унутрашњем пречнику статора, очекивана струја магнетнења је веома велика. Сам модел је потребно направити тако да струја магнетнења буде прихватљива, а да се при томе успостави довољна индукција и испоштују физичка ограничења простора за смјештање намотаја. У трајном раду потребно је да се статор мотора не прегријава пошто модел нема форсирано хлађење.

### 2. КОНСТРУКЦИЈА МОДЕЛА

Статор модела је конструисан од статорског пакета стандардног асинхроног мотора, а ротор је посебно направљен. Приликом конструкције, статорски пакет је скраћен на одговарајућу дужину, те је било потребно промијенити и намотај. Проблем код оваквих модела је веома велики зазор, те је струја магнетизације за успостављање поља у таквом зазору веома велика. Струја магнетизације може се смањити повећавањем броја проводника статора и/или смањењем напона. Промјена напона или броја проводника утиче и на индукцију, али се код оваквих модела, због мале механичке снаге која је потребна само за покривање губитака трења, може дозволити да индукција буде знатно мања него код реалних асинхроних машина. Повећавање броја навојака може се остварити само ако се пресјек проводника у жљебу смањи, тако да се нови намотај може физички смјестити у жљебове, и да при томе пресјек проводника задовољава тражену густину струје. Додатни проблем уноси повећавање омског отпора намотаја, тако да губици у бакру постају превелики и могу довести до прегријавања модела.

#### 2.1. Конструкција ротора

Ротор је направљен од једног комада месинга у облику јајета. Месинг је одабран зато што се механички лако обрађује у потребан облик. Недостатак оваквог избора је мала магнетна пермеабилност месинга (приближно два пута већа од ваздуха). Месингани ротор може се еквивалентирати жељезним два пута мањег пречника, што доприноси смањењу зазора. Међутим, ако се прорачун спроведе са тако усвојеним зазором, могло би се десити да струја модела знатно порасте ако се ротор извади. У наставку је спроведен прорачун као да ротор не постоји, односно усвојено је уз уважавање Картеровог сачиниоца  $1/1-3/$  да је нови зазор једнак унутрашњем пречнику статора.

#### 2.2. Конструкција статора

Да би модел што више одговарао реалној асинхроној машини, његов статор је направљен од статорског пакета стандардног трофазног асинхроног мотора. Намотај је намотан на исти начин као што се намотава у пракси, те су, поред сличности са реалним мотором, оваквом конструкцијом задовољена и ограничења у погледу расположивих средстава односно једноставности израде. Пошто је ротор малих димензија, за гвожђе статора узет је дио статорског пакета стандардног асинхроног мотора мале снаге. Сви подаци о оригиналном статору (аксијална и радијална дужина, број зубаца и сви параметри развијене шеме) били су на располагању. Дио битних података наведен је у Прилогу овог рада. Да би се аксијална дужина статора прилагодила величини ротора, оригинални статорски пакет је скраћен са дужине  $l$  на

дужину  $l_1$ , а самим тим се морао промијенити и статорски намотај. Сам модел је асинхронни мотор у празном ходу, па се прорачун овакве машине своди на прорачун пригушнице са веома великим ваздушним зазором. При прорачуну магнетних карактеристика пад напона на отпору и расипној индуктивности статора се занемарује, као и губици у гвожђу (ако нема засићења), те се сматра да је укупна струја мотора чисто индуктивна. Захваљујући овим апроксимацијама, могу се писати познате релације за индукцију и струју магнетнења асинхроног мотора /1-3/:

$$B = c_1 \frac{pU_f}{N_f l}, \quad (1)$$

$$I_0 = c_2 \frac{B\delta \cdot p}{N_f}, \quad (2)$$

гдје су  $B$ ,  $p$ ,  $U_f$ ,  $I_0$ ,  $N_f$ ,  $l$  и  $\delta$  индукција, број пари полова, фазни напон статора, струја статора, број проводника по фази, аксијална дужина гвожђа статора и зазор, респективно. У изразима (1) и (2)  $c_1$  и  $c_2$  представљају константе које садрже појасни и тетивни сачинилац.

Као што се из израза (1) и (2) види, скраћење пакета статора (смањење дужине  $l$ ) утиче на повећање индукције, а повећавање зазора  $\delta$  доводи до повећавања струје празног хода. Проблем прорачуна статора модела своди се на један од проблема конструкције асинхроне машине: на основу двије једначине (1) и (2) потребно је одредити пет непознатих величина ( $B$ ,  $p$ ,  $U_f$ ,  $I_0$ ,  $N_f$ ) тако да машина буде добро конструисана /2,3/. Као улазни подаци у прорачуну познати су  $l_1/l_n$  - однос између дужине гвожђа модела и оригиналног статора и  $\delta_1/\delta_n \approx D/\delta_n$  - однос између зазора модела и оригиналног мотора. Ова два односа не могу се мијењати.

Приликом пројектовања намотаја потребно је посматрати:

$N_{f1}/N_{fn}$  - однос између броја проводника по фази модела и оригиналног статора;

$B_1/B_n$  - однос између индукције у гвожђу модела и оригиналног мотора;

$U_{f1}/U_{fn}$  - однос између фазних напона модела и оригиналног статора;

$I_{01}/I_{0n}$  - однос између струје модела и струје празног хода оригиналног мотора;

Постоји одређени степен слободе код избора посљедње три величине. Да гвожђе статора у моделу не би било засићено, потребно је да буде

$$B_1/B_n \leq 1, \quad (3)$$

а да напон не буде већи од номиналног,

$$U_{f1}/U_{fn} \leq 1. \quad (4)$$

Струје мотора дефинишу неопходан пресјек проводника у намотају и услове хлађења. Ако се жели задржати исти пресјек проводника, струја празног хода модела треба да буде једнака струји оригиналног статора:

$$\frac{I_{01}}{I_{0n}} = 1. \quad (5)$$

Код асинхронних мотора струја празног хода учествује са 20-50% у укупној струји мотора /4, 5/:

$$\frac{I_{0n}}{I_{nf}} = [0,2 - 0,5], \quad (6)$$

па однос на основу (5) и (6) постаје:

$$\frac{I_{01}}{I_{0n}} = [2 - 5] \quad (7)$$

уз задржавање истог пресјека.

Из (7) може се закључити да ако се жели задржати исти пресјек проводника, може се дозволити повећање струје празног хода модела за два до пет пута у односу на струју празног хода асинхроног мотора (јер модел трајно ради у празном ходу). У случају промјене броја проводника или промјене пресјека, неопходно је извршити и провјеру да ли се потребни намотај може смјестити у жљебове статора /2,3/.

На основу (1) и (2) могу се извести изрази који описују зависност између величина модела (индекс "1") и оригиналног статора (индекс "n"):

$$\frac{B_1}{B_n} = \left( \frac{N_{fn}}{N_{f1}} \right) \cdot \left( \frac{l_n}{l_1} \right) \cdot \left( \frac{U_{f1}}{U_{fn}} \right) \cdot \left( \frac{p_1}{p_n} \right), \quad (8)$$

$$\frac{I_{01}}{I_{0n}} = \left( \frac{N_{fn}}{N_{f1}} \right)^2 \cdot \left( \frac{p_1}{p_n} \right)^2 \cdot \left( \frac{l_n}{l_1} \right) \cdot \left( \frac{U_{f1}}{U_{fn}} \right) \cdot \left( \frac{\delta_1}{\delta_n} \right) \quad (9)$$

У изразима (8) и (9) занемарена је промјена појасног сачиниоца са промјеном броја полова. У Прилогу се налази Табела П1 из које се види да је промјена појасног сачиниоца са промјеном броја полова веома мала, и може се занемарити у грубим прорачунима какав је прорачун оваквог модела. Из израза (8) види се да индукција директно зависи од примјењеног напона, док опада са порастом броја навојака. Струја модела линеарно зависи од прикљученог напона и величине зазора, опада са квадратом броја навојака, али расте са смањењем аксијалне дужине. Смањење броја полова утиче на смањење струје празног хода. У конкретном случају модел би се могао направити као двополни, али би се тада ротор окретао пребрзо. У наредним разматрањима задржан је оригинални број полова.

Да би модел исправно радио, потребно је да индукција не пређе номиналну вриједност, да струја модела не буде превелика (због великог зазора), а и да модел не буде гермички угрожен. Постављени захтјеви могу се испоштовати промјеном броја навојака и избором одговарајућег напона.

Пошто се статору само смањује аксијална дужина, конструкционо је најједноставније задржати исти број навојака и исти пресјек. Међутим, гада се напон мора драстично смањити да струја не би била превелика. У Табели 1 приказан је однос напона, индукције и струје празног хода ако се задржи исти број навојака по фази, уз занемарено засићење.

Табела 1:  $N_{f1} = N_{fn}$ ,  $p_1 = p_n$

$U_{f1}/U_{fn}$	0,1	0,2	0,3	0,4	0,5
$B_1/B_n$	0,33	0,66	1	1,33	1,66
$I_{01}/I_{0n}$	30	60	90	120	150

Као што се из Табеле 1 може видјети, ако би број навојака остао исти, тада би и при малим напонима струја магнетнења била веома велика, што је последица скраћења аксијалне дужине и драстичног повећавања зазора. У Табели 2 приказани су односи струја магнетнења, индукције и броја навојака када би се задржао исти напон. Табеле 1 и 2 су формиране тако што је у (9) уврштено  $U_{f1} = U_{fn}$ , односно  $N_{f1} = N_{fn}$ , а онда је за различите односе струја односно напона израчунат однос броја проводника односно струја. У прорачуну су кориштени подаци који се налазе у Прилогу рада, а занемарено је засићење гвожђа

Табела 2:  $U_{f1} = U_{fn}$ ,  $p_1 = p_n$

$I_{01} / I_{0n}$	1	2	3	5	7	10
$B_1 / B_n$	0,19	0,27	0,33	0,43	0,51	0,61
$N_{f1} / N_{fn}$	17,3	12,2	10	7,7	6,5	5,4

Из Табеле 1 и 2 може се закључити да је потребно и смањити напон и повећати број проводника да би струја била у подношљивим границама. Према (9) види се да струја опада са квадратом броја проводника, а према (8) индукција обрнуто пропорционално броју проводника, односно струја опада брже него индукција.

При номиналном напону, према (8), индукција ће бити мања од номиналне ако је

$$\frac{N_{f1}}{N_{fn}} > 3,33, \quad (10)$$

те је (10) усвојено за доњу границу односа броја проводника.

Површина жљеба одређује величину намотаја који се може смјестити. Она се може написати као:

$$S \sim \Phi \cdot N_f \cdot k_{isp}(\Phi), \quad (11)$$

гдје је  $\Phi$  пресјек проводника, а  $k_{isp}(\Phi)$  фактор испуне намотаја. Што је пресјек проводника мањи, фактор испуне је већи. На основу (11) може се писати:

$$\Phi_1 = \Phi_n \frac{N_{fn}}{N_{f1}} k_{isp}'(\Phi) \quad (12)$$

Минимални пресјек проводника којим се може намотавати намотај одређен је технологијом намотавања. Осим тога, смањење пресека доводи до повећавања отпора по фази. Зависност отпора по фази од броја навојака и пресека проводника је:

$$R_f \sim \frac{N_f}{\Phi} l, \quad (13)$$

па однос старог и новог отпора статора (уз претпоставку да се фактор испуне не мијења, да су бочне везе приближно исте дужине и да је површина жљеба (11) константна) приближно износи:

$$\frac{R_{f1}}{R_{fn}} = \left( \frac{N_{f1}}{N_{fn}} \right)^2 \frac{l_1}{l_n} \quad (14)$$

Узимајући у обзир и промјену фактора испуне, отпор по фази биће и већи него дефинисан у (14).

Цулови губици су пропорционални производу фазног отпора и фазне струје:

$$P_{Cu} \sim R_f I_f^2, \quad (15)$$

па се на основу (9) и (12-15) може процијенити да ће губици у бакру опадати приближно са квадратом броја навојака. Због битно смањене индукције, губици у гвожђу су веома мали (опадају са квадратом индукције), тако да се очекује да доминантни губици буду у бакру. Детаљна анализа губитака на овај начин (законом сличности) се не може спровести, него ће губици бити одређени експериментално, јер се не може очекивати да ће струја бити претежно индуктивна.

У конкретном моделу усвојено је да се број проводника у жљебу повећа близу горње границе одређене величином жљеба и технологијом намотавања. При томе је предложени приступ такав да се на основу (9) одржи однос:

$$\left( \frac{N_{fn}}{N_{f1}} \right)^2 \cdot \left( \frac{\delta_1}{\delta_n} \right) \approx 1, \quad (16)$$

односно да се повећавањем броја проводника у жљебу «компензује» повећавање зазора, а да се на основу (8) и (9) изабере такав напон који ће и струју магнетнења држати у прихватљивим границама, и да индукција не буде премалена, а да губици не буду превелики.

На основу (16) усвојен је однос новог и старог броја проводника  $N_{f1} \approx 10N_{fn}$ . На основу пробног намотаја, усвојен је пресјек проводника  $\Phi_1 = 0,4\Phi_n$ .

### 2.3. Практична реализација

Након што је на основу (16) одређен нови број проводника у жљебу и усвојен пресјек такав да намотај може да стане у жљебове, статор је премотан. Задржана је иста шема намотавања (двослојни намотај без скраћења корака), иста спрега и исти број полова. Измјерен је нови отпор по фази који износи  $R_f = 151\Omega$ , што је према (13) и очекивана вриједност јер се битно повећао број проводника и смањено пресјек.

Модел је испитан огледом празног хода, и, као што је било очекивано, карактеристика празног хода је, због великог зазора, приближно линеарна. Неке од карактеристичних тачака огледа празног хода дате су у Табели 3.

Табела 3: Резултати огледа празног хода

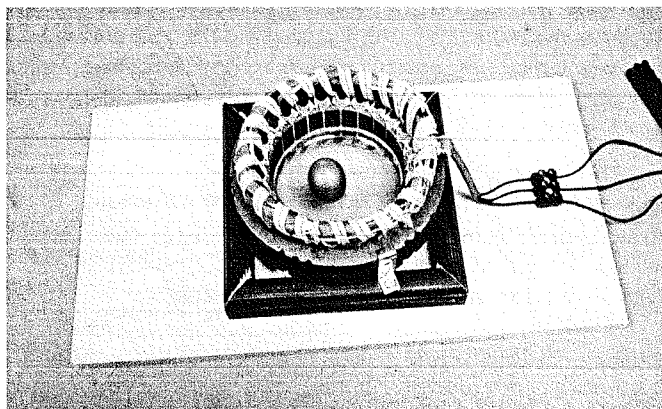
$U_{0f}$ [V]	30	60	90	120	150
$I_{0f}$ [A]	0,15	0,31	0,45	0,55	0,7
$P_0$ [W]	20	40	100	170	270

Услови хлађења модела у односу на оригинални мотор битно су промијењени јер не постоји форсирано хлађење вентилатором. Статор модела се хлади претежно радијацијом, а површина хлађења је битно повећана јер ротор практично не постоји и не пружа топлотни отпор. Експериментом је утврђено да се статор не загријава превише при линијском напону од 150V, када губици износе око 100W, струја око 0,5A, а индукција је на око 15% номиналне вриједности. Ову вриједност индукције треба узети са резервом, јер због великог пада напона на омској отпорности, изрази (8) и (9) нису сигурни.

Статор је остављен дуже времена (три сата) прикључен на овако одређени напон, након чега је утврђено да се ни намотај ни гвожђе нису битно

загријали без обзира што се статор хладио искључиво радијацијом топлоте.

Након што је одређена радна тачка (напон статора) таква да се модел не прегријава, у статор је стављено месингано јаје. Пожељно је да површина на којој се јаје налази буде што равнија и од глатког материјала, како би се смањило трење при поласку и у раду. Јаје се, као што је било и очекивано, окретало у обртном пољу. Није било могућности за мјерење или процјену брзине обртања. Пожељно је да јаје буде што лакше, јер је момент модела због мале индукције веома мали, тако да је zgodно да се јаје направи шупљим. На Сл. 1 приказан је готов модел.



Сл. 1. Фотографија модела

### 3. ЗАКЉУЧАК

У раду је приказан поступак прорачуна и конструкције специјалне асинхроне машине са великим зазором. Прорачун је базиран на закону сличности електричних машина, као и примјени стандардних поступака при конструкцији машина. Спроведени поступак даје грубе процјене очекиваног понашања готовог модела. На основу приказаног поступка конструисан је модел Теслиног јајета намијењен студентима Електротехничког факултета у Бањој Луци.

Поступак конструкције електричних машина одвија се у више итерација: одређене величине се претпоставе, и на основу њих прорачунају остале. Кориговањем претпостављених величина и испитивањем пробног модела, долази се до коначног рјешења. У конкретном случају, због великог повећавања зазора било је потребно значајно повећати број проводника у жљебу и смањити пресјек да би намотај могао физички да се смјести. На основу процјене базиране на закону сличности усвојен је нови број проводника такав да се «компензује» повећавање зазора. Пресјек проводника је одабран тако да се нови намотај физички може смјестити у жљебове статора и да се може машински намотати. Овакав избор намотаја значајно повећава омски отпор. За усвојени намотај експериментално је усвојен такав напон да се температура статора у трајном раду одржава у дозвољеним границама, а да индукција не буде премалена. Испитивањем готовог модела утврђено је да су задовољени захтјеви у погледу струје и индукције, те температуре намотаја. Олакшавајућа околност је била та да није постојао строг захтјев по индукцији у зазору, тако да је било потребно остварити само толику индукцију да се ротор може обртати.

Неке од препорука за конструкцију су: потребно је узети статорски пакет мотора који има мали фактор снаге (односно има велико међугвожђе), јер је тада релативно повећавање зазора мање. Такође, пожељно је да мотор има што више полова, јер се према (8) и (9) гражене карактеристике могу лакше добити ако се број полова може смањити. Ако би оригинални мотор био спрегнут у спрегу троугао, оставила би се већа слобода избора фазног напона (превезивањем у звијезду).

Предложени модел може се једноставно направити, а његова употреба у наставном процесу на групи предмета из области Електричних машина помоћи ће студентима при разумијевању принципа рада и конструкције асинхроних машина. Сам модел конструисан је на основу веома грубог прорачуна и представља основу за детаљнији или другачији прорачун. Упечатљивост модела послужиће као додатни мотив за усвајање знања из примјене закона сличности и конструисања електричних машина.

### 4. ПРИЛОГ

Однос дужине пакета статора оригиналног мотора и модела је:

$$\frac{l_1}{l_n} = 0,3, \text{ а однос зазора } \frac{\delta_0}{\delta_n} \approx \frac{D}{\delta_n} = 90$$

Номинални подаци оригиналног мотора су:  $1,1kW$ ,  $U_n = 380V$ ,  $Y$ ,  $50Hz$ ,  $I_{nf} = 2,5A$ ,  $p = 2$ .

Табела III: Однос појасног сачиниоца при промјени броја полова:

$p$	1	2	3	4
$k_p$	0,9577	0,9659	0,9799	1

### 5. ЛИТЕРАТУРА

- [1] Б. Митраковић, Н. Николић, "Асинхроне машине", Научна књига, Београд, 1989.
- [2] В. Петровић, "Упут у прорачун асинхроног мотора", Научна књига, Београд, 1963.
- [3] T. A. Lipo, "Introduction to AC Machine Design", Wisconsin Power Electronics Research Center, University of Wisconsin, 1996.
- [4] Франце Авчин, Петер Јереб, "Испитивање електричних стројева", Техничка založba Словеније, 1968.
- [5] Б. Митраковић, "Испитивање електричних машина", Научна књига, Београд, 1991.

**Abstract** - In this paper one special induction machine design is presented. Machine is assigned to student's exercises at the Faculty of Electrical Engineering in Banjaluka. Idea for this model is Tesla's induction motor with rotor in shape of egg. Design of model is based on calculation methods for machines with large air gap. Experimental results confirm that model is well designed.

### AN LABORATORY MODEL FOR INDUCTION MACHINE PRACTICE

Petar Matić, Miloš Milanković, Gojko Kondić, Momir Radivojević

## TERMIČKA ANALIZA JEDNOG REŠENJA PFC KOLA

Dragan Mančić, Milan Radmanović, Zoran Petrušić, *Elektronski fakultet u Nišu*  
Miroslav Lazić, Dragan Stajić, *IRITEL - Beograd*

**Sadržaj** – Ovaј rad predstavlja studiju јednog aktivnog PFC kola i prikazuje neke detalje projektovanja predloženog kola. Projektovano kolo za korekciju faktora snage izlazne snage 550W, sa promenljivim ulaznim naponom je jeftino i lako za primenu. Analizirane su termičke karakteristike PFC kola i mesta zagrevanja primenom modernog, termičkog, optičkog termovizijskog sistema visoke rezolucije Varioscana, u cilju detektovanja slabih tačaka u toku konstrukcije i njihovog brzog eliminisanja.

### 1. UVOD

Izvori besprekidnog napajanja se najčešće koriste za napajanje osetljivih (kritičnih) potrošača, kao što su računari, telekomunikacioni sistemi i medicinski uređaji, i to u slučaju smanjenja (pada) ili povećanja (pika) ulaznog napona, kao i u slučaju njegovog nestanka [1]. U takvim prekidačkim izvorima napajanja od posebnog je značaja redukovanje harmonika ulazne struje i povećanje faktora snage. U idealnom slučaju, ulazna struja treba da ima isti oblik i fazni stav kao sinusni ulazni napon.

Sa sve većim značajem prethodnog problema, došlo je do stvaranja internacionalnih standarda za regulisanje oblika ulazne impulsne struje ovakvih elektronskih uređaja [2]. U cilju ispunjenja zahteva tih standarda, poslednjih godina predloženo je više metoda za korekciju faktora snage (PFC). Kola za povećanje faktora snage mogu se podeliti na aktivna i pasivna. Pored toga, PFC može biti ulazni ili izlazni, zavisno od lokacije na koju se ovo kolo postavlja u odnosu na druga kola u uređaju [3]. Aktivna PFC kola zasnovana su na tehnikama prekidačkih konvertora i projektovana su da istovremeno kompenzuju izobličenja, kao i fazni pomeraj ulazne struje. Ova kola su bitno složenija u odnosu na pasivna PFC kola, ali ta složenost se donekle prevazišla pojavom i primenom široko dostupnih specijalizovanih kontrolnih integrisanih kola za implementaciju aktivnih PFC kola. Aktivna PFC kola rade na mnogo većim frekvencijama od frekvencije mreže (u našem slučaju na 80kHz), tako da se kompenzacija izobličenja i faznog pomeraja može obaviti u okviru svake periode ulaznog napona, čime se faktor snage može povećati i do 0.99.

U ovom radu prikazano je projektovanje PFC kola snage 550W za primenu u telekomunikacionim sistemima besprekidnog napajanja, sa širokim opsegom promene ulaznog napona. Prikazano je detaljnije projektovanje snažnih komponentata PFC-a, kako bi se omogućilo da u drugom delu ovog rada bude izvršena verifikacija proračuna njihove snage. Verifikacija projektovanja izvršena je na osnovu eksperimentalne termičke analize površine ovih komponentata primenom optičkog termovizijskog sistema velike rezolucije Varioscana [4], [5]. Rezultati ispitivanja na konkretnom uređaju obrađeni su primenom specijalizovanog softvera i prikazani su na osnovu nekoliko relevantnih termograma [6].

### 2. PRORAČUN ELEMENATA KOLA

Osnovni zahtevi koje je trebalo da ispuni PFC kolo za prethodno navedenu primenu bili su sledeći: maksimalna izlazna snaga  $P_{max}=550W$ , opseg promene efektivne vrednosti ulaznog napona mreže  $V_{ul}=175\div 264V$ , opseg promene frekvencije ulaznog napona  $f=47\div 63Hz$ , izlazni jednosmerni napon  $V_{iz}=385\pm 5\%$ , promena izlaznog napona  $\Delta V_{iz}=\pm 8V$ . U cilju ispunjenja ovih specifikacija, proračun, kao i selektovanje vrednosti i izbor tipova komponentata, od presudnog su značaja.

Na slici 1 prikazano je usvojeno rešenje PFC kola, čijom realizacijom su ispunjeni prethodni zahtevi. Ovo rešenje je slično rešenju aktivnog PFC kola koje su autori ranije realizovali i koje je prikazano u literaturi [3], pri čemu je rešenje PFC-a predloženo u ovom radu predviđeno za veću snagu i za manji opseg ulaznog napona. Detaljno objašnjenje rada ovog kola, značenje pojedinih veza i pinova, kao i proračun snažnih (glavnih), ali i ostalih elemenata kola (integrisanih i kontrolnih), prikazani su u literaturi [7]. Ovakvo aktivno PFC kolo koje koristi boost topologiju i radi u kontinualnom modu provođenja struje kalema, u potpunosti zadovoljava prethodne zahteve i već se široko primenjuje u industrijskim uređajima.

U nastavku izlaganja prikazana je samo analiza snažnih komponentata PFC-a, za koje je projektovanje i najkritičnije. Prvenstveno je prikazano projektovanje komponentata koje su montirane na hladnjake, jer je kod njih najlakše moguće povezati maksimalne proračunate snage sa maksimalnim proračunatim temperaturama na osnovu termičkih otpornosti njihovih hladnjaka. Na osnovu ovakvog pristupa, omogućeno je kasnije poređenje proračunatih termičkih karakteristika i temperatura eksperimentalno određenih primenom termovizijske kamere Varioscana.

#### Ulazni diodni ispravljač

Maksimalna vrednost struje kroz jednu ulaznu diodu je [7]:

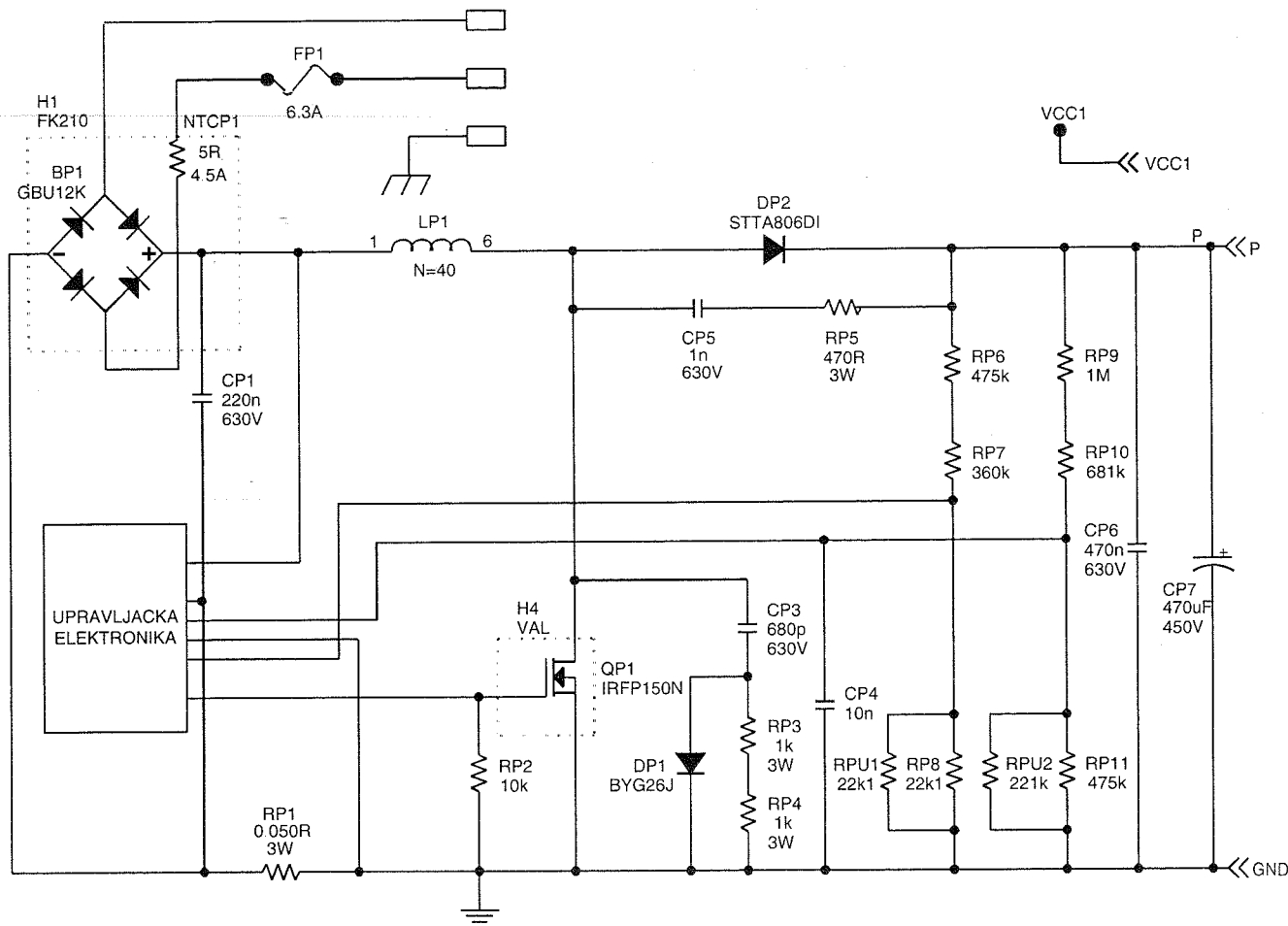
$$I_{D1eff} = \frac{P_{max}}{0.9 \cdot \sqrt{2} \cdot V_{ul\,eff\,min}} = \frac{550}{0.9 \cdot \sqrt{2} \cdot 175} = 2.47 \text{ A} \quad (1)$$

dok se srednja vrednost struje diode može odrediti na osnovu izraza:

$$I_{D1sr} = \frac{P_{max}}{2 \cdot 0.9 \cdot V_{iz}} = \frac{550}{2 \cdot 0.9 \cdot 385} = 0.79 \text{ A} \quad (2)$$

Uz pretpostavku da su pad napona na diodi u stanju vođenja i njena otpornost  $U_{D01}=0.72V$  i  $r_{D1}=70m\Omega$ , respektivno, disipacija snage na ulaznom ispravljaču je:

$$P_{gD1} = 4 \left( U_{D01} I_{D1sr} + r_{D1} I_{D1eff}^2 \right) = 3.98 \text{ W} \quad (3)$$



Sl. 1. Električna šema realizovanog aktivnog PFC kola

### MOSFET tranzistor

Maksimalna efektivna vrednost struje MOSFET-a u stanju vođenja je [7]:

$$I_{Meff} = \frac{P_{max}/0.9}{\sqrt{2} V_{ul\,eff\,min}} \sqrt{2 - \frac{16\sqrt{2} V_{ul\,eff\,min}}{3\pi V_{iz}}} = 2.47 \text{ A} \quad (4)$$

tako da je snaga gubitaka u stanju vođenja MOSFET-a:

$$P_{gMon} = I_{Meff}^2 R_{ds} = 2.47^2 \cdot 0.4 = 2.44 \text{ W} \quad (5)$$

Kapacitivni gubici na MOSFET-u određuju se na osnovu sledećeg izraza [7]:

$$P_{gMC} = f_{sw} \left( 3.3 C_{oss} V_{iz}^{1.5} + \frac{1}{2} C_{ext} V_{iz}^2 \right) = 2 \text{ W} \quad (6)$$

gde je  $f_{sw}=80\text{kHz}$ ,  $C_{oss}=650\text{pF}$  i  $C_{ext}=100\text{pF}$  [7], dok su gubici u periodu komutacije:

$$P_{gMk} = V_{iz} I_{Meff} f_{sw} t_{cr} + P_{rec} = 385 \cdot 2.47 \cdot 80 \cdot 10^3 \cdot 40 \cdot 10^{-9} + 1.5 = 4.54 \text{ W} \quad (7)$$

Prema tome, ukupni gubici na MOSFET-u su:

$$P_{gM} = 2.44 + 4.54 + 2 = 8.98 \text{ W} \quad (8)$$

### Boost dioda

Srednja vrednost struje boost diode je:

$$I_{Dsr} = \frac{P_{max}}{V_{iz}} = 1.42 \text{ A} \quad (9)$$

dok je njena efektivna vrednost:

$$I_{Deff} = \frac{P_{max}/0.9}{\sqrt{2} V_{ul\,eff\,min}} \sqrt{\frac{16 \cdot \sqrt{2} \cdot V_{ul\,eff\,min}}{3 \cdot \pi \cdot V_{iz}}} = 2.22 \text{ A} \quad (10)$$

Ukupni gubici boost diode za  $U_{D0}=1.15\text{V}$  i  $r_D=43\text{m}\Omega$ , su:

$$P_{gD} = U_{D0} I_{Dsr} + r_D I_{Deff}^2 = 1.83 \text{ W} \quad (11)$$

## 2. PRIMENA TERMORIZIJSKE KAMERE

Termovizijski sistemi mere temperaturu objekata detektovanjem energije infracrvenog zračenja koju emituju svi materijali koji su na temperaturama iznad apsolutne nule. Najprostiji primer ovog sistema se sastoji od sočiva za fokusiranje infracrvenog zračenja na detektor, pomoću kojeg se ova energija konvertuje u električni signal, i koji se može prikazati u jedinicama temperature posle kompenzacije zbog promene temperature ambijenta. Ovakva konfiguracija omogućava merenje temperature sa daljine, bez kontakta sa objektom koji se meri. Ovakav termovizijski sistem je koristan za merenje temperature dvodimenzionalnih površina u slučajevima gde se ne mogu upotrebiti termoparovi ili drugi tipovi temperaturnih senzora, ili kada se iz drugih razloga ne mogu dobiti tačni podaci.

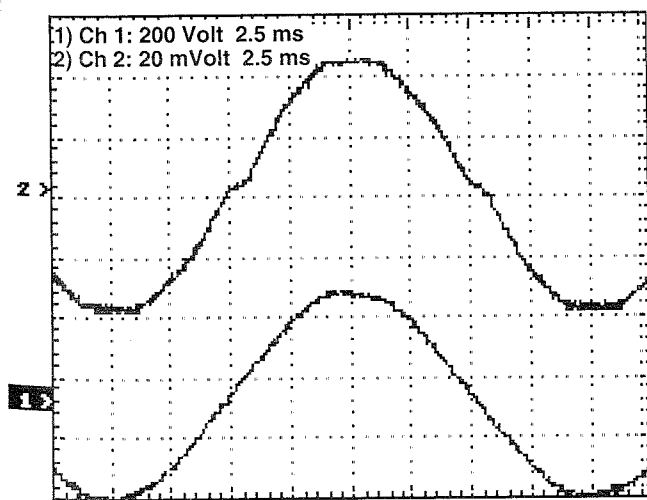
Primene termovizije u elektronici su blisko povezane sa zagrevanjem elektronskih uređaja zbog proticanja struje. Nepravilno zagrevanje može dovesti do defekata i čestih

otkaza, tako da se otkazi elektronskih uređaja mogu predvideti na osnovu povećanja njihove temperature u ranoj fazi. Uz pomoć termovizije ova kritična područja se mogu detektovati bez prekidanja napona napajanja. Direktni kontakt sa mernom tačkom nije neophodan. Tako su u većini slučajeva moguće intervencije na postrojenjima pod naponom. Analiza pomoću termovizijskog sistema otkriva slabe kontakte i veze, kao i pregrejane komponente u ranoj fazi eksploatacije. Termovizijske slike omogućavaju operatoru da klasifikuje oštećenje i da izabere pogodno vreme za popravku.

Varioscan high resolution je skenirajući termovizijski merni sistem, za talasne dužine van vidljivog spektra od 8 do 12  $\mu\text{m}$ , odnosno u oblasti infracrvenog zračenja. Signal iz ovog spektra se pojačava, digitalizuje sa 16 bitova i vizualizuje u oblast vidljivog spektra sa rezolucijom od 8 bitova (256 boja), pri čemu svaka boja na prikazanom termogramu (termovizijskom snimku) predstavlja određenu temperaturu. Temperaturna rezolucija sistema Varioscan je veoma visoka i iznosi 0.03K, a opseg merenja temperature je od  $-40^{\circ}\text{C}$  do  $+1200^{\circ}\text{C}$ .

### 3. EKSPERIMENTALNI REZULTATI

Eksperimentalnom verifikacijom realizovanog aktivnog PFC kola sa slike 1, pokazano je da njegova primena ima određene prednosti: veliki faktor snage ( $\approx 0.99$ ), korigovana izobličenja i fazni pomeraj, velika izlazna snaga, male i lake komponente, dobre EMC karakteristike i stabilan rad. Ovo se može zaključiti na osnovu eksperimentalnih talasnih oblika ulaznog napona i struje izmerenih na realizovanom kolu sa otpornim opterećenjem na njegovom izlazu, koji su prikazani na slici 2. Pri tome su merenja izvršena pri velikoj efektivnoj vrednosti ulaznog napona od 240V i frekvenciji od 50Hz, pri jednosmernom izlaznom naponu od 385V, dok je jednosmerna izlazna struja iznosila 1A.



Sl. 2. Ulazna struja (gore) i ulazni napon (dole) za realizovano aktivno PFC kolo

Što se tiče temperaturnih karakteristika, u ovom radu su razmatrane samo karakteristike PFC-a, a ne i kompletnog izvora napajanja. Kod PFC-a su na posebnim hladnjacima ulazni diodni ispravljač i boost dioda, pri čemu su temperaturne karakteristike tih hladnjaka poznate.

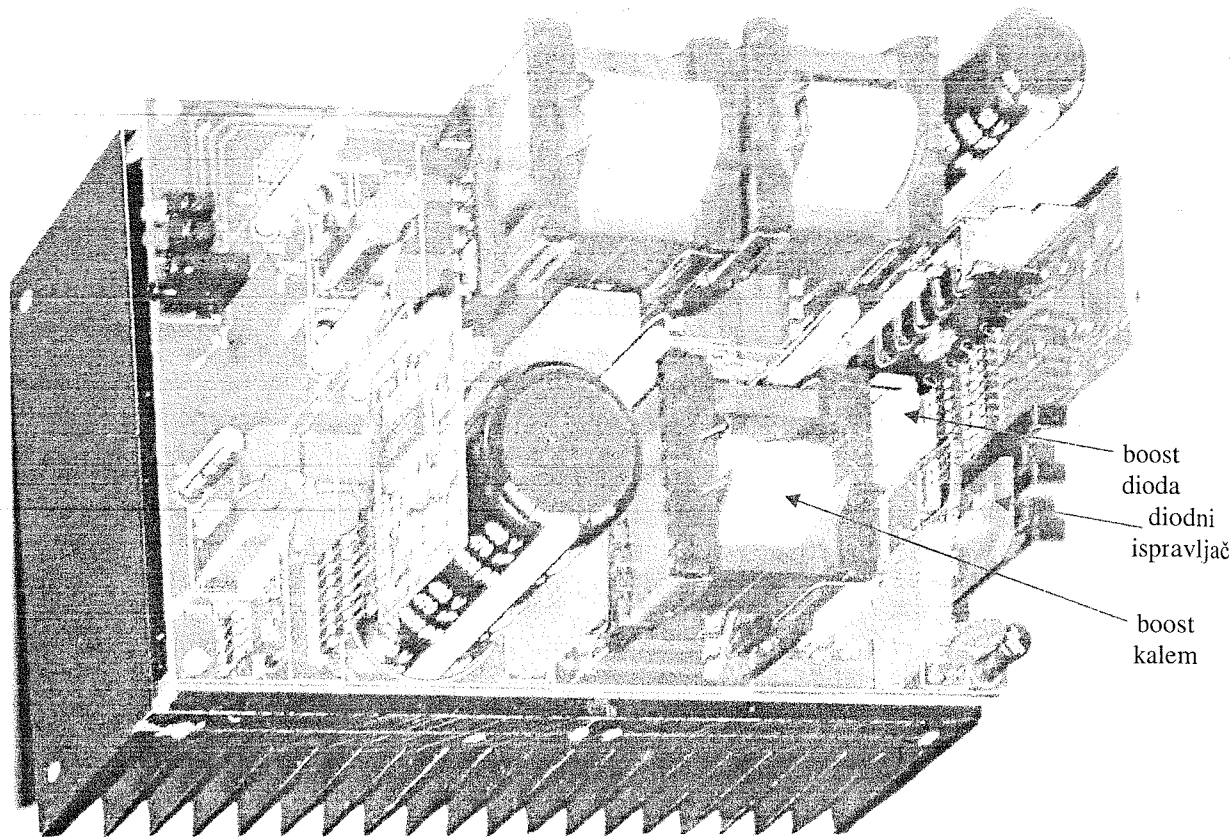
Temperaturni koeficijent velikog hladnjaka je takođe poznat, međutim kod njega je situacija najstroženija, jer se na njemu nalazi više komponenata. Od PFC kola na njemu je smešten samo prekidački tranzistor (MOSFET). U ovom radu nije prikazano razmatranje koje se odnosi na to kolika je disipacija na ostalim elementima u izvoru napajanja, već se detaljna analiza odnosi samo na PFC kolo, uz razmatranje samo podatka koliki je uticaj disipacije ostalih elemenata koji nisu deo PFC kola.

Na slici 3 prikazan je izgled laboratorijskog prototipa realizovanog prekidačkog izvora napajanja, u kome je primenjeno kolo PFC-a, koje je predmet razmatranja u ovom radu. Na slici 4 je prikazan frontalni izgled realizovanog laboratorijskog prototipa, kada realizovani uređaj nije uključen (u hladnom je stanju), koji je snimljen pomoću termovizijske kamere. Sama slika 4 sadrži vrednosti temperatura na površinama hladnjaka, na koje su povezani ulazni diodni ispravljač i boost dioda, i temperature boost kalema (prigušnice), i te temperature respektivno iznose:  $18.61^{\circ}\text{C}$ ,  $18.35^{\circ}\text{C}$  i  $18.65^{\circ}\text{C}$ . Ovo će biti početne temperature (temperature ambijenta) prilikom izračunavanja promena temperature odgovarajuće komponente usled zagrevanja uređaja ( $\Delta T$ ). MOSFET tranzistor montiran je na donjem (velikom) hladnjaku, ali su njegovi izvodi zalemljeni na štampanoj ploči između diode i prigušnice, što se na slikama 3 i 4 ne može uočiti.

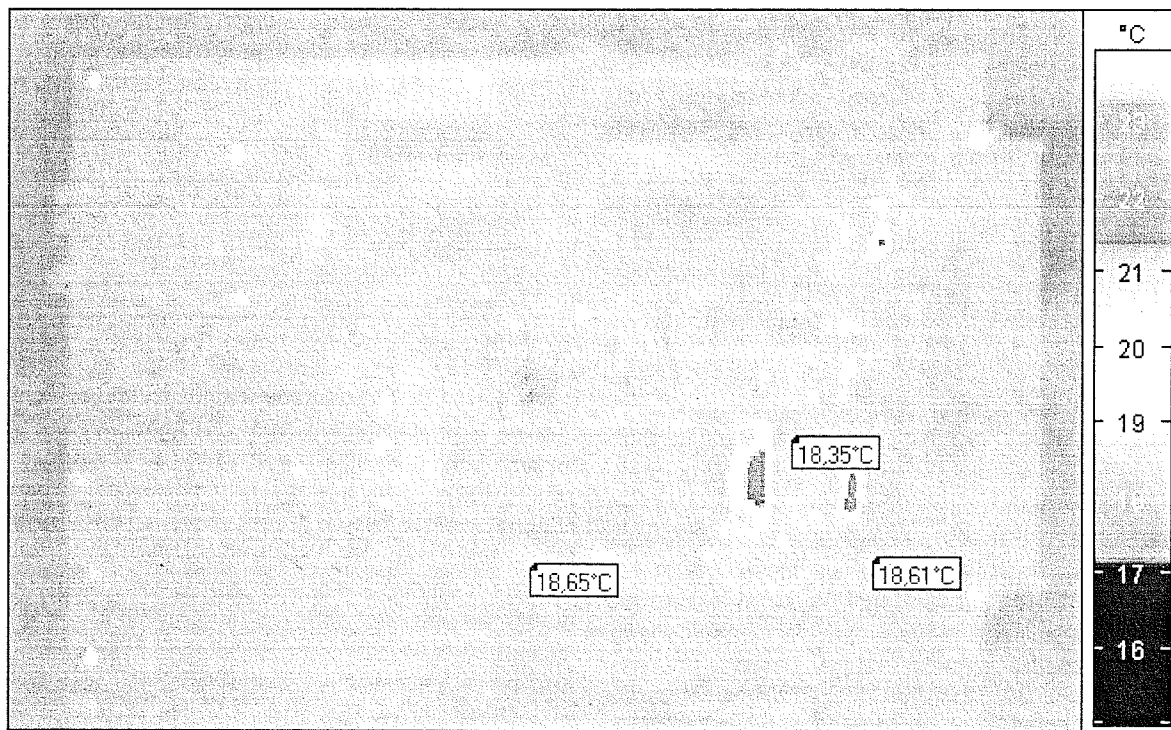
Na diodni ispravljač je montiran hladnjak čija je termička otpornost  $18^{\circ}\text{C/W}$ . U prethodnom delu rada izračunata je očekivana maksimalna snaga na ispravljaču, i on ne sme da se zagreva iznad proračunate temperature. U ovom slučaju, pošto je snaga disipirana na ispravljaču  $3.98\text{W}$  (jednačina (3)), on ne sme da se zagreje više od  $3.98 \times 18 = 71.64^{\circ}\text{C}$  iznad temperature ambijenta, odnosno iznad  $18.61 + 71.64 = 90.25^{\circ}\text{C}$ . Na slici 5, koja predstavlja termovizijski snimak realizovanog uređaja posle 120min rada i zagrevanja, može se uočiti da je temperatura hladnjaka diodnog ispravljača  $88.19^{\circ}\text{C}$ , tako da se može zaključiti da je termička analiza ove komponente pokazala njeno ispravno projektovanje.

Što se tiče boost diode, u PFC-u je za njeno hlađenje montiran hladnjak koji ima termičku otpornost od  $20.2^{\circ}\text{C/W}$ . Dakle, na osnovu izraza (11) nije teško izračunati i za boost diodu da je očekivana temperatura njenog hladnjaka  $1.83 \times 20.2 + 18.35 = 55.32^{\circ}\text{C}$ . Na osnovu termovizijskog snimka realizovanog uređaja posle 120min zagrevanja u radnim uslovima, vidi se da je temperatura hladnjaka diode  $146.01^{\circ}\text{C}$ , što je posledica uticaja velikog zagrevanja snubber otpornika  $R_{p5}$  na temperaturu hladnjaka (slika 1), koji je u neposrednoj blizini hladnjaka diode, tako da nije neophodno postojeću diodu zameniti snažnijom diodom, ili povećati površinu primenjenog hladnjaka, već treba korigovati vrednost otpornika  $R_{p5}$  ili kondenzatora  $C_{p5}$ .

Za MOSFET tranzistor proračun temperaturnih karakteristika je najkomplikovaniji, jer je ovaj tranzistor montiran na veliki hladnjak zajedno sa ostalim prekidačima u izvoru napajanja, tako da je neophodno uzeti u obzir i snagu tih prekidača iz DC/DC konvertora. Termička otpornost za veliki hladnjak, koji se ovde razmatra, je  $0.6^{\circ}\text{C/W}$ .



Sl. 3. Izgled laboratorijskog prototipa realizovanog izvora napajanja sa razmatranim aktivnim PFC kolom



Sl. 4. Termovizijski snimak realizovanog aktivnog PFC kola u hladnom stanju (pogled spređa)

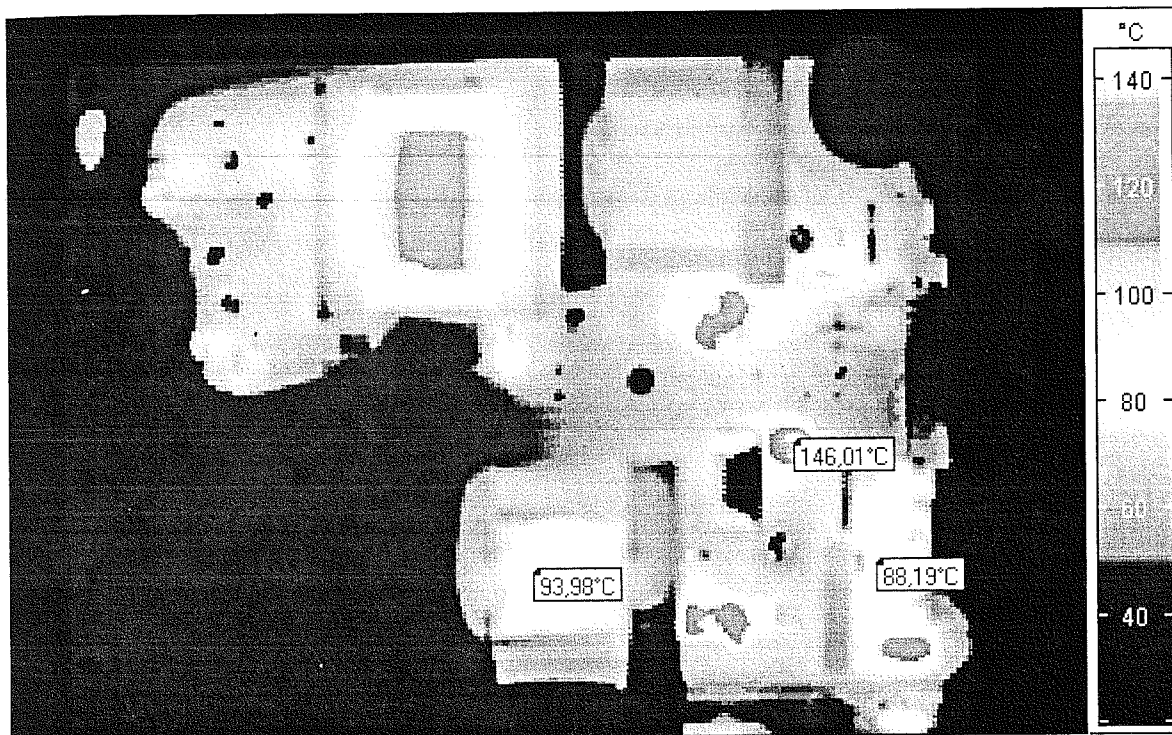
Ukupna snaga gubitaka na MOSFET-u PFC-a je 8.98W na osnovu proračuna prikazanog u prethodnom delu rada (jednačina (8)). Međutim, kao što je već napomenuto, MOSFET prekidači DC/DC konvertora se takođe nalaze na istom hladnjaku (i njegove diode). Ukupna snaga disipacije uređaja u toku eksperimentalnih merenja iznosila je 400W.

Može se smatrati da je ukupna efikasnost celog uređaja od 85 do 87%, tako da, ukoliko se uzme najgori slučaj (efikasnost 85%), tada su ukupni gubici usled disipacije 60W. Gubici disipacije na snubber mrežama nisu veći od 6W [7], dok se preostala snaga troši na motanim komponentama i na hladnjaku. S obzirom na grejanje transformatora, snaga

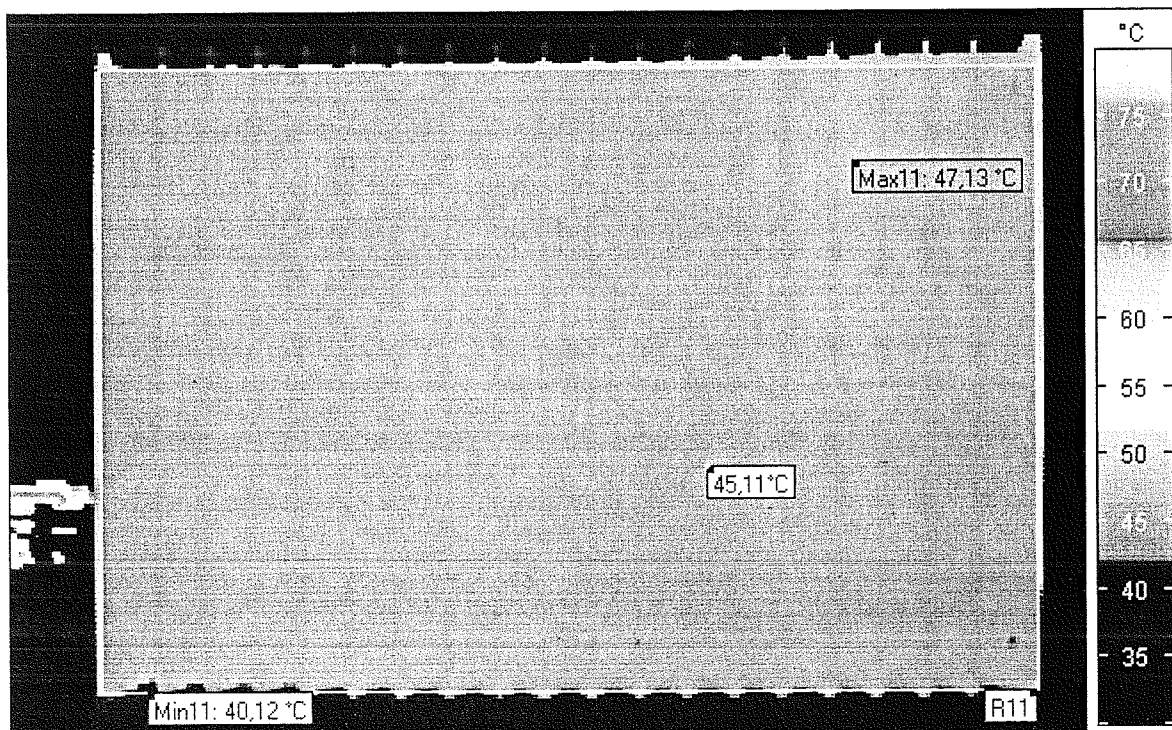


motanih komponenti je reda 10 do 12W. Prema tome, na prekidačima su gubici reda 44 do 46W. Ako se uz to uzmu u obzir (dodaju) gubici na MOSFET-u PFC-a od 8.98W (jednačina (8)), na velikom hladnjaku se disipira 52.98 do 54.98W. Kako je temperaturna otpornost najvećeg hladnjaka  $0.6^{\circ}\text{C}/\text{W}$ , temperatura hladnjaka treba da bude od  $31.78$  do  $32.99^{\circ}\text{C}$  iznad temperature ambijenta, odnosno u opsegu od  $50.4$  do  $51.6^{\circ}\text{C}$ . Termovizijski snimak zagrejanog uređaja sa zadnje strane (sa strane velikog hladnjaka, slika 6), gde se nalazi MOSFET, pokazuje da je u tom delu temperatura

hladnjaka  $45.11^{\circ}\text{C}$ , tako da se može smatrati da je proračun MOSFET-a validan. Slika 6 takođe pokazuje da je maksimalna temperatura na celoj površini hladnjaka  $47.13^{\circ}\text{C}$ , dok je njegova minimalna temperatura  $40.12^{\circ}\text{C}$ , tako da se može smatrati da je hladnjak izabran na odgovarajući način i pored njegovog prirodnog hlađenja, kao i pored činjenice da su zbog prostornih ograničenja usvojene minimalne konfiguracije hladnjaka. Ovakvi sistemi moraju biti pouzdani, tako da je njihova termička analiza veoma bitna.



Sl. 5. Termovizijski snimak aktivnog PFC kola posle 120min zagrevanja (pogled spreda)



Sl. 6. Termovizijski snimak aktivnog PFC kola posle 120min zagrevanja (pogled na hladnjak sa zadnje strane)

Proračun temperaturnih karakteristika motanih komponenti, a samim tim i boost kalema, je komplikovaniji od prikazane analize, i biće predmet interesovanja u nekom od naših narednih radova. Ovde je dovoljno napomenuti da je proračunato jezgro predviđeno za maksimalne temperature i do 200°C, tako da se može smatrati da je ostvarena radna temperatura prigušnice od 93.98°C (slika 5) unutar dozvoljenog temperaturnog opsega. Relativno niska radna temperatura ove komponente posledica je njene realizacije primenom specijalne visokotemperaturne licnaste žice.

#### 4. ZAKLJUČAK

U ovom radu prikazan je jedan novi nekonvencionalni metod termičke analize za verifikaciju ispravnosti projektovanja realizovanog uređaja. U konkretnom slučaju radilo se o kolu za korekciju faktora snage, koje se deo složenijeg uređaja za besprekidno napajanje u telekomunikacionim sistemima. Termička analiza, izvršena pomoću termoviziske kamere visoke rezolucije Varioscan, pokazala je ispravno projektovanje snage većine snažnih komponenata PFC kola, kao i one komponente i hladnjake na čije projektovanje treba naknadno obratiti posebnu pažnju. Ovde su od interesa bile one komponente PFC-a za koje je bilo moguće izvršiti njihovu termovizijsku analizu.

#### LITERATURA

- [1] G.J. Su, "Design and Analysis of a Low Cost, High Performance Single Phase UPS Systems," APEC, vol. 2, pp. 900-906, 2001.

- [2] Limits for Harmonic Current, EN6100-3-2 Standards, 1995.
- [3] D.Mančić, M.Radmanović, M.Lazić, "Komparativna studija PFC kola za elektronske balaste," XLVIII konferencija za ETRAN, vol. 1, pp. 63-66, Čačak, jun 2004.
- [4] Theoretical and practical aspects of Infrared-Thermography, Jenoptic L.O.S. GmbH, 2001.
- [5] Varioscan high resolution, Users manual, Jenoptic L.O.S. GmbH, July 2000.
- [6] Irbis - Thermal image processing software, Software manual, Jenoptic L.O.S. GmbH, December 2000.
- [7] A 500W High Power Factor With The L4981A continuous Mode IC, AN 827-1297, SGS-THOMSON Microelectronics, Inc., 1997.

**Abstract** - *This paper presents a study of one active PFC circuit and describes design of the proposed circuit in some details. Designed power factor correction circuit for a 550 Watt output and variable input voltage is low cost and easy to use. The thermal characteristics of PFC circuit and hotspots are analyzed with modern, thermal and optical high resolution thermographic system Varioscan, in order to detect weak points during the construction and to repair it immediately.*

#### THERMAL ANALYSIS OF ONE SOLUTION OF PFC CIRCUIT

Dragan Mančić, Milan Radmanović, Zoran Petrušić,  
Miroslav Lazić, Dragan Stajić



---

---

секција ТЗ

**АНАЛОГНА И ДИГИТАЛНА КОЛА**

---

---

M. Savić, B. Anđelković, V. Litovski <b>Parallel mixed-mode simulation – preliminary study</b> .....	76
D. Bundalo, Z. Bundalo, B. Đorđević <b>Regenerativna digitalna BiCMOS elektronska kola koja imaju više izlaznih logičkih stanja</b> ...	80
F. Softić, A. Ilišković <b>Modelovanja u audiologiji</b> .....	85
G. Jovanović, M. Stojčev <b>High-speed pulse-width control loop</b> .....	89

---

---

## PARALLEL MIXED-MODE SIMULATION – PRELIMINARY STUDY

Milan Savić, Bojan Anđelković, Vančo Litovski

Laboratory for Electronic Design Automation, Faculty of Electronic Engineering, University of Niš, Serbia and Montenegro  
{msavic; abojan; vanco@elfak.ni.ac.yu}

**Abstract** – This paper presents preliminary study on parallel mixed-mode simulation. Motivation for this study is simulator that is to be implemented on Beowulf cluster. Basic information regarding modern simulation, leading to the need for parallel simulation is presented. An overview of parallel simulation algorithms and implementations is given, as well as guidelines for future parallel simulator implementation.

### 1. INTRODUCTION

With the rapid growth of electronic systems complexity, the simulation became a crucial step in design flow. Circuit simulation has proven to be one of the most important computer aided design (CAD) methods for the analysis and validation of integrated circuit design.

Today's high end integrated circuits contain both analog and digital components. In addition, non-electric elements are implemented within the electric integrated circuits, e.g. in microelectromechanical systems (MEMS). Complexity of modern electronic circuits has imposed the requirement for enabling the hardware designer to model a design at different levels of abstraction. All these trends have resulted in the development of the *mixed-mode simulation* domain. This paradigm includes mixed-signal (analog and digital), mixed domain (electrical and non-electrical) and mixed-level simulation. Obviously, this introduces unique difficulties for the modeler and simulation developer. [1]

In order to simulate a system, it has to be described i.e. modeled. Mixed-mode systems are described using:

1. algebraic equations
2. ordinary differential equations (ODE)
3. partial differential equations (PDE)
4. algorithms
5. logic states

Algebraic equations describe resistive portion, whereas ODE describe dynamic portion of the system. ODEs are discretized in order to create sets of nonlinear algebraic equations.

Let us assume that PDEs describe mechanical part of the system. In order to obtain set of ordinary differential equations, space discretization of PDEs is performed, where the system unknowns are the spatial displacements as functions of time. Thus, PDEs introduce new sets of ODEs, whose number is generally large, depending on a discretization grid. [2]

Thus, one comes down to the problem of formulation and solution of systems of nonlinear equations, that are to be solved iteratively – with the help of linearization i.e. by application of Newton methods. Evaluation of all derivatives that are necessary for the linearization is most time consuming part of the simulation process.

So far we have considered analog/continuous models. Algorithmic description may define behavior of continuous (analog, pulse...) as well as for discrete (logic expressions, tables, programs) models. This kind of model's behavior description needs to be translated into other kinds of description.

Discrete-event processes define the behavior of the discrete-event model described by the logic states. The simulation mechanism for discrete-event simulation differs from continuous time simulation. It involves the use of future event tables, containing the information of events to be processed.

In mixed-signal systems, a specific time advancement algorithm has to be implemented in order to synchronize events between analog and logic part.

To conclude this brief overview of modern simulation techniques, we would like to emphasize that, according to the presented facts, simulation process may be characterized as memory intensive, computationally intensive and algorithmically complex. This leads to long simulation runtimes. Having in mind that every design needs many simulation runs of the same system in order to get optimal solutions with respect to many different requirements, it is obvious that long simulation runtimes lead to delay in design process. One possibility to reduce these runtimes is to divide the circuit into several partitions and to simulate the partitions in parallel.

Over last decade parallel computers have evolved from experimental contraptions in laboratories to become the everyday tools of scientists who need the ultimate in computer resources in order to solve their problems. And most recently, as personal computers (PC) performance has increased and prices have fallen steeply, both for the PCs themselves and the network hardware necessary to connect them, dedicated clusters of PC workstations have provided significant computing power on a budget. One particular version of this approach, involving open source system software and dedicated networks, has acquired the name "Beowulf" [3].

Barriers to the widespread use of parallelism are in all three of the usual large subdivisions of computing: hardware, algorithms and software. As for the hardware, intercommunication networks that keep up with speed of advanced single processors are still not available. The biggest obstacle is inadequate software. Compilers that automatically parallelize sequential algorithms remain limited in their applicability. Best performance is still obtained when programmer himself supplies the parallel algorithm.

There are number of parallel computational models in use today, such as: data parallelism, shared memory, message-passing, remote memory operations, threads and various combined models.

In our research we focus on message passing model of parallel computation, and in particular the Message Passing

Interface (MPI) instantiation of that model [4][5]. The message-passing model posits a set of processes that have only local memory but are able to communicate with other processes by sending and receiving messages. It is a defining feature of the message-passing model that data transfer from the local memory of one process to the local memory of another requires operations to be performed by both processes. MPI is being widely used and is expected to be around for a long time due to its advantages over other models, which are: universality (it matches the hardware of most today's parallel supercomputers), expressivity (it is a useful and complete model in which to express parallel algorithms), ease of debugging, and performance. Message passing has become a standard for portability, in both syntax and semantic. The MPI standard [6][7] was completed in 1997.

## 2. CONTINUOUS-DOMAIN SIMULATION

As mentioned before, nowadays, more and more parallel programs run on workstation clusters. But there is still problem of low transmission performance in terms of bandwidth and latency of the network that connects the workstations.

Thus, only algorithms that guarantee a minimum communication overhead, may be able to provide good speed-up on workstation cluster. Automatically parallelized code generally cannot achieve good speed-up.

Therefore, new algorithms have to be devised. *Domain decomposition* methods split the problem in the physical domain. Each of the obtained domains may be analyzed by a separate process, enabling parallelization. The boundaries of the domain are synchronized by a serial master process.

Process of splitting the electrical circuit into several pieces in order to simulate one piece per processor is referred to as *partitioning*.

The main objective of partitioning for parallel simulation is to reduce the simulation runtime. For low simulation runtimes it is crucial to achieve a low number of signals that connect the partitions. The reason for this is time consuming communication caused by the connecting signals. Parallel simulation is synchronized by a master process, which calculates the connection network serially, and thus increases the runtime. Electronic circuits have natural clustering. This clustering can be used to achieve a good partitioning of the circuit.

Apart from low number of interconnecting signals, partitioning should provide equal workload for each slave processor, which would enable optimal distribution of simulation effort. In order to estimate the workload, each element is assigned a weight according to simulation complexity.

One of the first published methods for partitioning on a transistor level is *node tearing* [8]. Among other approaches are clustering algorithms as building *DC connected components* and *strongly connected components*, or *diagonal dominance Norton partitioning* [9]. Some of these methods are combined with *Fiduccia-Mattheyses method* [10] and *hierarchical methods* [11]. Another approach simply splits the ASCII file containing the circuit description and improves this initial partitioning by shifting components [12].

One of the modern partitioning methods is COPART [13], implemented in TITAN [14] parallel transistor level simulator. Other parallel circuit simulator Xyce [15] has number of

partitioning algorithms implemented. One is ParMETIS [16], an MPI-based parallel library that implements a variety of algorithms for partitioning unstructured graphs, meshes, and for computing fill-reducing orderings of sparse matrices.

Once the circuit is partitioned, a parallel simulation should be performed.

Techniques for allowing each subcircuit to determine its own time steps and hence to optimize the simulation for each partition have been proposed [17], but most of the simulators use same time step for all the partitions.

The domain decomposition technique is often used for the parallelization of parallel differential equation solvers and obtains high performance. Set of nonlinear differential equations is discretized giving a set of nonlinear equations. Common parallel linear solver algorithm is *Schur Complement Technique*. It can be generalized using Newton's method to *Parallel Newton's Method* [14]. Using this algorithm each domain can be solved independently by performing the following steps in parallel without communication:

- model evaluation
- discretization
- calculation of the Jacobian matrix
- LU decomposition
- forward substitution
- calculation of outer derivative and right-hand side
- inner variables computation

Equation system representing the interconnections between the domains can't be solved in parallel, and are solved by master. As for the communication, coupling variables are sent to the slaves, and the local derivatives and the right-hand side are sent to the master.

This algorithm can be improved, as in *parallel multilevel Newton method with latency* [14], where nonlinearity is shifted to the slaves and iteration latency is exploited.

## 3. DISCRETE-EVENT SIMULATION

Exploiting parallelism in discrete-event simulations is particularly convenient because VHDL explicitly supports descriptions consisting of concurrent processes.

In parallel discrete-event simulation (PDES), the system under simulation is modeled as a collection of concurrently executing logical processes (LPs) that communicate via message passing. LPs may be assigned to different processors, thus distributing the simulation across the network of workstations. Each message carries an event and a time stamp for the time when the corresponding event occurs in the simulated system. In order to perform the distributed simulation correctly each LP should process its input events in chronological order of their timestamps. There are two synchronization protocols used to ensure that: conservative and optimistic.

In conservative synchronization LPs process only "safe" events. Processes containing no safe events are blocked. An event is "safe" if it is impossible for the LP to receive another event with lower timestamp. Blocking may cause deadlock that can be avoided or detected and recovered by global synchronization.

In optimistic synchronization it is assumed that all the events are safe. Unlike conservative synchronization, an optimistically synchronized simulator is not restricted to simulate serially through the time. Different LPs can execute events at

different simulation times simultaneously. In this type of synchronization each LP operates as a distinct discrete event simulator, maintaining input and output event lists, a state queue and a local simulation time. If an LP receives an event with a lower timestamp than its local simulation time (straggler), it must rollback to undo some work that has been done. During the rollback the LP restores the state previous to the straggler and cancels all the events sent during the wrong simulation by sending anti-messages. These anti-messages cause rollback at their destination LPs. Optimistically synchronized simulators can use either aggressive cancellation, in which all incorrect messages are discarded via anti-messages, or lazy cancellation, in which messages are only discarded when they are known to be incorrect. Lazy cancellation can improve simulation performance by decreasing the number of required rollbacks. However, if all messages are not canceled immediately, significant work may need to be discarded once the messages are eventually determined to be incorrect. After rollback, the events are re-executed in the correct chronological order. This requires that each process stores information about its previous states, inputs and outputs that can be used in case of a rollback. Therefore, optimistic protocols can cause memory overflow and global synchronization should be used to determine if a memory cell is old enough that can be freed. One such optimistic synchronization protocol is Time Warp used in implementation of mixed-signal VHDL-AMS simulator SEAMS [18]. In this simulator events are sent between LPs using MPI message passing standard.

Global synchronization may be achieved using null-messages or global virtual time (GVT). A null message contains only timestamp without event and LPs use such messages to inform each other about their current simulation times. Global virtual time is the smallest timestamp of an unprocessed event in the whole system. It is monotonically increasing over the simulation. All history items with timestamps lower than GVT can be erased from memory.

Dynamic synchronization protocol that combines advantages of both conservative and optimistic synchronization methods, allowing processes to self-adapt for maximal utilization of concurrency is presented in [19, 20].

However, the PDES techniques applied so far has a number of drawbacks. This is due to the fact that each event that is processed will generate one or more events that must be communicated to other parallel processes resulting in high communication overhead. Some optimizations for improving the parallel logic simulation performance are given in [18]. These optimizations include circuit partitioning, roll-back relaxation and fine-grained communication optimizations. Circuit partitioning algorithms are used to divide the circuit to be simulated across LPs. The partitioning methods are based on either parallelism in the simulation algorithm or in the circuit being simulated. Partitioning based on simulation algorithm is limited by the characteristics of specific algorithm used for simulation. The second method exploits the concurrency and parallelism in the circuit structure in order to minimize communication between LPs and balance the processor workloads. Many of the partitioning algorithms are based on a directed graph representation of the input circuit. In such representation the vertices of the circuit graph denote logic gates while edges represent signals. In ideal partitioning of a circuit graph LP workloads are ideally balanced and an

equal number of gates are active at each simulation instance. Since each circuit has its own structure and pattern communication a specific partitioning algorithm cannot provide ideal partitioning. The multilevel approach to partitioning proposed in [21] optimizes all factors for improving parallel logic simulation by decoupling them into separate phases.

#### 4. MIXED-MODE SIMULATION

A parallel simulation environment is very convenient for mixed-mode simulation, since a mixed-mode design is by default partitioned into analog and digital portions of the system.

In order to achieve distributed mixed-mode simulation a synchronization interface between analog and digital simulation kernels is required. Synchronization protocols supporting mixed-mode simulation in a distributed environment are presented in [22]. Discrete-event models are described using discrete-event processes whereas analog/continuous models are defined by differential equations. There are distinct points in simulation time where the communication between these models takes place. Appropriate interface functions are necessary to handle this communication and different notions of time should be addressed by the simulator. Discrete-event processes execute instantaneously as time is not advanced during execution. State changes occur at specific time points. Differential equation processes may advance the simulation time during execution. Such processes are called self-advancing processes. A mixed-mode simulator must enable an appropriate interaction between these different simulation processes. In [22] the process synchronization approach used to synchronize a Time Warp based parallel kernel with a continuous time differential equation simulation kernel is described. In this approach state saving is only required at synchronization points that decreases memory requirements. Two process based synchronization protocols are introduced: First Event Synchronization (FES) and Second Event Synchronization (SES). In the First Event Synchronization Protocol, the self-advancing process is handled as a discrete event process. That process is activated by the first event arriving at the start of the simulation interval ( $t_n$ ). The process then executes to the time of the next scheduled event ( $t_{n+1}$ ). If no event is generated, the self-advancing process calculates all intermediate values, stops execution at  $t_{n+1}$  and stores its state. At that moment, a new synchronization point is reached. In case an event is generated during computation of the internal values of the self-advancing process, the FES protocol requires the state saving and an artificial event should be generated to force another synchronization point.

In the Second Event Synchronization protocol, synchronization is attempted on the receive time of the event determining the end of the self-advancing simulation interval. The self-advancing process is simulated to the time  $t_{n-1}$  representing the previous synchronization point. Then it is activated by the event at time  $t_n$  and continuous to simulate from  $t_{n-1}$  to  $t_n$ . If no new events are generated by self-advancing process the simulation stops at time  $t_n$  and new synchronization point is automatically generated. If an event is generated during the self-advancing simulation at time  $t'_n$ , the self-advancing process must be interrupted. The generated event at that time should be sent to discrete-event

process and the discrete-event simulator should be notified that the self-advancing process did not complete the simulations up to time  $t_n$ . This problem can be solved by inserting a dummy event at time  $t'_n$  and make the system believe that the self-advancing process was activated by this event.

## 5. CONCLUSION

A preliminary study on parallel mixed-mode simulation algorithms and methods is presented in this paper. A survey of circuit partitioning techniques as well as equation solvers for parallel continuous domain simulation is given. Also, methods for logic circuit partitioning and parallel discrete-event synchronization protocols are considered. The problem of synchronizing parallel continuous-domain and discrete-event simulation kernels is addressed.

Basic guidelines for future parallel simulator implementation that should improve the performance of existing parallel simulation algorithms are presented. Many of the underlying concepts in the parallel simulator we are going to implement can be exploited from the existing sequential mixed-mode simulator Alecsis [23] developed in the Laboratory for Electronic Design Automation at the Faculty of Electronic Engineering Niš.

## 6. REFERENCES

- [1] V. Litovski., and M. Zwolinski, "VLSI Circuit Simulation and Optimization", Chapman and Hall, London, 1997.
- [2] Ž. Mrčarića, "Modelling of microelectromechanical devices and simulation of systems using hardware description language", PhD Thesis, TU Vienna, 1995.
- [3] T. Sterling, "Beowulf Cluster Computing with Linux", MIT Press, 2001.
- [4] W. Gropp, E. Lusk, and A. Skjellum, "Using MPI: Portable Parallel programming with the Message-Passing Interface", second edition, MIT Press, 1999.
- [5] W. Gropp, E. Lusk, and R. Thakur, "Using MPI-2: Advanced Features of the Message-Passing Interface", MIT Press, 1999.
- [6] Message Passing Interface Forum, "MPI: A Message-Passing Interface Standard", International Journal of Supercomputer Applications, 8(3/4): 165-414, 1994.
- [7] Message Passing Interface Forum, "MPI-2: A Message-Passing Interface Standard", International Journal of Supercomputer Applications, 12(1-2): 1-299, 1998.
- [8] A. Sangiovanni-Vincentelli, L.-K. Chen, and L. O. Chua, "An efficient heuristic cluster algorithm for tearing large-scale networks", IEEE Transactions on Circuits and Systems CAS, CAS-24(12): 709-717, Dec. 1977.
- [9] P. Debeve, F. Odeh, and A. E. Ruehli, "Waveform techniques", in Circuit Analysis, Simulation and Design, Part 2, Advances in CAD for VLSI, Vol. 3. A. E. Ruehli, Ed. Amsterdam, The Netherlands: Elsevier Science Publishers B. V., 1985, pp. 41-127.
- [10] C. M. Fiduccia and R. M. Mattheyses, "A linear-time heuristic for improving network partitions", in Proc. ACM/IEEE Design Automation Conf. (DAC), Vol. 19, 1982, pp. 175-181.

- [11] P. Cox, R. Burch, and B. Epler, "Circuit partitioning for parallel processing", in Proc. IEEE/ACM Int. Conf. Computer-Aided Design (ICCAD), 1986, pp. 186-189.
- [12] T. Kage, F. Kawafuji, and J. Niitsuma, "A circuit partitioning approach for parallel circuit simulation", IEICE Transactions on Fundamentals, E77-A(3): 461-466, 1994.
- [13] N. Fröhlich, V. Glöckel, J. Fleischmann, "A New Partitioning Method for Parallel Simulation of VLSI Circuits on Transistor Level", Proceedings of Design, Automation and Test in Europe 2000, pp. 679-684, Paris.
- [14] N. Fröhlich, B.M. Riess, U. Wever, Q. Zheng, "A New Approach for Parallel Simulation of VLSI-Circuits on a Transistor Level", IEEE Transactions on Circuits and Systems, Part I, Proceedings of the International Conference on Parallel and Distributed Processing Techniques and Applications, pp. 601-613, Vol. 45, No. 6, June 1998
- [15] <http://www.cs.sandia.gov/xyce/>
- [16] <http://www-users.cs.umn.edu/~karypis/metis/parmetis>
- [17] M. Zwolinski, "The System Design of a Hierarchical VLSI Circuit Simulator", PhD Thesis, University of Southampton, 1986.
- [18] D.E. Martin, R. Radhakrishnan, D. Rao, M. Chetlur, K. Subramani, P. Wilsey, "Analysis and Simulation of Mixed-Technology VLSI Systems", Journal of parallel and distributed computing, vol. 62, No 3, pp. 468-493, 2002.
- [19] D. Lungeanu, C.J.R. Shi, "Parallel and Distributed VHDL Simulation", Proc. of the conference on design, automation and test in Europe, pp. 658-662, 2000.
- [20] D. Lungeanu, C.J.R. Shi, "Distributed Simulation of VLSI Systems via Lookahead-Free Self-Adaptive Optimistic and Conservative Synchronization", Proc. of the 1999 IEEE/ACM international conference on computer-aided design, pp. 500-504, 1999.
- [21] S. Subramanian, D. Rao, P. Wilsey, "Study of a Multilevel Approach to Partitioning for Parallel Logic Simulation", 14th International Parallel and Distributed Processing Symposium, pp. 833-836, May 2000.
- [22] P. Frey, R. Radhakrishnan, "Parallel Mixed-Technology Simulation", Proc. of the 14th workshop on parallel and distributed simulation PADS'00, pp. 7-14, May 2000.
- [23] Ž. Mrčarića et al., "Alecsis 2.3, the simulator for circuits and systems. User's Manual", Laboratory for Electronic Design Automation, Faculty of Electronic Engineering, University of Niš, Yugoslavia, LEDA - 1/1998.

**Садржај** – Овај рад представља прелиминарну студију о паралелној хибридној симулацији. Мотивацију за овај рад представља симулатор који ће бити имплементиран на Beowulf cluster паралелном рачунару. У раду су дате основне информације о модерној симулацији које доводе до потребе за паралелном симулацијом. У раду је дат преглед алгоритама за паралелну симулацију и постојеће имплементације, као и основне претпоставке будућег паралелног симулатора.

## ПАРАЛЕЛНА ХИБРИДНА СИМУЛАЦИЈА – ПРЕЛИМИНАРНА РАЗМАТРАЊА

Милан Савић, Бојан Анђелковић, Ванчо Литовски

## REGENERATIVNA DIGITALNA BiCMOS ELEKTRONSKA KOLA KOJA IMAJU VIŠE IZLAZNIH LOGIČKIH STANJA

Duškanka Bundalo, *Nova banjalučka banka, Banja Luka, Republika Srpska, BiH*  
 Zlatko Bundalo, *Elektrotehnički fakultet, Banja Luka, Republika Srpska, BiH*  
 Branimir Đorđević, *Elektronski fakultet, Niš, Srbija i Crna Gora*

**Sadržaj** – U radu se razmatraju, predlažu i opisuju načini realizovanja regenerativnih digitalnih BiCMOS elektronskih kola koja koriste više logičkih stanja na izlazu. Prvo je predložen i opisan opšti princip sinteze električne šeme regenerativnog MV BiCMOS logičkog kola koje može imati bilo koji broj logičkih stanja i bilo koju logičku funkciju. Zatim je navedeni princip praktično razmotren i ilustriran na primjeru kvinternarnih regenerativnih BiCMOS logičkih kola. Prvo je predložen i opisan način realizovanja osnovnog regenerativnog kvinternarnog BiCMOS logičkog kola tipa identitet. Potom su predložene i prikazane mogućnosti realizovanja takvih BiCMOS kvinternarnih logičkih kola koja realizuju logičke funkcije I i ILI tipa. Analizirane su najznačajnije karakteristike razmatranih kola i dati neki rezultati dobiveni kompjuterskom simulacijom.

### 1. UVOD

U praksi se još uvijek uglavnom koriste digitalni binarni sistemi. Ali, u mnogim primjenama bi bilo pogodno koristiti digitalne sisteme sa većom osnovom, tzv. MV sisteme [1,2,3]. Takođe, nastojanja da se zadrže prednosti i CMOS i TTL logike, vode ka tome da se sve više primjenjuje BiCMOS tehnologija. Potreba da se smanji uticaj smetnji povećava interes za korištenje regenerativnih digitalnih kola (tzv. Šmitova kola).

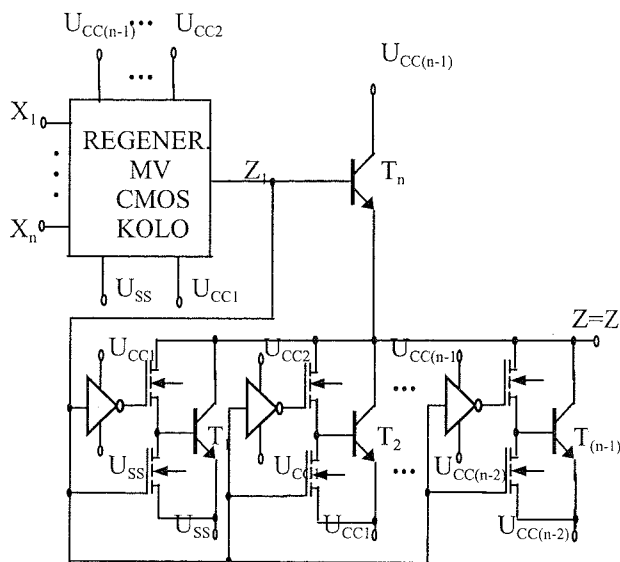
U radu se predlažu i opisuju mogućnosti i načini realizovanja regenerativnih BiCMOS logičkih kola kod kojih se koristi bilo koji broj logičkih stanja (tzv. Šmitova BiCMOS MV logička kola). Prvo je opisan opšti princip sinteze regenerativnog MV BiCMOS kola sa bilo kojom logičkom osnovom i bilo kojom logičkom funkcijom. Opšti princip je zatim ilustriran na primjerima regenerativnih MV BiCMOS kola sa pet logičkih nivoa (tzv. kvinternarna logička kola). Prikazano i opisano je osnovno kvinternarno kolo sa jednim ulazom (kolo identiteta), te I i ILI logička kola sa bilo kojim brojem ulaza. Sva kola su detaljno analizirana korišćenjem PSPICE simulacije. U radu su dati neki rezultati dobiveni simulacijom.

### 2. ELEKTRIČNA ŠEMA

Ovdje se predlaže opšti princip sinteze električne šeme regenerativnih MV BiCMOS logičkih kola koja mogu imati bilo koju logičku osnovu i bilo koju logičku funkciju.

Predloženi opšti princip sinteze električne šeme regenerativnog MV BiCMOS logičkog kola prikazan je na sl.1. Zasnovan je na korišćenju regenerativnog MV CMOS logičkog kola na ulazu i odgovarajućeg BiCMOS izlaznog stepena. Izlazni BiCMOS stepen obezbjeđuje potreban broj BiCMOS izlaznih nivoa. Na ulazu kola se nalazi odgovarajuće standardno regenerativno MV CMOS logičko kolo. Ono obezbjeđuje povećanu imunost na smetnje. Izlazni BiCMOS stepen daje potrebne izlazne nivoe i povećanu brzinu rad. On ima neinvertujuću logičku funkciju. Logička

funkcija regenerativnog MV CMOS kola na ulazu ujedno definiše i logičku funkciju ukupnog kola. To znači da se može dobiti potrebna logička funkcija postavljanjem na ulaz regenerativnog MV CMOS kola sa odgovarajućom logičkom funkcijom. Bipolarni tranzistori u izlaznom stepenu obezbjeđuju velike izlazne struje i potrebne izlazne nivoe u pojedinim statičkim stanjima kola.



Sl.1. Opšti oblik električne šeme regenerativnog MV BiCMOS logičkog kola.

Regenerativno MV CMOS kolo na ulazu obezbjeđuje postojanje histerezisa u naponskoj prenosnoj karakteristici i smanjenu osjetljivost na smetnje čitavog logičkog kola. Naponski pragovi i naponski histerezis cjelokupnog MV BiCMOS regenerativnog kola sa sl.1. pri promjeni ulaznog napona između pojedinih logičkih stanja jednaki su naponima pragova i naponskom histerezu odgovarajućeg MV CMOS regenerativnog kola na ulazu. Oni se izračunavaju na isti način kao i za odgovarajuće MV CMOS regenerativno kolo koje se nalazi na ulazu. Pri tome se uzimaju u obzir konkretni naponi napajanja. Parametri i način projektovanja ulaznog MV CMOS regenerativnog kola utiču na odgovarajuće napone pragova i histerezis cjelokupnog MV BiCMOS regenerativnog kola na isti način kao što utiču na napone pragova i histerezis kod MV CMOS regenerativnog kola koje se koriste na ulazu.

Na ulazu MV regenerativnog BiCMOS logičkog kola (sl.1) u principu se može koristiti bilo koja poznata električna šema MV CMOS regenerativnog logičkog kola. Neka od rješenja MV CMOS regenerativnih logičkih kola opisana su u radovima [4,5,6]. Najpogodnija rješenja MV CMOS regenerativnih kola opisana su u radu [6]. U ovom radu se predlažu i opisuju konkretna rješenja MV BiCMOS regenerativnih logičkih kola koja su bazirana na korišćenju principa opisanih u radu [6].



Predloženi opšti princip sinteze regenerativnih MV BiCMOS logičkih kola daje mogućnost jednostavnog dobivanja takvih kola sa potrebnom logičkom osnovom i potrebnom logičkom funkcijom. Potrebno je samo na izlaz regenerativnog MV CMOS logičkog kola sa odgovarajućom osnovom i odgovarajućom logičkom funkcijom dodati BiCMOS izlazni stepen prikazan na sl.1.

Tako dobivena regenerativna MV BiCMOS logička kola su složenija i sa lošijim karakteristikama u odnosu na kola koja se mogu dobiti korišćenjem opisanog opšteg principa i njegovim kombinovanjem sa konkretnim realizacijama pojedinih regenerativnih MV CMOS logičkih kola. Tako se dobivaju konkretna kompaktna regenerativna MV BiCMOS logičkih kola sa manjim brojem tranzistora, manjom površinom i manjim logičkim kašnjenjima. Konkretni principi i realizacije takvih kola se ilustruju na primjeru kvinternarnih (sa osnovom 5) logičkih kola. Oni se predlažu i opisuju u nastavku ovog rada.

### 3. KOLO IDENTITETA

Predložena električna šema osnovnog kvinternarnog regenerativnog BiCMOS kola, kola identiteta, prikazana je na sl.2. Na ulazu i u povratnoj spregi se nalaze standardni binarni CMOS invertori od kojih je svaki vezan između dva pola izvora za napajanje. Zajedno sa ostalim CMOS tranzistorima, oni upravljaju izlaznim bipolarnim tranzistorima i obezbjeđuju pet BiCMOS logičkih stanja na izlazu. CMOS invertori koji se nalaze u povratnoj spregi obezbjeđuju postojanje histereza u statičkoj prenosnoj karakteristici i povećanu imunost na smetnje. Ni u jednom od pet statička stanja ne postoji struja iz izvora za napajanje.

Kod osnovnog kola na sl. 2 postoji histereza pri svim promjenama ulaznog signala između nivoa logičkih stanja. Smanjena osjetljivost na smetnje i histereza u prenosnoj karakteristici postoje zahvaljujući tranzistorima u CMOS invertorima u povratnoj vezi. Ti tranzistori obezbjeđuju regenerativni proces pri promjeni ulaznog napona.

Približno određivanje naponskih pragova i histereza kola sa sl.2 je moguće na osnovu principa iz radova [4,6]. Pri određivanju odgovarajućih pragova i histereza ulazni dio kola se može svesti na oblik binarnih CMOS regenerativnih kola. Kada je cjelokupno kolo simetrično onda ono ima najmanju osjetljivost na smetnje i najbolje karakteristike. Smatraćemo da je  $V_{SS}=0$ ,  $V_{CC1}=V_{CC}$ ,  $V_{CC2}=2V_{CC}$ ,  $V_{CC3}=3V_{CC}$ , i tako redom, što je najpogodnije i najčešće slučaj u praksi.

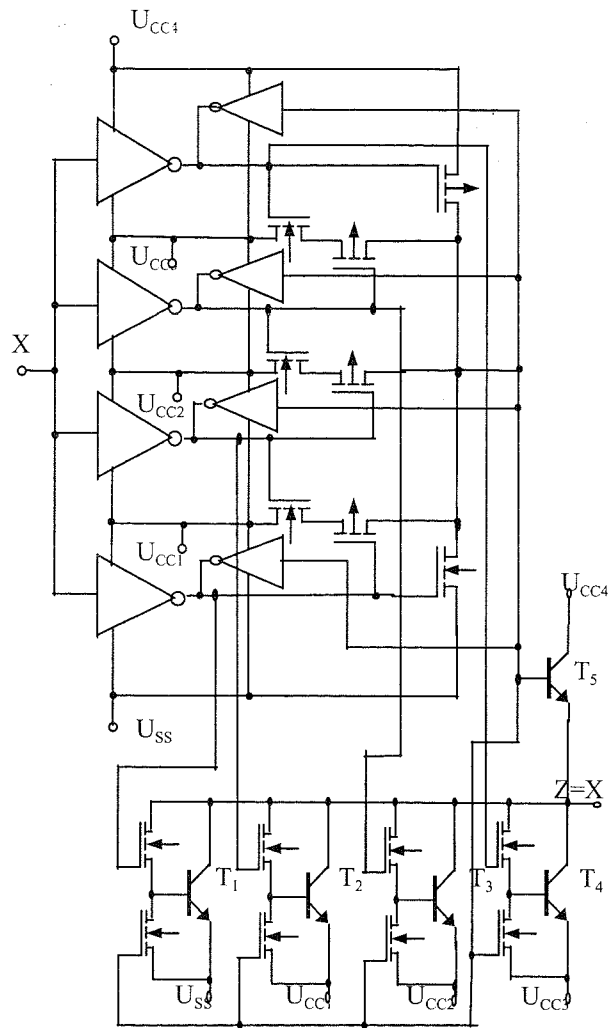
Na osnovu prethodnih pretpostavki mogu se odrediti približni izrazi za napone pragova i histereza osnovnog kola sa sl.2. Ako se ulazni napon mijenja između logičkih nivoa  $(m-1)$  i  $m$ , gdje  $m$  može biti bilo koja logička vrijednost (ovdje kod kvinternarnih kola od 0 do 4), približni izrazi za odgovarajuće napone pragova pri takvim promjenama ulaznih signala su dati sa

$$V_{thm} = \frac{1}{2} [(2m-1)V_{CC} + V_h], \quad (1)$$

$$V_{tim} = \frac{1}{2} [(2m-1)V_{CC} - V_h]. \quad (2)$$

Naponski histereza za bilo koju od mogućih promjena ulaznog napona je približno isti i dat je približno sa

$$V_h = V_{h1} = V_{h2} = \dots = \frac{V_{dd} (3V_{CC} - 4V_m)}{4k (V_{CC} - 2V_m)} \quad (3)$$



Sl.2. Šema kvinternarnog regenerativnog BiCMOS kola identiteta.

U prethodno datim izrazima koeficijent  $k$  je odnos transkonduktansi (konstanti  $\beta$ ) MOS tranzistora u ulaznim CMOS invertorima i CMOS invertorima u povratnoj spregi. Koeficijent  $k$  je ovdje dat sa  $k = \beta_1/\beta_0$ , gdje je  $\beta_1$  konstanta  $\beta$  ulaznih MOS tranzistora, a  $\beta_0$  je konstanta  $\beta$  MOS tranzistora u povratnoj spregi. Sa  $V_m$  su označeni naponi pragova MOS tranzistora.

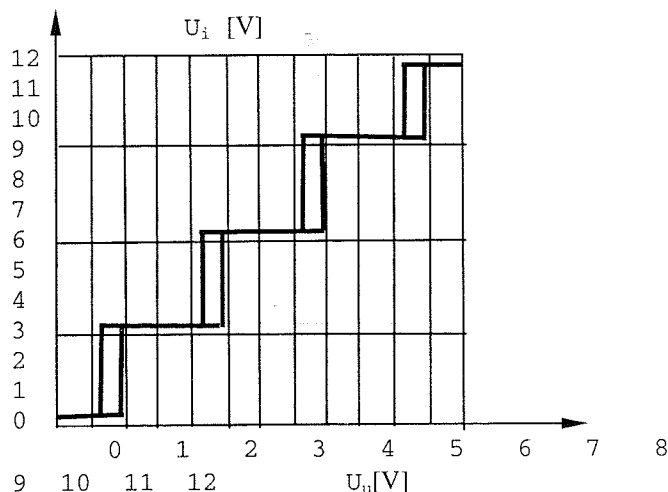
Na osnovu prethodnih izraza se može vidjeti da naponi pragova i histereza zavise od napona napajanja i koeficijenta  $k$ . Naponi pragova i histereza se mijenjaju linearno i povećavaju se sa porastom napona napajanja. Zavisnost napona pragova i histereza od koeficijenta  $k$  je nelinearna i obrnuto proporcionalna. Histereza se smanjuje sa porastom  $k$ .

Što se tiče uslova rada osnovnog kola sa sl.2, slično kao u radovima [4,6], pod uslovom da je kompletno kolo simetrično, može se pokazati da je uslov normalnog funkcionisanja kola približno dat sa

$$k > 1. \quad (4)$$

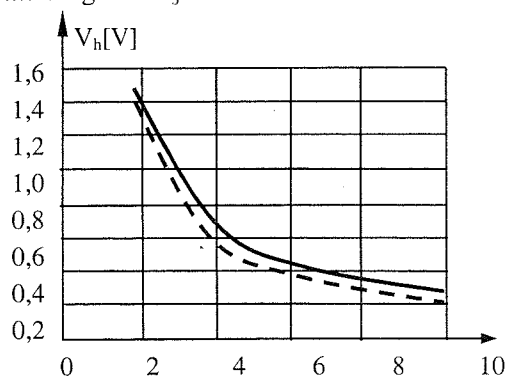
Detaljno su analizirani statički i dinamički parametri kvinternarnog BiCMOS kola identiteta sa sl.2 korišćenjem PSPICE simulacije. Ovdje se daju neki od rezultata simulacije. Na statičku naponsku prenosnu karakteristiku najviše utiču binarni CMOS invertori na ulazu i u povratnoj spregi. Statička naponska prenosna karakteristika kvinternarnog BiCMOS kola sa sl.2 prikazana je na sl.3.

Dobivena je PSPICE simulacijom za napone napajanja  $U_{SS} = 0V$ ,  $U_{CC1} = 3V$ ,  $U_{CC2} = 6V$ ,  $U_{CC3} = 9V$ ,  $U_{CC4} = 12V$  i za parametre CMOS i BiCMOS tehnološkog procesa date u radu [7]. Pri simulaciji je uzeto da svi MOS tranzistori imaju jednake napone pragova. Na prenosnoj karakteristici se uočava histerezis pri svim promjenama ulaznog napona.



Sl. 3. Statička prenosna karakteristika kvinternarnog regenerativnog BiCMOS kola identiteta.

Iz prethodno datih izraza (1), (2) i (3) se vidi da naponi pragova i naponski histerezis zavise od vrijednosti napona napajanja i koeficijenta  $k$ . Očigledno je da se naponi pragova i naponski histerezis mijenjaju linearno i proporcionalno sa promjenom napona napajanja i da se naponski histerezis povećava sa porastom vrijednosti napona napajanja. Zavisnost napona pragova i naponskog histerezisa od promjene koeficijenta  $k$  je nelinearna i obrnuto je proporcionalna, a naponski histerezis se smanjuje sa porastom vrijednosti koeficijenta  $k$ . Na sl.4 je prikazana zavisnost naponskog histerezisa od promjene koeficijenta  $k$ . Dobivena je PSPICE simulacijom (prikazano punom linijom) i na osnovu prethodno datih približnih izraza (prikazano isprekidanom linijom), a za iste ostale uslove kao i pri određivanju naponske prenosne karakteristike sa sl.3. Očigledno je da se teoretski dobiveni približni izrazi mogu praktično koristiti sa malom greškom jer su dosta tačni.



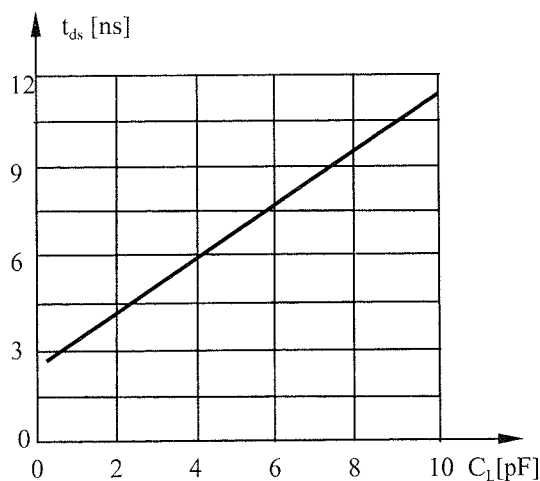
Sl. 4. Zavisnost naponskog histerezisa regenerativnog kvinternarnog BiCMOS kola identiteta od koeficijenta  $k$ .

Dinamički parametri regenerativnog kvinternarnog BiCMOS kola identiteta sa sl.2 prvenstveno zavise od veličine napona napajanja, snage izlaznih bipolarnih tranzistora i kapacitivnog opterećenja kola. Najznačajniji dinamički parametar je srednje vrijeme kašnjenja kola  $t_{ds}$ . Ono se smanjuje sa povećanjem napona napajanja, sa porastom snage izlaznih tranzistora i sa smanjenjem

kapacitivnog opterećenja kola. Zavisnost srednjeg vremena kašnjenja od vrijednosti napona napajanja i veličine kapacitivnog opterećenja je približno linearna, a od snage izlaznih tranzistora nije linearna. Srednje vrijeme kašnjenja u funkciji kapacitivnog opterećenja  $C_L$  je prikazano na sl.5. Rezultati su dobiveni PSPICE simulacijom za iste uslove za koje je dobivena i statička naponska prenosna karakteristika sa sl.3.

#### 4. I LOGIČKA KOLA

Na osnovu predloženih i opisanih principa vrlo jednostavno se mogu realizovati I i ILI regenerativna kvinternarna BiCMOS logička kola sa proizvoljnim brojem ulaza. Dovoljno je da se binarni CMOS invertori na ulazu kola sa sl.2 zamijene binarnim CMOS NI ili NILI logičkim kolima sa potrebnim brojem ulaza. Na sl.6 je prikazan taj princip i principijelna električna šema regenerativnih kvinternarnih CMOS I logičkih kola.

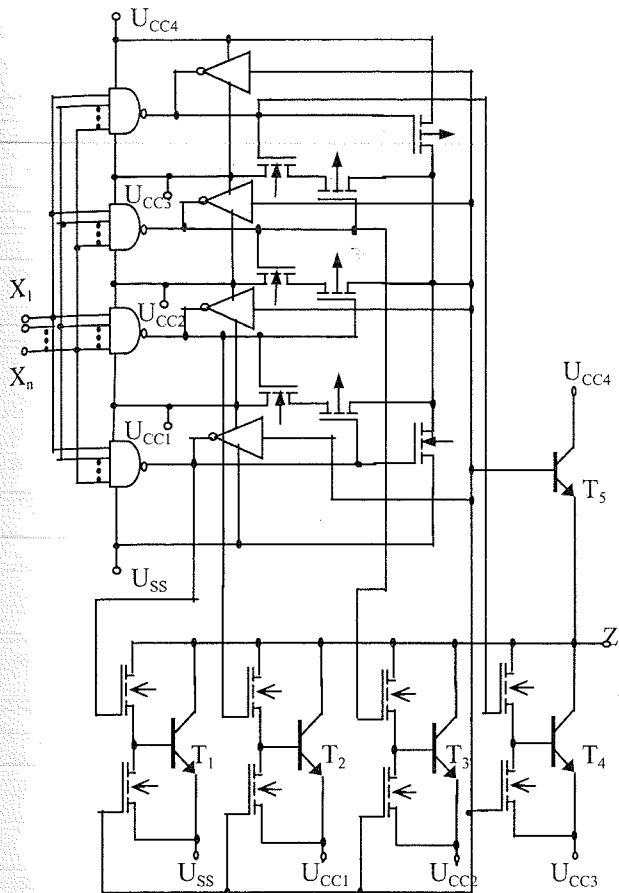


Sl. 5. Srednje vrijeme kašnjenja regenerativnog kvinternarnog BiCMOS kola identiteta u funkciji  $C_L$ .

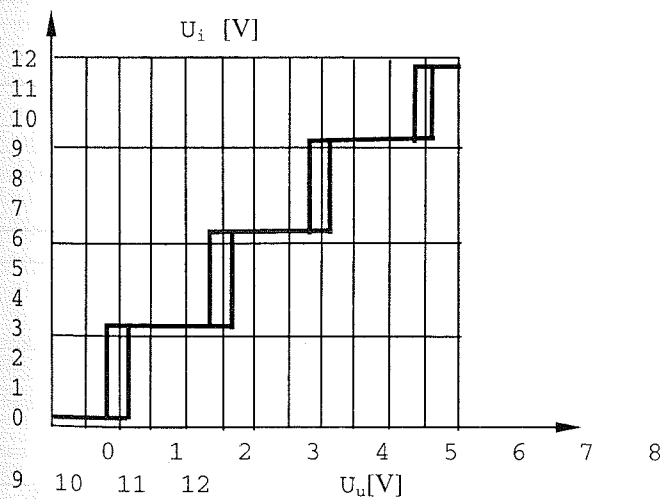
Kod šeme na sl.6 binarna standardna CMOS NI logička kola na ulazu, od kojih je svako vezano između dva pola izvora za napajanje, upravljaju mrežom ostalih MOS tranzistora i izlaznim bipolarnim tranzistorima. Na taj način se dobiva pet logičkih stanja na izlazu, a ukupno kolo realizuje kvinternarnu I logičku funkciju. CMOS invertori koji se nalaze u povratnoj spregi obezbjeđuju postojanje histerezisa u statičkoj prenosnoj karakteristici i povećanu imunost na smetnje čitavog kola. Histerezis i povećana neosjetljivost na smetnje postoje pri promjeni ulaznog napona između svaka dva logička stanja.

Naponska statička prenosna karakteristika I BiCMOS regenerativnog kvinternarnog logičkog kola sa dva ulaza je data na sl.7. Dobivena je PSPICE simulacijom za iste uslove kao i pri određivanju karakteristike za regenerativno BiCMOS kolo identiteta. Napone pragova pri prelazu između pojedinih statičkih stanja definišu binarna CMOS NI logička kola koja se nalaze na ulazu i binarni CMOS invertori koji su u povratnoj spregi. Ti naponi se mogu odrediti na isti način kako se računaju za NI binarna regenerativna CMOS kola. Za određivanje tih napona pragova mogu se koristiti i prethodno date jednačine (1), (2) i (3). Pri tom se moraju koristiti ekvivalentne vrijednosti konstanti  $\beta$  ulaznih MOS tranzistora u ulaznim binarnim NI CMOS logičkim kolima. Kao i kod binarnih regenerativnih CMOS NI kola, naponi pragova ovog kola zavise od broja i kombinacije aktivnih ulaza. Na sl.7 je prikazana karakteristika za slučaj kad su oba ulaza aktivna

na  
ge  
u  
.5.  
oje  
  
to  
na  
em  
zu  
im  
taj  
nih



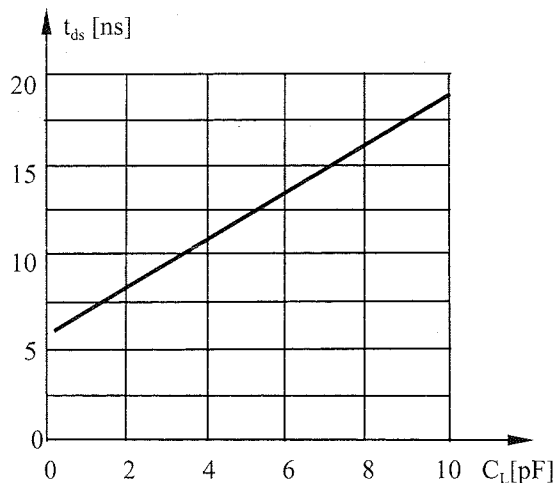
Sl.6. Šema BiCMOS regenerativnog kvinternarnog I logičkog kola.



Sl.7. Statička prenosna karakteristika kvinternarnog regenerativnog BiCMOS dvoulaznog I kola.

Dinamičke karakteristike kvinternarnog I BiCMOS regenerativnog logičkog kola sa sl.6 zavise prvenstveno od vrijednosti napona napajanja, snage bipolarnih tranzistora i kapacitivnog opterećenja kola. Ta zavisnost je istog oblika kao i kod kvinternarnog regenerativnog BiCMOS kola identiteta sa sl.2. Na sl.8 je prikazano srednje vrijeme kašnjenja za dvoulazno regenerativno I BiCMOS kvinternarno kolo u funkciji od kapacitivnog opterećenja  $C_L$ . Ti rezultati su dobiveni PSPICE simulacijom za iste napone napajanja i iste tehnološke parametre kao i pri simulaciji kola

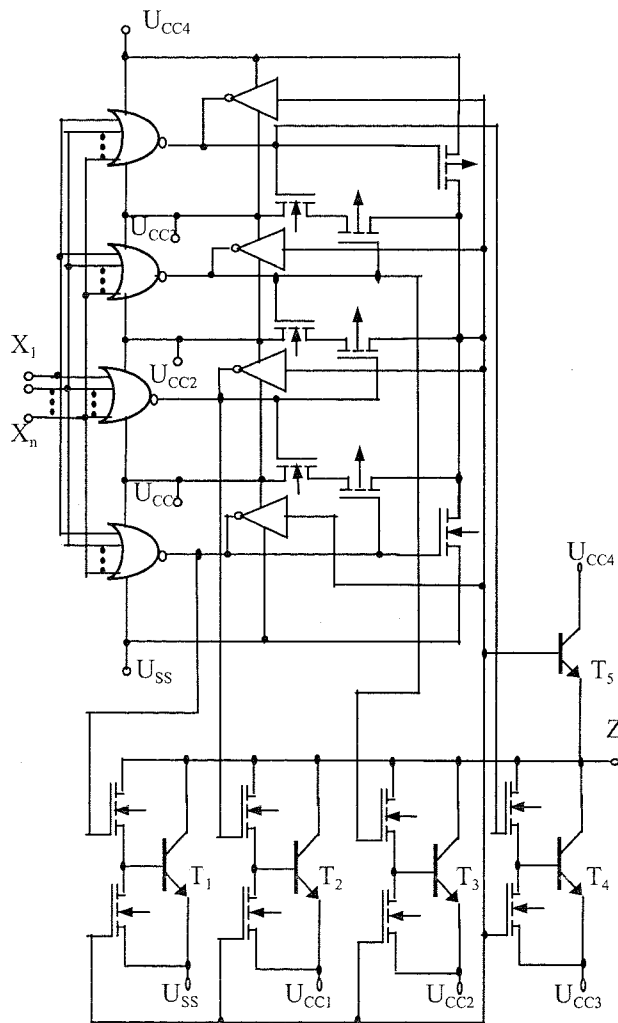
identiteta. Ovdje dati rezultati se odnose na slučaj kad su oba ulaza I kola aktivna



Sl.8. Srednje vrijeme kašnjenja regenerativnog kvinternarnog BiCMOS dvoulaznog I logičkog kola u funkciji  $C_L$ .

### 5. ILI LOGIČKA KOLA

Na osnovu istih principa kao i pri formiranju kola I tipa mogu se jednostavno dobiti šeme kvinternarnih BiCMOS ILI regenerativnih logičkih kola. Na ulazu je dovoljno postaviti standardna binarna CMOS NILI logička kola. Na sl.9 je prikazana principijelna šema ILI BiCMOS regenerativnog kvinternarnog logičkog kola.



og  
  
čka  
ola  
OS  
čin  
olo  
tori  
nje  
anu  
ana  
ona

IOS  
a je  
ove  
vno  
eđu  
ička  
ji su  
ačin  
Za  
dno  
istiti  
tora  
kod  
vovog  
7 je  
a.

### Sl.9. Šema BiCMOS kvinternarnog regenerativnog ILI logičkog kola.

Adekvatno upravljanje izlaznim tranzistorima i kvinternarna ILI logička funkcija na izlazu se dobivaju korišćenjem CMOS NILI binarnih kola. Histerezis u naponskoj statičkoj prenosnoj karakteristici i povećana imunost na smetnje postoje zahvaljujući uticaju binarnih CMOS invertora koji se nalaze u povratnoj spregi.

Kod takvih kvinternarnih regenerativnih BiCMOS kola naponi pragova zavise od karakteristika binarnih CMOS NILI kola na ulazu i karakteristika binarnih CMOS invertora koji se nalaze u povratnoj spregi. Ti naponi se mogu odrediti na isti način kao i za regenerativna CMOS NILI binarna kola sa odgovarajućim naponima napajanja. Za određivanje tih napona pragova mogu se koristiti i prethodno date jednačine (1), (2) i (3). Pri tom se moraju koristiti ekvivalentne vrijednosti konstanti  $\beta$  ulaznih MOS tranzistora u ulaznim binarnim NILI CMOS logičkim kolima. U vezi sa ostalim karakteristikama ovih kola vrijedi slično što i za BiCMOS kvinternarna regenerativna I kola.

## 6. ZAKLJUČAK

Ovdje predloženi i opisani principi i konkretni načini sinteze i realizovanja regenerativnih (Šmitovih) MV BiCMOS logičkih kola su vrlo jednostavni. Baziraju se na korišćenju odgovarajućeg regenerativnog MV CMOS kola na ulazu i predloženo BiCMOS izlaznog stepena. U suštini, na ulazu se nalaze standardna binarna CMOS logička kola. Tip i logička funkcija binarnih standardnih CMOS logičkih kola koja se koriste na ulazu definiše logičku funkciju cijelog dobivenog regenerativnog MV BiCMOS kola. Zahvaljujući standardnim CMOS invertorima koji obezbjeđuju povratnu spregu postoji histerezis u prenosnoj karakteristici i smanjena osjetljivost na smetnje čitavog kola. Bipolarni tranzistori koji se nalaze u izlaznom dijelu čitavog kola povećavaju izlaznu snagu i smanjuju srednje vrijeme kašnjenja pri velikim kapacitivnim opterećenjima.

Sinteza regenerativnih kvinternarnih BiCMOS logičkih kola je takođe jednostavna. Na ulazu se nalaze po četiri standardna binarna CMOS logička kola. Tip i logička funkcija tih binarnih standardnih CMOS logičkih kola definiše logičku funkciju cijelog dobivenog regenerativnog MV BiCMOS kola. Četiri standardna binarna CMOS invertora obezbjeđuju povratnu spregu, histerezis u prenosnoj karakteristici i smanjenu osjetljivost na smetnje. Osnovno predloženo kolo je regenerativno kvinternarno BiCMOS kolo identiteta. Modifikacijom šeme tog osnovnog kola vrlo jednostavno se dobivaju regenerativna kvinternarna BiCMOS logička kola I i ILI tipa. Vrlo jednostavno se dobivaju regenerativna kvinternarna BiCMOS logička kola I i ILI tipa sa bilo kojim brojem ulaza.

Sva predložena i opisana kola su detaljno analizirana korišćenjem PSPICE simulacije. Pri tom su korišteni modeli i parametri MOS tranzistora jednog starijeg 2 $\mu$ m tehnološkog procesa. To je razlog što su simulacijom dobivene relativno velike vrijednosti srednjeg vremena kašnjenja. Pri simulaciji

je korišten navedeni tehnološki proces da bi se dobiveni rezultati mogli uporediti sa rezultatima analiza nekih drugih MV logičkih kola koja su ranije razmatrana i opisana u nekim ranijim radovima.

## LITERATURA

- [1] K. C. Smith, Multiple-valued logic: a tutorial and appreciation, *Computer*, april 1988, pp. 17-27.
- [2] A. K. Jain et al., CMOS Multiple-Valued Logic Design-Part I, Part II, *IEEE Transactions on CAS-1: Fundamental theory and applications*, august 1993, pp.505-522.
- [3] N. R. Shanbhag et al., Quaternary logic circuits in 2 $\mu$ m CMOS technology, *IEEE Journal of Solid State Circuits*, june 1990, pp.790-799.
- [4] Z. Bundalo, D. Bundalo, Ternary CMOS Schmitt triggers, Proceedings of International Conference MIOPEL 93, Niš, 1993, pp. 403-407.
- [5] D. Bundalo, Z. Bundalo, Ternarna regenerativna CMOS logička kola, Zbornik radova 42. konferencije ETRAN, Vrnjačka Banja, 1998, str. 53-56.
- [6] D. Bundalo, Z. Bundalo, A. Ilišković, Regenerativna CMOS logička kola koja koriste više logičkih nivoa, Zbornik radova 47. konferencije ETRAN, Herceg Novi, 2003, tom 1, str. 136-139.
- [7] C. H. Diaz et al. An accurate analytical delay model for BiCMOS driver circuits, *IEEE Transaction on Computer-Aided Design*, no. 5, 1991, pp.577-588.

**Abstract** – *The methods for realization of regenerative digital BiCMOS electronic circuits that use more output logic states are considered, proposed and described in the paper. The general principle for synthesis of scheme of regenerative MV BiCMOS logic circuit that can have any number of logic states and any logic function is proposed and described first. Then the given principle is practically considered and illustrated on example of quinary regenerative BiCMOS logic circuits. The method for realization of basic regenerative quinary BiCMOS logic circuit of identity type is described first. Then the possibilities for realization of such BiCMOS quinary circuits that realize AND and OR logic functions are proposed and shown. The most important characteristics of considered circuits are analyzed and some results obtained by computer simulation are given.*

## REGENERATIVE DIGITAL BiCMOS ELECTRONIC CIRCUITS THAT HAVE MORE OUTPUT LOGIC STATES

D. Bundalo, Z. Bundalo, B. Đorđević

## MODELOVANJA U AUDIOLOGIJI

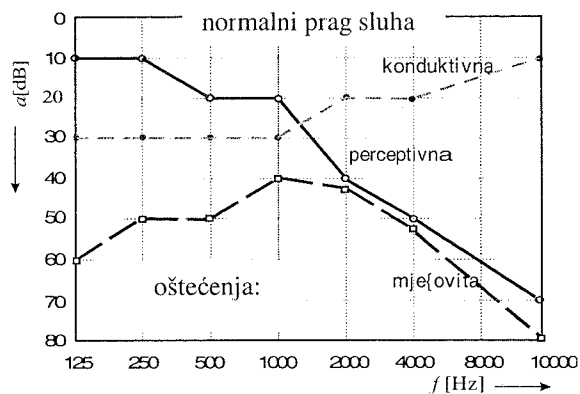
Ferid Softić, Aleksandar Ilišković, *Elektrotehnički fakultet Banjaluka*

**Sadržaj** – Predstavljene su modeli percepcijskih zavisnosti i frekventnih karakteristika uha osoba sa oštećenjem sluha sa uporednim rezultatima više audiometrijskih metoda, standardnih i softverskih, uključujući i originalni program za snimanje audiograma. Date su metode izbora slušnih aparata, načini testiranja te elektronski modeli srednjeg uha, njihove ulazne impedanse kao i prenosne karakteristike.

### 1. UVOD

Ukoliko su predhodno iscrpljene sve druge metode medikamentoznog ili hirurškog liječenja tada se rehabilitacija slušno oštećenih osoba provodi upotrebom slušnih aparata. Donja granica ispod koje ljudsko uho ne registruje signale predstavlja prag čujnosti. On je utvrđen eksperimentalnim putem kao  $p_0 = 20 \mu\text{Pa}$ , a standardizovan je pri frekvenciji  $f = 1000 \text{ Hz}$ . Gornja granica je oređena pojavom bola koja pri  $f = 1000 \text{ Hz}$  odgovara pritisku koji je  $10^6$  puta veći od pritiska na pragu čujnosti  $p_0$ . Odatle proizlazi da je dinamički opseg uha 120 dB. Normalnim sluhom smatra se čujnost čiji je prag do 20 dB.

Ako se prag nalazi između nivoa od 20 dB do 80 dB govorimo o nagluvosti lakog, srednje teškog i teškog tipa. Već kod 40 dB ugrožena je verbalna komunikacija pa je neophodna rehabilitacija.



Sl. 1. Frekventne karakteristike redukovano sluha.

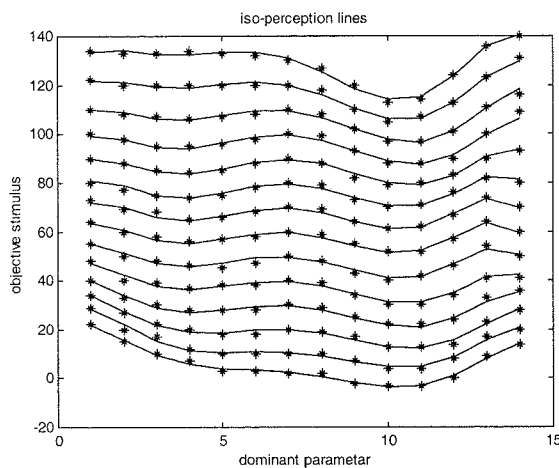
Oštećenja sluha u području preko 80 dB smatraju se gluvoćom. Slušnih oštećenja mogu biti: provodna naglupost (konduktivna), prijemna naglupost i gluvoća (perceptivna) te kombinaciono-mješovita oštećenja (sl.1).

Pri izboru korekcionog elektronskog uređaja bitno je poznavanje audiograma slušnog oštećenja uha. Treba napomenuti da ni prag čujnosti ni prag bola nisu linearne funkcije u datom frekventnom opsegu. Frekventni opseg u kome uho najviše osjeća promjene pritiska kao zvuk i gdje se vrši korekcija sluha nalazi se između 200 Hz i 8 kHz.

### 2. MODELOVANJA LINIJA IZOPERCEPCIJE

Između subjektivnog doživljaja zvuka, odnosno karakteristika subjektivnog osjećaja (glasnoće, visine i boje

i njegovih objektivnih karakteristika (jačine, frekvencije i spektralnih komponenti) postoji jednoznačan odnos. Kako se radi o subjektivnom osjećaju tada se govori o subjektivnoj jačini zvuka. Jačina zvuka u fonima, pri  $f = 1 \text{ kHz}$ , jednaka nivou zuka izraženog u decibelima [1], [2]. Veza između subjektivnog osjećaja glasnoće i objektivnog inzenziteta zvuka pri različitim frekvencijama određena je metodama eksperimentalne psihologije i opisana familijom izofonskih linija. S obzirom da se radi o trodimenzionalnoj funkciji subjektivne karakteristike percepcije pogodno je uraditi dvodimenzionalno polinomsko fitovanje [3], [4].



Sl. 2. Dvodimenzionalno polinomsko fitovanje linija izopercepcije.

Pri tome se svaka pojedinačna linija izopercepcije mora modelovati odvojeno (sl.2). Metoda najmanjih kvadrata kreira polinom, koji predstavlja fitovanje kroz dati broj tačaka. Koeficijenti  $P$ -tog reda polinomskog modeliranja zavise od subjektivne percepcije i moraju biti modelirani polinomima  $Q$ -tog reda koji upravo zavise od subjektivne percepcije. Izraz za izračunavanje objektivnog intenziteta kao funkcije subjektivne percepcije i dominantnog parametra:

$$S = \sum_{j=0}^P \left( \sum_{i=0}^Q a_{ij} p_s^i \right) d^j$$

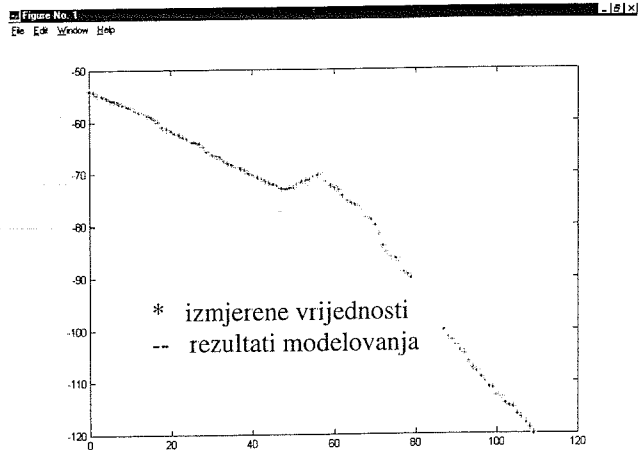
gdje je  $S$  intenzitet podražaja,  $p_s$  je subjektivna percepcija,  $d$  dominantan parametar, dok su  $a$  koeficijenti polinoma.

Standardizovane izofonske linije jednake jačine zvuka u zavisnosti od frekvencija su približno ekvidistantne što omogućava logaritamski karakter fona. Ovakav pristup korišten je pri izradi originalnog softvera za snimanje audiograma [5].

### 3. TEHNIKE MJERENJA

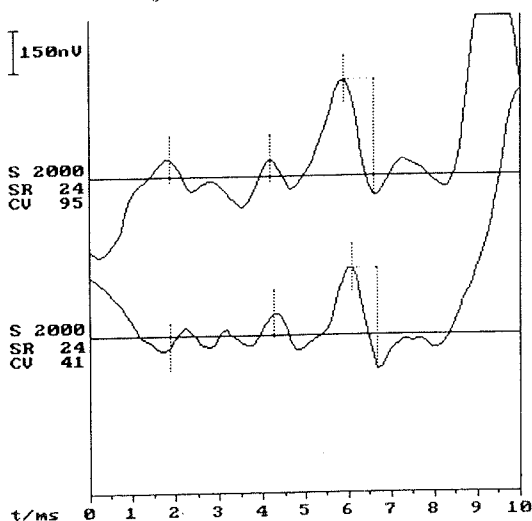
Fonometrija, kao tehnika mjerenja subjektivnog osjećaja sluha, mjeri karakteristike zvučnog stimulansa pa iz tih rezultata određuje karakteristike osjećaja. Metoda ispitivanja sluha, koja se dijeli na subjektivnu i objektivnu, vrši ispitivanje sluha na osnovu upoređivanja sa standardima

dobijenim na bazi istraživanja i mjerenja kod velikog broja ljudi normalnog sluha. Pri tome se određuju granice slušnog polja kako u pogledu intenziteta tako i frekvencija. Koriste se standardne metode snimanja audiograma kliničkim audiometrom CA ili pak korištenjem namjenskog ili originalnog softvera [5]. Na slici 3 predstavljena je individualna frekventna karakteristika uha snimljena programskim putem te polinomski modelovana polinomom šestog reda.



Sl. 3. Individualna frekventna karakteristika uha pacijenta.

Zavisno od puta mjerenja se svode na određivanje vazdušne i koštane provodnosti. Tipovi mjerenja su: AC - (Air Conduction) vazдушna provodnost u funkciji frekvencije, BC - (Bone Conduction) koštana provodnost na pojedinim frekvencijama, UCL-nivo neugode [6].



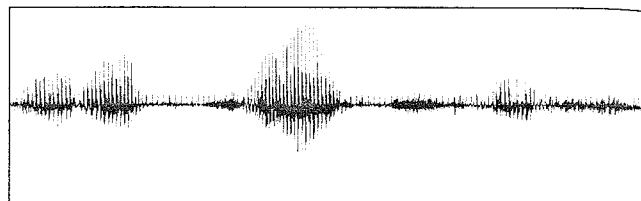
Sl.4. Vremenski odziv normalnog nalaza (Bera).

Vrlo pogodna metoda za dijagnosticiranje slušnih oštećenja u osnovi audiometrije evociranih odgovora je registracija elektropotencijala koji nastaju u centrima neuronske aktivnosti na slušnom putu pri obradi zvučne informacije. Postoji više vrsta auditivnih evociranih potencijala BERA (Brainstem Evoked Response -Hortmann neurootometry) prema dijelu auditivnog sistema u kome nastaju, a razlike se zapažaju u vremenu nastanka u odnosu na emitovanje zvučnog stimulusa [7]. Klinička upotreba evociranih auditivnih potencijala omogućava otkrivanje gubitka funkcije ili poremećaja funkcija auditivnog sistema,

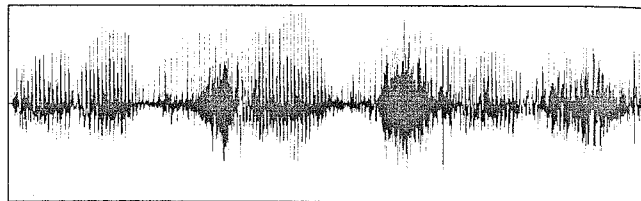
pomoć pri određivanju anatomske lokalizacije bolesti, objektivno praćenje promjena u stanju pacijenta u toku vremena. Na sl. 4 predstavljen je vremenski oblik signala pacijenta sa normalnim sluhom.

Evocirane akustičke potencijale karakterišu veoma male amplitude koje se nalaze u rasponu od  $0.1\mu V$  do  $20\mu V$ , a zajedno sa pozadinskim talasima usled normalne moždane aktivnosti mogu da iznose do nekoliko stotina mikrovolti. Izdvajanje talasa auditivne električne aktivnosti od ostale moždane aktivnosti postiže se programskim usrednjavanjem na bazi većeg broja uzoraka (npr. 2000).

Vremenski oblik reprodukovano govornog signala zavisi od načina kompresije signala. Za izvorni signal (prema izgovorenim riječima *korekcija sluha*) čiji je vremenski oblik dat sl. 5, dobijen je kompresovani signal predstavljen na sl. 6 (primjer kompresije tipa vokal).



Sl.5 Vremenski govorni signal - korekcija sluha



Sl.6. Govorni signal sa kompresijom - tipa vokal

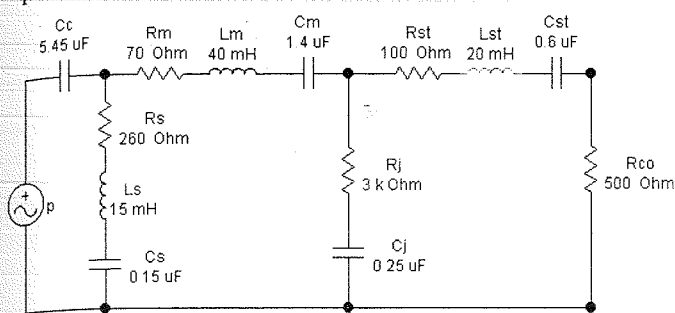
Obrada signala (kompresija, pojačanje cijelovito ili segmentno) mora biti takva da omogućava osobi sa slušnim oštećenjem ugodno slušanje. Posebno pogodan način je korištenje računara prilikom slušanja muzike ili bilo kakve zvučne reprodukcije. Potrebno je snimiti audiogram a zatim odrediti oblik potrebne korekcionne zavisnosti do nivoa normalnog sluha. Zatim se snima željeni muzički fajl te obrađuje prema datoj korekcionnoj zavisnosti. Pacijent sa oštećenjem sluha ne mora tada koristiti slušni aparat u svom ambijentu [8].

#### 4. ELEKTRIČNI MODELI UHA

Za projektovanje sklopova i podešavanje individualne frekventne karakteristike uha potrebno je poznavati elektronski model uha. Na osnovu istraživanja velikog broja autora i njihovih rezultata pokazano je da se uho može predstaviti analognim elektroakustičkim simulacionim kolima. Standardna ekvivalentna šema uha publikovana je u IEC Publication 318.

Modifikovana ekvivalentna analogna šema srednjeg uha prezentovana je na sl. 7 [9], [10]. Kapacitivnost na ulazu  $C_e$  prezantuje kombinovan uticaj volumena bubne opne. Elementi  $R_s$ ,  $L_s$ ,  $C_s$  modeluju efekte onih dijelova ušnog bubnjica čiji pokreti nisu efikasni u provođenju od bubnjica do čekića, dok  $R_m$ ,  $L_m$  i  $C_m$  pokazuju efekte mase, trenja i propustljivosti zajedno sa kompleksom dijela ušnog bubnjica usko povezanog sa čekićem. Dio šeme koji opisuje funkciju uzengije sadrži ekvivalentni otpor  $R_{st}$ , provodnost  $L_{st}$  i

kapacitivnost (propustljivost)  $C_{st}$  zajedno sa strukturom prstenastog ligamenta, dok  $R_{co}$  predstavlja otpornost kohlee. Uticaj zgloba (incudostapedial joint) modeluje se paralelnom granom  $R_j$  sa  $C_j$ .



Sl. 7. Analogni model srednjeg uha.

## 5. IZBOR SLUŠNIH APARATA

Prema dijagnosticiranim oštećenjima vrši se odabir i podešavanje slušnog aparata ili projektovanje specifičanog korekcionog elektronskog sklopa prema datoj individualnoj frekventnoj karakteristici osobe oštećenog sluha.

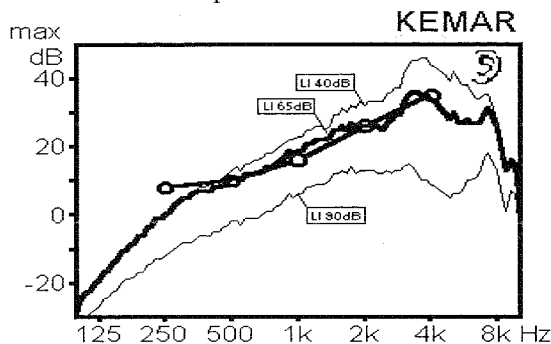
Programiranje slušnih aparata može se izvesti specijalizovanim softverom proizvođača slušnih aparata (napr. CONNEXX) za personalne računare te PMC (Programmable Multi-Chanel) sistema konstruisanog za tu namjenu što olakšava rad audiologa sa različitim tipovima slušnih aparata jednog ili više proizvođača (Phonak, Oticon, Rexton).

Na osnovu tonalnog audiograma pacijenta dobija se krivulja ciljanog pojačanja (Target Gain) koja se snima u slušni aparat. U praksi je često potrebno izvršiti korekciju pojačanja pri čemu formulu za izračunavanje potrebnog pojačanja-ciljana krivulja, koja najbolje kompenzuje slušno oštećenje, određuje audiolog u saradnji sa pacijentom [9]. Za određivanje ciljanog pojačanja u praksi se koristi veći broj korekcionih relacija kao što su: BERGER BTE (za izaušne aparate); BERGER ITE (za starije tipove aparata u uhu); NAL-R; POGO II; 1/3 Gain; 1/2 Gain; FIG 6 (K-AMP) (za nelinearne slušne aparate); DLS I/O (za tipove aparata sa uskim propusnim opsegom). Pacijent odabira pojačanje (pri kome mu je slušanje najugodnije), automatsku kontrolu pojačanja (AGC), kompresiju (PC) te naknadna podešavanja ukupnog pojačanja kao i u domenu niskih i visokih frekvencija uz korištenje posebnog mikrofonskog niza [11].

Mjerenja karakteristike slušnog aparata se standardno izvode pomoću zvučne kutije, FONIX-a, ali se razlikuju od uslova stvarnog slušanja jer ne uzimaju u obzir efekat sjenčenja od glave ili tijela korisnika, a ne prave ni razliku u rezultatima između različitih tipova: BTE-izaušnih, ITE-ušnih, ITC-kanalnih (sl.10). Frekventna karakteristika slušnog aparata daje zavisnost pojačanja  $G[\text{dB}]$  od frekvencije  $f[\text{Hz}]$  (sl.8).

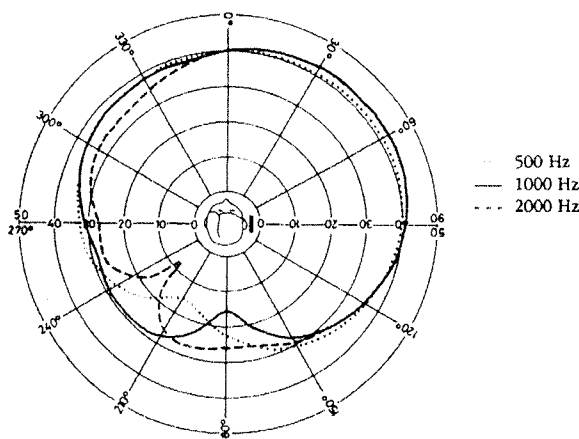
Da bi se dobila kompletna slika stanja sluha i njegove korekcije kod pacijenta neophodno je, prilikom snimanja, uzeti u obzir difrakciju talasa oko glave i torza. Takva mjerenja vrše na KEMAR-u (Knowles Electronic Manikin for Acoustical Research) koji se smješta u slobodno polje, a zvušni pritisak se mjeri na bubnoj opni simulatora uha [10]. Mjerenja na KEMAR-u se izvode prema standardima ANSI S3.35 i IEC 118-8 s tim što se rezultati prema IEC 118-8

uzimaju samo kao informativni. Na sl. 9 dati su rezultati mjerenja pojačanja u slušom frekventnom opsegu pri različitim intenzitetima pobude.



Sl. 9. Karakteristike pojačanja (tri nivoa i srednja vrijednost).

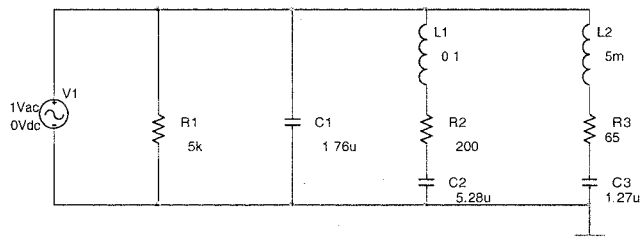
Oblik slušnog polja kod snimanja prostiranja talasa u polarnim koordinatama prezentovan je na sl.10.



Sl. 10. Oblik slušnog polja.

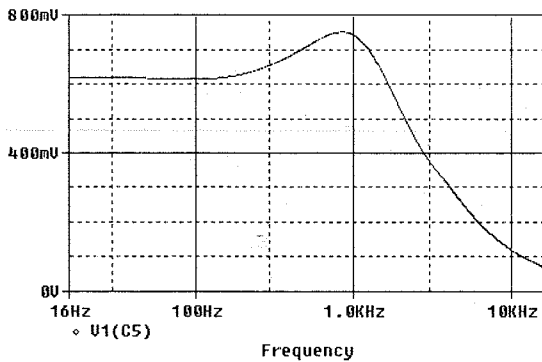
## 6. EKSPERIMENTALNI REZULTATI

Pri projektovanju sklopa za korekciju frekventne karakteristike uha neophodno je raspolagati informacijama o uhu kao što je audiogram sa snimljenim pragom čujnosti svakog pojedinačnog pacijenta te potrebna prenosna funkcija elektronskog modela uha.

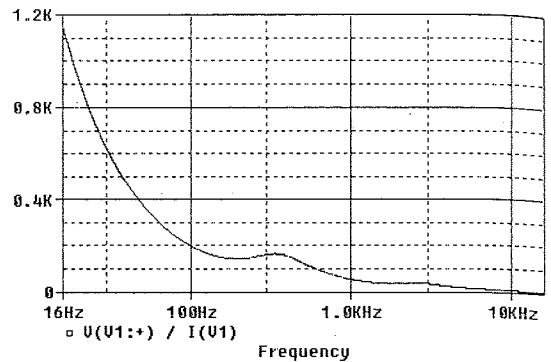


Sl. 11. Ekvivalentna šema uha (model 1).

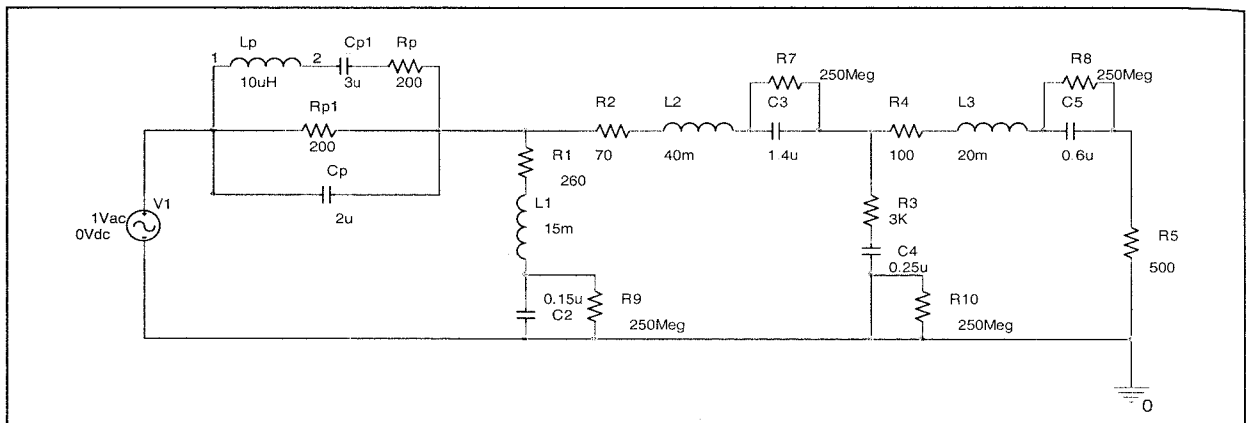
U audiološkoj laboratoriji izvršena su snimanja audiograma slušno oštećenih osoba. Da bi se kompenzirala nastala oštećenja neophodno je da frekventna karakteristika korekcionog pojačavačkog sklopa ima takav oblik frekventne zavisnosti pojačanja (Insertion Gain) da zajedno sa karakteristikom otvorenog kanala uha (Open Ear Canal Resonance) dostigne potreban decibelski nivo za normalno slušanje. Frekventna zavisnost prenosne karakteristike je predstavljena na sl. 12, dok je ulazna impedansa kao funkcija frekvencije data na sl. 13 (OrCAD 9.2).



Sl.12. Frekventna karakteristika modela 1.



Sl.13. Ulazna impedansa uha u zavisnosti od frekvencije.



Sl. 14. Prošireni elektronski model uha.

Na sl.14. dat je prošireni elektronski model uha. Na osnovu rezultata mjerenja kod više pacijenata sa standardnim oštećenjima sluha, opseg potrebnog pojačanja signala se kretao od 35 dB pri frekvenciji od 200 Hz (kao i pri 4,7 kHz) do 55 dB pri od 1 kHz. Mjerenja ispitivanog uzorka u kojima je bilo pacijanata od umjerenih oštećenja do duboke nagluposti pokazala su da se potrebno pojačanje nalazi između 47 dB i 74 dB. Raspon pojačanja iznosi 27 dB [12].

## 7. ZAKLJUČAK

U radu su dati rezultati modelovanja, snimanja audiograma i projektovanja elektronskih sklopova za korekciju frekventne karakteristike uha sa slušnim oštećenjima. Kod modelovanja uha u primjeni su ekvivalentni modeli u kojima figurišu pasivne komponente. Takav model omogućava da se sa većim brojem promjenljivih parametara utiče na oblik individualne frekventne karakteristike uha za svakog pacijenta pojedinačno. Rezultati mjerenja i eksperimenta su predstavljeni u grafičkom obliku.

## LITERATURA

- [1] H. Kurtović: *Osnovi tehničke akustike*. Naučna knjiga, Beograd, 1977.
- [2] S. T. Jovičić: *Govorna komunikacija*, Nauka, Beograd, 1999.
- [3] Z. Babić, F. Softić, S. Kalaba: "Modeliranje izofonskih linija", Zbornik radova XLII Konferencije za ETRAN, str. 469-472, 1998
- [4] Z. Babić, S. Kalaba, Danilo P. Mandić, F. Softić: "Polynomial Modeling in Diagnostic and Perceptual Adjustment System Design", In Proceedings of The International Conference on Software, Telecommunications and Computer Networks, Vol. I, pp. 189-198, 2000.

- [5] F. Softić, Z. Babić, S. Kalaba: "Snimanje frekventne karakteristike uha pomoću računara", Zbornik radova Drugog tematskog seminara Digitalna obrada govora i slike – DOGS, pp. 77-79, 1998
- [6] M. Valente: *Hearing Aids, Standards, Option, And Limitations*, Thieme Medical Publisher, inc New York, Georg Thieme Verlag, Stuttgart -New York, 1995.
- [7] BERA- *Hortmann neurootometry*, MBC – ORL Banjaluka, 2003.
- [8] Z. Babić, F. Softić, S. Kalaba: *Poboljšanje kvaliteta doživljaja zvuka kod slušno ošteđenih osoba*, XLVII Konferencija za ETRAN, str. 422-425, 2003.
- [9] F. Softić: *Nova rješenja elektronskih sklopova za korekciju frekventne karakteristike uha*, doktorska disertacija, ETF Banjaluka, 2002.
- [10] A. Ilišković, F. Softić: *Modelovanje frekventne karakteristike uha konvertorima impedanse*, XLVI Konferencija za ETRAN, Teslić, str. 47-50, 2002.
- [11] B. Widrow: *A Microphone Array for Hearing Aids*, IEEE Circuits and Systems magazine, Vol. 1, No 2, SQ, 2001.
- [12] Medicinska elektronika, *Laboratorija za ORL*, Banjaluka, 2004.

**Abstract** - Establishing of that correlation enables such processing of sound signals which is adjusted to individual characteristics and real environment. Is given correlation between the subjective perception and objective elements. This paper presents an ear model, based on this analysis enables a choice of a corrective electronic circuit.

## MODELLING IN AREA OF THE AUDIOLOGIC

Ferid Softić, Aleksandar Ilišković



## HIGH-SPEED PULSE-WIDTH CONTROL LOOP

Goran Jovanović, Mile Stojčev, Faculty of Electronic Engineering Niš

**Abstract** - The clock distribution and generation circuitry forms a critical component of current synchronous digital systems. Digital system clocks must not only have low jitter, low skew, but also well-controlled duty cycle in order to facilitate versatile clocking techniques. In high-speed CMOS clock buffer design, the duty cycle of a clock is liable to be changed when the clock passes through a multistage buffer because the circuit is not pure digital [8]. In this paper, we propose a pulse-width control loop referred as HSPWCL (High-Speed Pulsewidth Control Loop) that adopts the same architecture as the conventional PWCL, but with two modifications. The first one relates to implementation of the pseudo inverter control stage (PICS), while the second to involvement of adaptive control loop. The first modification provides generation of output pulses during all HSPWCL's modes of operation and the second faster locking time. For 1.2μm double-metal double-poly CMOS process with  $V_{dd}=5V$  and operating frequency of 100MHz, results of SPICE simulation show that the duty cycle can be well controlled in the range from 20% up to 80% if the loop parameters are properly chosen.

### 1. INTRODUCTION

With the rapid advances in deep-submicron CMOS process, modern digital systems operated from hundred kilohertz up to few gigahertz have been successfully developed for several years, such as high-speed high-performance superscalar and VLIW microprocessors, network processors, double data rate SDRAM, and so forth. Since there are more and more functional blocks integrated in the same chip as guided by the concept of system-on-a-chip and system-on-silicon, the skew, jitter, and asymmetric duty cycle clock signal become bottlenecks in realizing high-speed and high-performance digital systems [1].

In order to minimize the negative effects caused by skew and jitter of clock signals, phase locked loops (PLLs) and delay locked loops (DLLs) are used [2]. From one hand in applications where frequency multiplication is required, PLLs represent good candidate design solutions. From the other hand, when there are cases where no clock synthesis is required, DLLs offer an attractive alternative to PLLs due to their better jitter performance, inherent stability, and simpler design [3].

In systems that adopt a double data rate technology, both rising and falling edges of the clock are used to sample input data. These systems require the duty cycle of the clock to be precisely maintained at 50%. Therefore, an important issue is how to generate a clock with precise 50% duty cycle for high-speed operation [4]. Automatic control technology, such as pulsewidth control loop (PWCL) has been widely used for adjusting the output duty cycle of multistage driver for several years and was described by [4], [6], and [8].

In this paper, we address a new approach to achieve a fast-locking PWCL architecture, called HSPWCL. It can be used to control the pulsewidth in multistage clock buffer. Section 2 describes the structure of the proposal referred as

adaptive pulsewidth control loop. The HSPWCL's principle of operation is described in Section 3. Details related to HSPWCL implementation and simulation results are given in Section 4. Section 5 gives a conclusion to this paper with summary.

### 2. HIGH-SPEED PWCL

Block diagram of the HSPWCL is sketched in Fig 1. From functional point of view, the following building blocks can be identified:

- (a) Pseudo-Inverter Control Stage (PICS) – at the output,  $PICS_{out}$ , pulses of variable duty cycle are generated.  $V_{ctrl}$  is used as an input control voltage;
- (b) Clock Buffer (CB) – an inverter chain implemented as odd (even) stages clock driver;
- (c) Charge Pumps (CPx) – two voltage controlled charge pump circuits, CP1 and CP2, of different structure;
- (d) Reference Pulse (RP) – chain composed of two inverters;
- (e) Bias Circuits (BC1 and BC2) – provide control voltages for transistors polarization of CP1, CP2 and PICS;
- (f) Differential-input differential-output operational amplifier (Amp) – acts as an inverting (non-inverting) amplifier in a feedback control loop. For odd (even) number of stages in CB the Amp is implemented as non-inverting (inverting) amplifier;
- (g) Low-pass filter (LF) – filter element in a feedback control loop;
- (h) Charge Pump Controller (CPC) – is implemented as differential amplifier. At its output, the CPC generates control voltage  $V_A$  that is proportional to  $V_{ref} - V_c$  on voltage difference.

In respect to the conventional PWCL proposed by [8], there are several novelties involved into HSPWCL. The first one relates to the PICS, while the second to CP2. In addition, two new building blocks, CPC and BC2 are included into HSPWCL structure. The other constituents, pictured in Fig 1, are of identical (or almost-identical) architectures as those described by [8]. So, their analysis will be omitted in the text that follows.

The signals  $CLK_{in}$  and  $CLK_{out}$  are input and output pulse signals of HSPWCL, respectively. They drive two charge pumps, denoted as CP1 and CP2 (Fig 1). The output voltage  $V_{ref}$  ( $V_c$ ) of the charge pump CP1 (CP2) is directly proportional to the duty cycle of the input signal  $CLK_{in}$  ( $CLK_{out}$ ). Charge pump CP1 (CP2) load capacitor  $C_{11}$  ( $C_{12}$ ) is discharged during the positive pulse period and charged in the rest of the period. The charging and discharging currents are adjusted to be identical. The signal  $CLK_{in}$  is selected as a referent one. Its duty cycle is 50%. Therefore, the voltage  $V_{ref}$  at the output of CP1 is referent.

Due to influence of different propagation delays of the leading and trailing edges of the clock signal, when it passes through the long chain clock buffer, the duty cycle of the  $CLK_{out}$  become unsymmetrical, i.e. different from 50%.

The voltages  $V_{ref}$  and  $V_c$  drive the differential amplifier (Amp). Voltage  $V_{ctrl}$  is generated at the Amp's output. The  $V_{ctrl}$  controls operation of the PICS. When the HSPWCL is in steady-state, the magnitude of control voltage  $V_{ctrl}$  causes the duty cycle of the  $CLK_{out}$  to be 50%.

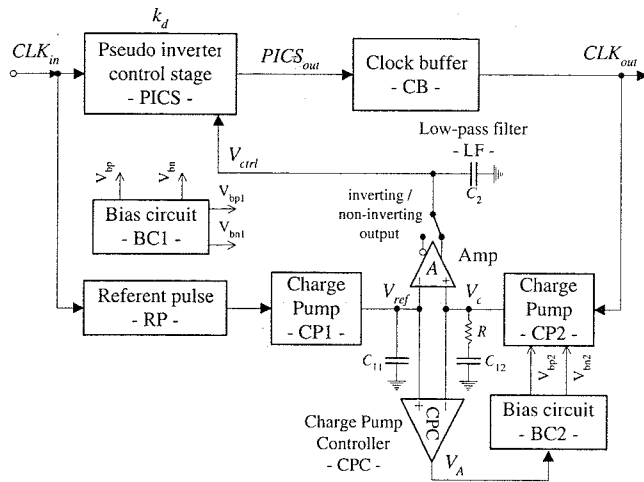


Fig. 1. Block diagram of HSPWCL

### 2.1. Pseudo Inverter Control Stage - PICS

An electrical scheme of the PICS is pictured in Fig 2a). It consists of three N-channel  $N_1$ ,  $N_2$  and  $N_3$ , and three P-channel  $P_1$ ,  $P_2$  and  $P_3$ , transistors. The PICS's equivalent electrical scheme is presented in Fig 2b). Transistors  $P_1$  and  $P_2$  act as constant and variable current sources  $J_1$  and  $J_2$ , while transistors  $N_1$  and  $N_2$  operate as constant and variable current sinks  $I_1$  and  $I_2$ , respectively. Transistors  $P_3$  and  $N_3$  belong to the switching parts of the CMOS inverter. Capacitor  $C_L$  represents a parasitic capacitive load.

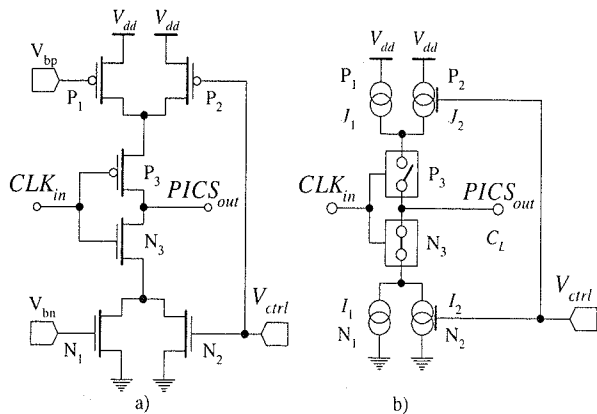


Fig. 2. The block PICS: a) electrical scheme, b) equivalent scheme

The amount of the current of the constant current source (sink)  $J_1$  ( $I_1$ ) indirectly determines the nominal time delay of the leading (trailing) pulse edge at the output  $PICS_{out}$ . The bias voltage  $V_{bp}$  ( $V_{bn}$ ) is used for polarization of transistor  $P_1$  ( $N_1$ ). The variable current source (sink)  $J_2$  ( $I_2$ ) indirectly defines the variable time delay of the leading (trailing) pulse edge. Such a configuration, allows us to achieve controllable time delay for both, leading and trailing pulse edges. Waveforms generated at the output  $PICS_{out}$ , for different values of the control voltage  $V_{ctrl}$ , are shown in Fig 3. As it can be seen from Figure 3, the pulse leading (trailing) edge can vary within the range from  $t_1$  ( $t_3$ ) up to  $t_2$  ( $t_4$ ).

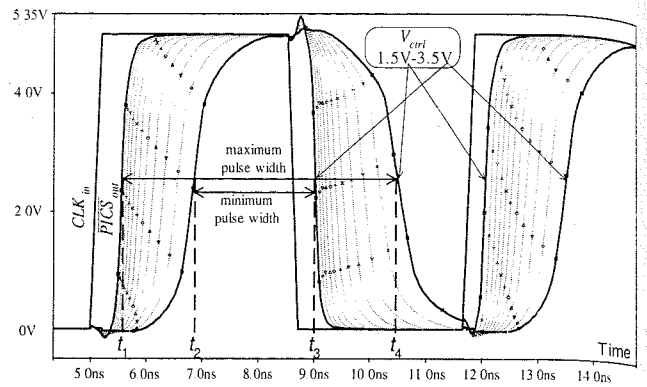


Fig. 3. PICS input and output waveforms

Time delay variation of the leading (trailing) pulse edge, in term of control voltage  $V_{ctrl}$ , is presented in Fig 4. For  $V_{ctrl}=V_{dd}/2=2.5V$  the time delay for both edges is identical. This means that good symmetry in geometry between P and N channel transistors is achieved. If the control voltage  $V_{ctrl}$  decreases, the time delay of the trailing edge increases while the time delay of the leading edge decreases, and vice versa.

In Fig 5, the range of duty cycle variation, in terms of  $V_{ctrl}$ , is shown. Again, duty cycle of 50% for  $V_{ctrl}=V_{dd}/2=2.5V$  is achieved. When  $V_{ctrl}$  decreases the duty cycle increases, by contraries it decreases.

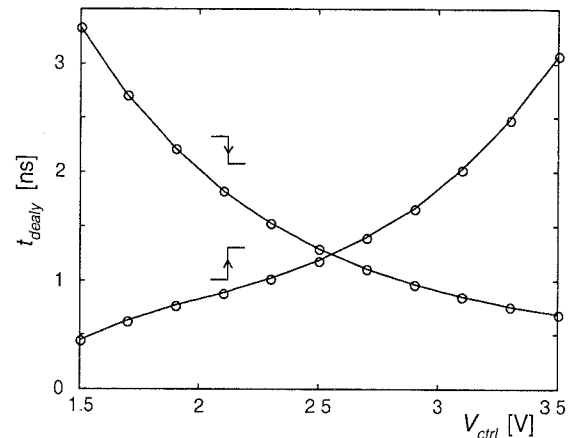


Fig. 4. Delay of leading and trailing edges in term of  $V_{ctrl}$

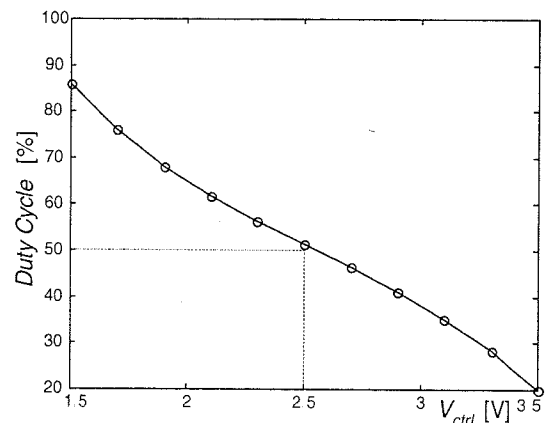


Fig. 5. Duty cycle in term of  $V_{ctrl}$

### 2.2. Charge pump - CP1

An electrical scheme of the charge pump CP1 is given in Fig 6. The CP1 consists of current source,  $P_{r2}$ , and current sink,  $N_{r2}$ , transistor, and two complementary switches  $P_{r1}$  and  $N_{r1}$ .

$N_{r1}$ . The encircled block BC1 generates two output bias voltage signals, denoted as  $V_{bp1}$  and  $V_{bn1}$ . These bias voltages are used for polarization of the current source and sink transistors  $P_{r2}$  and  $N_{r2}$ , respectively.

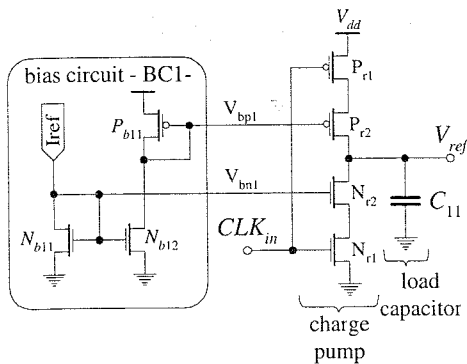


Fig. 6. Electrical scheme of CP1 charge pump

### 2.3. Parallel charge pump - CP2

The charge pump CP2, pictured in Fig 7, is composed of two charge pumps, CP2<sub>1</sub> and CP2<sub>2</sub>, which operate in parallel. The structure of the pump CP2<sub>1</sub> is identical with CP1 (Fig 9). The bias circuit BC2 provides polarization for CP2<sub>2</sub>. The block CPC (Fig 4) defines the magnitude of the control voltage  $V_A$ .

The load impedance of CP2 is realized as a serial connection of resistor  $R$  and capacitor  $C_{12}$ . This connection involves one zero in the transfer function of CP2, and in a transfer function of the HSPWCL. Involving zero in the HSPWCL's transfer function allows us to adjust the damping factor  $\xi$  to optimal value ( $\xi=0.707$ ), and to decrease the transition time in the linear mode during the period of establishment of a steady-state.

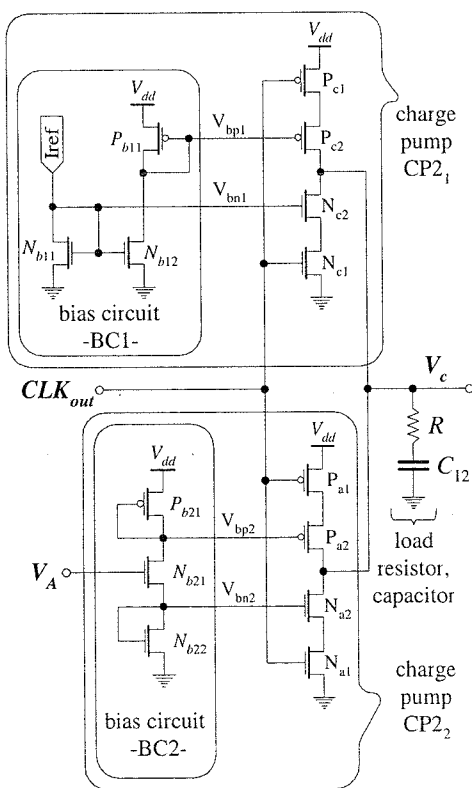


Fig. 7. Electrical scheme of CP2 charge pump

### 2.4. Charge pump controller - CPC

The charge pump controller, CPC, is implemented as an open loop differential amplifier. The gain of the CPC in our case is equal to 20, what means that is small. In Fig 8, at a block schematic level, the interconnectivity among building blocks CPC, BC2 and CP2 is sketched.

The following four different regions: a) positive saturation region; b) positive linear region; c) negative linear region and d) negative saturation region, can be identified during the operation of the CPC. Conditions under which CPC operates in a corresponding region are defined in Table 1.

Table 1: Four regions of operation

polarity and magnitude of input voltage difference	polarity and magnitude of output voltage $V_A$	regions of operation
$V_{ref} - V_c > V_{TH}$	$V_A \sim V_{dd}$	positive saturation region
$0 < V_{ref} - V_c < V_{TH}$	$V_{dd}/2 < V_A < V_{dd}$	positive linear region
$0 > V_{ref} - V_c > -V_{TH}$	$0 < V_A < V_{dd}/2$	negative linear region
$V_{ref} - V_c < -V_{TH}$	$V_A \sim 0$	negative saturation region

Notice:  $V_{TH}$  is minimal input voltage difference ( $\min(V_{ref} - V_c)$ ) for which the CPC enters in saturation

When CPC operates in positive saturation region, the HSPWCL is in nonlinear mode. Bias circuit BC2 detects the positive saturation region and accordingly activates a corresponding circuit that enable the current  $I_{cp}'$ .

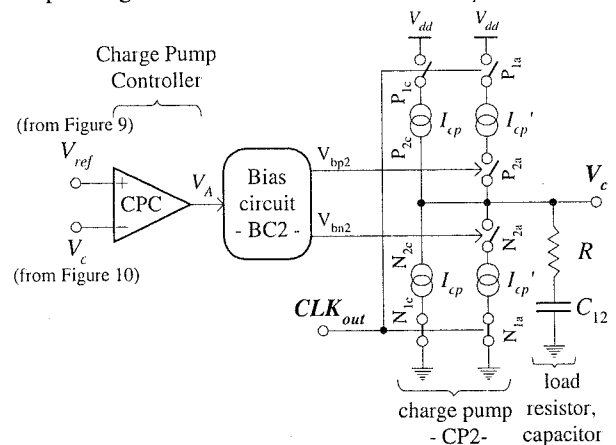


Fig. 8. Charge pump controller

### 2.5. Voltage controlled bias circuits - BC2

This building block, at its input, accepts the control voltage  $V_A$ , and according to its magnitude generates two output control voltages  $V_{bp2}$  and  $V_{bn2}$ . The output voltages  $V_{bp2}$  and  $V_{bn2}$  define the source and sink currents, of the charge pump CP2<sub>2</sub>, respectively. In order to provide normal operating condition to switch ON/OFF of the CP2<sub>2</sub> the input control voltage  $V_A$  should be greater than  $2V_T$ , where  $V_T$  is a threshold voltage of the N channel transistor,  $N_{b21}$  or  $N_{b22}$  (see Fig 7).

### 3. PRINCIPLE OF OPERATION

The HSPWCL is a circuit with nonlinear feedback loop. It controls the duty cycle of the clock signal in complex digital circuits. During this operation, from its start to the steady-state, it passes through the following three different modes of operation:

- **Nonlinear mode** - The voltage difference  $V_{ref} - V_c$  is large. The amplifier Amp is saturated and controls voltage  $V_{ctrl} \sim 0V$ . During this period, see Fig 9, the feedback control loop is out-of-order, but the charge pumps CP1 and CP2 are operative. The response time of CP1 is fast ( $V_{ref}$  increases rapidly), while the response time of CP2 is slow ( $V_c$  increases linearly and slowly). At the output  $CLK_{out}$ , pulses of minimal duty cycle (20%) are generated. Let us note that this is one of the crucial difference compared to solutions proposed by [4], and [8]. Namely, at the output of  $CLK_{out}$ , pulses are generated in our proposal during all the time.
- **Linear mode** - when the voltage difference  $V_{ref} - V_c$  becomes less than Amp's input threshold  $V_{lin}$  the amplifier enters a linear mode of operation. From this moment, the linear feedback loop is operative, and corresponding actions concerning corrections of a duty cycle are done.
- **Steady-state mode** - transitions in HSPWCL operation are stabilized so the duty cycle of  $CLK_{in}$  and  $CLK_{out}$  is equalized. The voltages  $V_{ref}$ ,  $V_c$  and  $V_{ctrl}$  take steady-state values.

#### 4.1. Adaptability

When the Amp is in saturation, the HSPWCL is in nonlinear mode. If the condition  $V_{ref} - V_c \leq \frac{V_{dd}}{A} = V_{lin}$ , where  $V_{ref} - V_c$  is Amp's input voltage difference is satisfied, A gain of the Amp and  $V_{dd}$  is a power supply voltage, then the HSPWCL operates in a linear mode. Electrical parameters of the charge pump CP2, load capacitor  $C_{12}$  and charge pump current  $I_{cp2} = I_{cp} + I_{cp}'$  (see Fig 8), directly determine the time duration,  $t_{NL}$ , of the nonlinear HSPWCL mode of operation, according to the following equation

$$t_{NL} = \frac{C_{12} \cdot V_{c,lin}}{I_{cp2}(1 - 2 \cdot D_{CLKout})} \quad (1)$$

where:  $D_{CLKout}$  is duty cycle of  $CLK_{out}$  for  $V_{ctrl} \sim 0$ , and  $V_{c,lin} = V_{ref,steady-state} - V_{lin}$  (see Fig 9).

By analyzing eq. (1) we can conclude that: If during the design phase we keep the load capacitor  $C_{12}$  fixed and increase  $I_{cp2}$ , then we can decrease the time duration of  $t_{NL}$ . In a concrete proposal, the current  $I_{cp}$  is fixed, while the current  $I_{cp}'$  is variable. This possibility allows us to regulate time duration of  $t_{NL}$ .

The fixed current  $I_{cp}$  is switched ON during all three operating modes, while the variable current  $I_{cp}'$  is switched ON in nonlinear mode and switched OFF in linear and steady-state mode. This possibility allows us to decrease drastically the time period  $t_{NL}$ . Having in mind that the proposed HSPWCL architecture, during transition from nonlinear to steady-state, temporally involves, in the feedback loop, additional constituents we say that it is an adaptive one.

In order to achieve adaptability the building block charge pump controller CPC is implemented into HSPWCL (see Fig 1). It detects the operating mode of HSPWCL, and according to this, it switches OFF or ON the charge pump CP2. The block CP2 is part of a charge pump CP2 (see Fig 7).

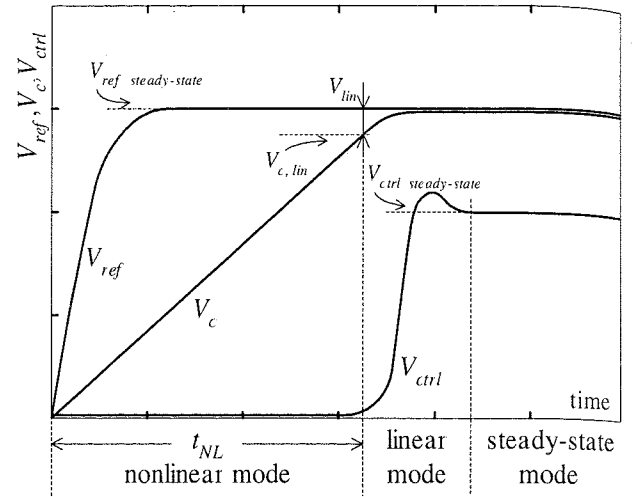


Fig. 9. Transient in HSPWCL

#### 4. HSPWCL SIMULATION RESULTS

SPICE simulation results for HSPWCL circuit in a 1.2μm double-metal double-poly CMOS process with  $V_{dd} = 5V$  supply voltage and operating frequency 100MHz, are presented in Fig 10. Comparative, results that relate to the conventional PWCL and proposed HSPWCL, in Fig 10 (a) and (b), are given respectively. Identical building blocks PICS, CP1, Amp, BC1 are used for both simulations. In both cases, the clock buffer (CB) has 7 stages with tapering factor of 1. Related to conventional PWCL, CP2 is replaced with charge pump whose current is variable in HSPWCL charge pump. Additional blocks CPC and BC2 are used for current regulation in charge pump CP2.

The circuit's model in linear mode is described by the second order transfer function (8). The desire system's dynamic is defined by choice of the dumping factor  $\xi$  and natural frequency  $\omega_n$ . If the dumping factor is  $\xi = 0.707$  and natural frequency is  $\omega_n = 3 \cdot 10^7 \text{ rad} \cdot \text{s}^{-1}$  according to equation (11) and (12) other circuits parameters are determined as:  $I_{cp1} = I_{cp2} = I_{cp} = 10\mu A$  - corresponds to charge pump current of CP1 and CP2;  $A = 100$  - DC gain of the Amp;  $\omega_0 = 2\pi f_0 = 2\pi 3.5 \text{ MHz}$  - dominant pole of the Amp;  $C_{11} = C_{12} = C = 8 \text{ pF}$  - charge pump capacitor;  $R = 2800\Omega$  - CP2 load resistance;  $k_d = 0.32 \text{ V}^{-1}$  - PICS's sensitivity constant For nonlinear operating mode  $I_{cp2} = I_{cp} + I_{cp}'$  where  $I_{cp}' = 50\mu A$ .

The waveforms at the top in Fig 10 (a) and (b) correspond to curves of  $V_{ref}$  and  $V_c$ . The second waveform in Fig 10 (a) corresponds to the control voltage  $V_{ctrl}$ . Additionally, in Fig 10 (b), the control voltage  $V_A$ , is presented. The two lower waveforms in Fig 10 (a) and (b), depict  $CLK_{out}$  pulses valid for nonlinear mode and steady-state mode, respectively.

We start with our simulation from the instant when the system is powered-on ( $t = t_0$ ). This implies that both charge pumps load capacitors,  $C_{11}$  and  $C_{12}$ , as well as the low-pass filter capacitor  $C_2$ , are discharged. According to the transient response, the following three different modes, in the operation of the feedback loop, can be identified:

a) From  $t_0$  up to  $t_1$  the loop operates in nonlinear mode. Since  $C_{11}$  charges faster, in respect to  $C_{12}$ , at instant  $t_0$  the voltage  $V_{ref}$  becomes greater than  $V_c$  and therefore the output of Amp switches rapidly to lower voltage limit, and the control voltage  $V_{ctrl}$  is 0V. Under this condition at the  $CLK_{out}$ , pulses of minimal pulsewidth are generated. Contrary to the proposals described by [4] and [8], where in the saturation mode the PWCL is inoperative, i.e.  $CLK_{out}$  is blocked, in HSPWCL pulses of minimal duty cycle, at the output of  $CLK_{out}$ , are generated.

b) As the input voltage difference becomes small enough, the amplifier Amp enters linear mode what corresponds to the time interval from  $t_1$  up to  $t_2$ . When the dumping factor  $\xi=0.707$ , transients in linear mode are minimal.

c) Steady-state operation mode characterizes stable-loop operation and corresponds to the time interval after  $t_2$ . During this period, variations of  $V_{ctrl}$  are less than  $\pm 25mV$ , i.e. 1.8% in respect to  $V_{ctrl}$  (1.5V). As it can be seen from Fig 10, the duty cycle of  $CLK_{out}$  in the saturation mode is 20%, and in the steady-state mode it is 51%.

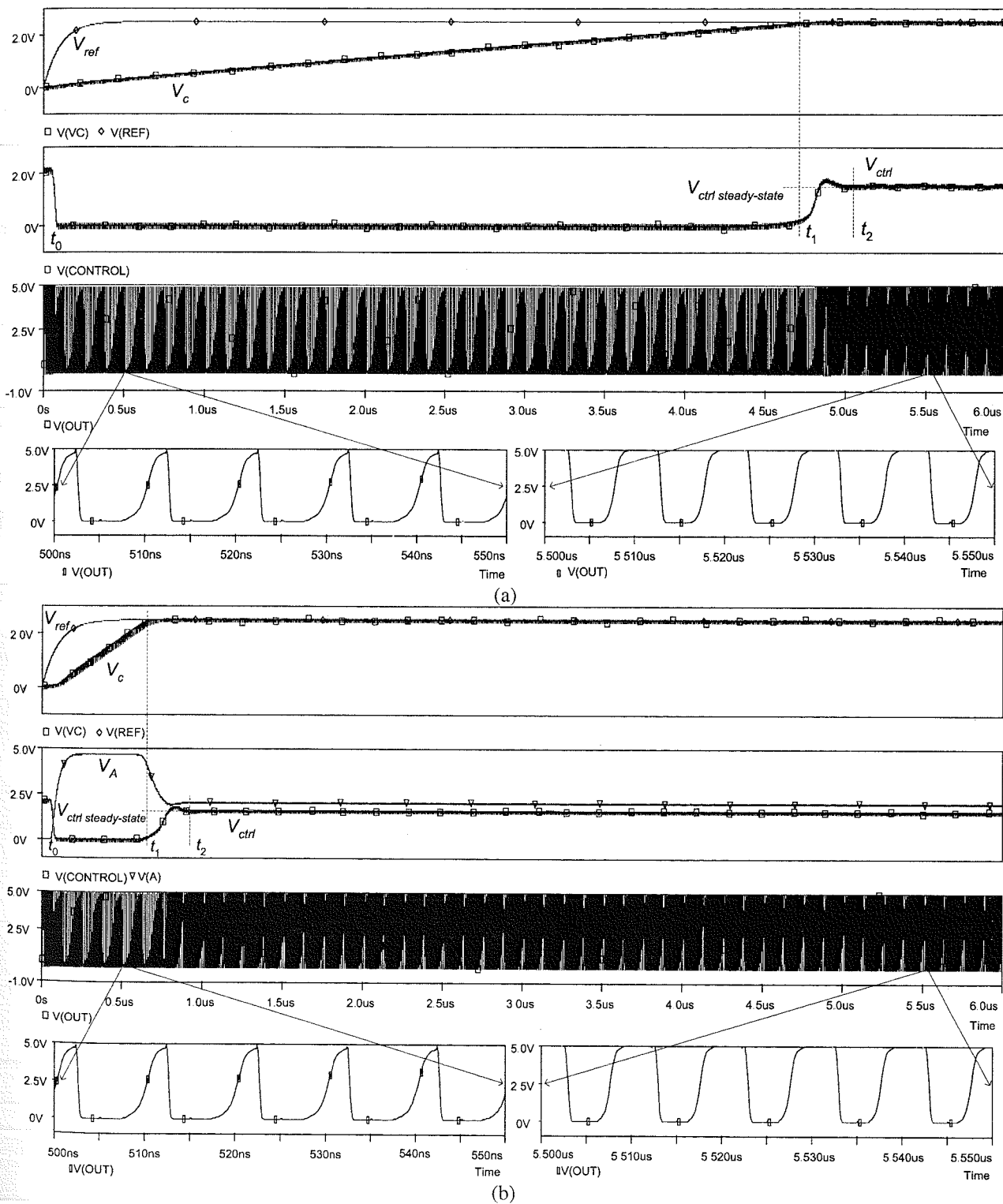


Fig 10. (a) Conventional PWCL and (b) adaptive PWCL simulation results

The main difference between waveforms in Fig 10 (a) and waveforms in Fig 10 (b) relates to the time duration of nonlinear operating mode, from  $t_0$  up to  $t_1$ . The voltage difference between  $V_{ref}$  and  $V_c$  during this period is large and the differential amplifier CPC enters in saturation region. The CP2's control voltage  $V_A$  is approximately equal to the supply voltage  $V_{dd}$  and the current  $I_{cp}$  is active. This means that in nonlinear mode the charge pump CP2 works with current  $I_{cp2}=I_{cp}+I_{cp}'=n I_{cp}=60\mu A$ . Increasing CP2's current by a factor  $n$  means that the time duration of nonlinear mode  $t_{NL}$  is shortened by  $n$ , too (see equation (1)). This possibility provides a condition for fast loop locking time.

## 5. CONCLUSION

Numerous methods for distributing a clock within a VLSI IC have been discussed in the research literature over the years, such as for example [9]. The methods vary from the more obvious solution of using asynchronous communication between locally clocked regions as proposed by [10], to more fancy methods like distributing and standing wave on the clock-wire across the whole chip as described by [11]. However, most of today's researches are targeted towards reducing the clock-skew, jitter and symmetrical duty cycle by improving current clock distribution methods. The clock distribution tree within the VLSI ICs is so large and carries so much capacitance that buffers need to be inserted just to be able to drive the clock-tree in order to have a reasonable clock waveform. When the clock passes through a multistage buffer changes its duty cycle. In order to obtain a satisfactory duty cycle correction a fast locking HSPWCL was proposed. The HSPWCL adopts almost identical architecture as conventional PWCL described by [8] but with two modifications. The first relates to implementation of the pseudo inverter control stage (PICS), which is operative during all HSPWCL's mode of operation. This possibility provides pulses generation at the output of HSPWCL during all mode of operation. The second modification represents involvement of adaptive control loop, which provides shorter transient time of the nonlinear mode, i.e. faster locking time. SPICE simulation results, for  $1.2\mu m$  double-metal double-poly CMOS process with  $V_{dd}=5V$  and 100MHz operating frequency, show that the duty cycle can be controlled in the range from 20% up to 80%.

## REFERENCES

- [1] M. Flynn, P. Hung, K. Rudd, "Deep-Submicron Microprocessor Design Issues," IEEE Micro, vol. 19, No. 4, pp. 11-22, 1999.
- [2] J. Maneatis, F. Klass, C. Afghani, Timing and Clocking, pp. 10.1-10.34, in The Computer Engineering Handbook, ed. by Oklobdzija V., CRC Press, Boca Raton, 2002.
- [3] M. Yongsam, C. Jongsang, L. Kyeongho, J. Deog-Kyoon, K. Min-Kyu, "An All-Analog Multiphase Delay-Locked Loop Using a Replica Delay Line for Wide-Range Operation and Low-Jitter Performance," IEEE Journal of Solid-State Circuits, vol. 35, No. 3, pp. 377-384, March 2000.
- [4] H. Sung-Rung, L. Shen-Iuan, "A 500-MHz-1.25-GHz Fast-Locking Pulsewidth Control Loop With Presettable Duty Cycle," IEEE Journal of Solid-State Circuits, vol. 39, No. 3, pp. 463-468, March 2004.
- [5] V. Oklobdzija, M. Stojanović, M. Marković, N. Nedović, Digital System Clocking: High-Performance and Low-Power Aspects, Wiley Interscience, New York, 2003.
- [6] Y. Po-Hui, W. Jinn-Shyan, "Low-Voltage Pulsewidth Control Loops for SOC Applications," IEEE Journal of Solid-State Circuits, vol. 37, No. 10, pp. 1348-1351, October 2002.
- [7] J. Öberg, Clocking strategies for Networks-on Chip, in Networks on Chip, eds. by Jantsch A., and Tenhunen H., Kluwer Academic Publishers, Boston, 2003.
- [8] M. Fenghao, C. Svensson, "Pulsewidth Control Loop in High-Speed CMOS Clock Buffers," IEEE Journal of Solid-State Circuits, vol. 35, No. 2, pp. 134-141, February 2000.
- [9] Friedman, "Clock Distribution Networks in Synchronous Digital Integrated Circuits," Proc. of the IEEE, vol. 89, No. 5, May 2001.
- [10] H. Johnson, M. Graham, High-Speed Signal Propagation: Advance Black Magic, Prentice Hall, Upper Saddle River, New Jersey, 2003.
- [11] V. Chi, "Salphasic Distribution of Clock Signals for Synchronous Systems," IEEE Trans. on Computers, vol. 43, No. 5, pp. 597-602, May 1994.



---

---

секција Т6

**ОБРАДА И ПРЕНОС СИГНАЛА**

---

---

Z. Perić, J. Nikolić, D. Aleksić	
<b>Analiza metoda konstrukcije skalarnog kvantizera za eksponencijalni izvor</b> .....	96
M. Andrejević, V. Litovski, M. Zwolinski	
<b>ANN application in modeling of MEMS</b> .....	99
S. Bogoslović, M. Stefanović	
<b>Statističke karakteristike kodne reči sa dva simbola signala kod FSK sistema u prisustvu Gausovog šuma i Rayleigh-evog fedinga</b> .....	103
S. Bogoslović, M. Stefanović	
<b>Statističke karakteristike kodne reči sa dva simbola koherentnog ASK signala u prisustvu interferencije i Gausovog šuma</b> .....	106
P. Стефановић, М. Арнаутовић, Б Тодоровић	
<b>Могућности откривања радио мреже при преносу у проширеном спектру техником фреквенцијског скакања</b> .....	109

---

---

## ANALIZA METODA KONSTRUKCIJE SKALARNOG KVANTIZERA ZA EKSPONENCIJALNI IZVOR

Zoran Perić, Jelena R. Nikolić, *Elektronski fakultet u Nišu*  
Danijela R. Aleksić, *Telekom Srbija*

**Sadržaj** - U ovom radu razmatrani su metodi određivanja neophodnih parametara za konstrukciju skalarnog kvantizera za ekponencijalni izvor. Predložen je aproksimativni metod rešavanja transcendentnih jednačina koji na brz i jednostavan način omogućava dobijanje rešenja koja su veoma bliska tačnim rešenjima.

### 1. UVOD

Značajna pažnja posvećuje se dizajnu optimalnog kvantizera za izvore koji se koriste pri kompresiji slike i govora. Eksponecijalni i Laplasov izvor su najčešće korišćeni izvori [1] a metode projektovanja kvantizera su slične. Težnja je da se na što je moguće jednostavniji način proračunaju neophodni parametri za projektovanje optimalnog kvantizera. U ovom radu razmatraćemo skalarni kvantizer za slučaj ekponencijalnog izvora. Najpre ćemo početi sa istaživanjem opšteg problema koji se odnosi na skalarnu kvantizaciju a zatim ćemo se fokusirati na skalarni kvantizer za slučaj ekponencijalnog izvora. Predložićemo jedan veoma brz i jednostavan aproksimativni metod rešavanja transcendentnih jednačina u cilju dobijanja veoma tačnih vrednosti parametara neophodnih za konstrukciju skalarnog kvantizera.

### 2. SKALARNA KVANTIZACIJA

Neka je  $x$  slučajna promenljiva sa funkcijom gustine verovatnoće (pdf) koja je veća od nule u intervalu  $(0, \infty)$  i nula u intervalu  $(-\infty, 0)$ . Bez gubitaka na opštosti razmatramo pdf u ovom kvadrantu. Neka je jedan kvantizer sa  $n$  nivoa  $Q^{(n)}(\cdot)$  definisan skupom od  $n-1$  pozitivnih veličina koraka  $\{\alpha_i\}_{i=1}^{n-1}$  (definišemo  $\alpha_0 = \infty$ ) i skupom od  $n$  nenegativnih udaljenosti reprezentacionog nivoa od donjeg praga odluke  $\{\delta_i\}_{i=0}^{n-1}$  kao što je prikazano na Sl.1.i Sl.2.

Neka su  $\{t_i^{(n)}\}_{i=0}^n$   $n+1$  granica odluke kvantizera date u [2]:

$$t_i^{(n)} = \sum_{j=i}^{n-1} \alpha_j, \quad i = 0, \dots, n \quad (1)$$

pri čemu definišemo da je  $t_{i=n}^{(n)} = 0$ . Neka su  $n$  vrednosti na izlazu kvantizera (vrednosti reprezenata)  $\{y_i^{(n)}\}_{i=0}^{n-1}$  date sa:

$$y_i^{(n)} = t_{i+1}^{(n)} + \delta_i \quad (2)$$

Skalarni kvantizer sa  $n$  nivoa karakteriše sledeća funkcionalna povezanost ulaznog signala i reprezenata na izlazu:

$$Q^{(n)}(x) = y_i^{(n)}, \quad t_{i+1}^{(n)} < x \leq t_i^{(n)} \quad (3)$$

Treba uočiti da indeks  $i$  opada sa povećanjem vrednosti ulaznog signala tj. udaljavanjem od koordinatnog početka na desno. Za razliku od uobičajenog načina definisanja

kvantizera pomoću granica odluke  $\{t_i^{(n)}\}_{i=0}^n$  i vrednosti reprezenata  $\{y_i^{(n)}\}_{i=0}^{n-1}$  definišaćemo skalarni kvantizer pomoću veličina koraka  $\{\alpha_i\}_{i=1}^{n-1}$  i udaljenosti reprezentacionog nivoa od donjeg praga odluke  $\{\delta_i\}_{i=0}^{n-1}$ . Distorzija kvantizera definiše se sa:

$$D_f^{(n)} = \sum_{i=0}^{n-1} \int_{t_{i+1}^{(n)}}^{t_i^{(n)}} d(x - y_i^{(n)}) f(x) dx \quad (4)$$

Verovatnoća pojavljivanja  $y_i^{(n)}$  je:

$$p_i^{(n)} = \int_{t_{i+1}^{(n)}}^{t_i^{(n)}} f(x) dx \quad (5)$$

i ona određuje izlaznu entropiju kvantizera na sledeći način:

$$H_f^{(n)} = \sum_{i=0}^{n-1} p_i^{(n)} \log_2 p_i^{(n)} \quad (6)$$

Naime, generalni cilj je minimizirati distorziju uz ograničenje entropije. Ovaj problem se rešava bezuslovnom optimizacijom proširene funkcije  $J_f^{(n)}$ , koja predstavlja objektivnu funkciju i predstavlja se izrazom iz [2]:

$$J_f^{(n)} = D_f^{(n)} + \lambda H_f^{(n)} \quad (7)$$

pri čemu je  $\lambda$  Lagranžov multiplikator. Kvantizer je optimalan kada ne posotji neki drugi skalarni kvantizer sa  $n$  nivoa koji može ostvariti manju distorziju sa jednakom ili manjom izlaznom entropijom tako da je u tom slučaju minimizirana objektivna funkcija.

Kao mera distorzije najčešće se koristi srednje-kvadratna greška:

$$d_{mse}(\Delta) = |\Delta|^2 \quad (8)$$

i u tom slučaju iz [2] optimalna vrednost udaljenosti reprezentacionog nivoa od donjeg praga odluke je određena izrazom:

$$\delta_i^* = \frac{\int_0^{\alpha_i} x f(x + t_{i+1}^{(n)}) dx}{\int_0^{\alpha_i} f(x + t_{i+1}^{(n)}) dx} \quad (9)$$

Još jedan značajan uslov optimalnosti iz [2] predstavlja se izrazom:

$$d(\alpha_{i+1}^* - \delta_{i+1}) - \lambda \log_2(p_{i+1}^{(n)}) = d(-\delta_i) - \lambda \log_2(p_i^{(n)}) \quad (10)$$

U ovom radu razmatra se slučaj  $\lambda = 0$  tako da se prethodna jednačina tj. uslov optimalnosti svodi na:

$$d(\alpha_{i+1}^* - \delta_{i+1}) = d(-\delta_i) \quad (11)$$



### 3. EKSPONENCIJALNI IZVOR

Razmatramo eksponencijalni izvor bez memorije. Naime, neka je data slučajna promenljiva  $x$  koja ima eksponencijalnu raspodelu i vrednosti koje su veće od neke određene nenegativne granice  $t$ . S'obzirom na činjenicu da je razmatrani eksponencijalni izvor bez memorije uslovna pdf od  $x-t$  biće ista kao i pdf originalne slučajne promenljive  $x$  i data je sa:

$$f_e(x) = \mu^{-1} e^{-x/\mu}, \quad x > 0, \mu > 0 \quad (12)$$

Bez gubitaka na opštosti možemo pretpostaviti da je  $\mu=1$  pa se sada izraz za pdf (12) svodi na:

$$f_e(x) = e^{-x} \quad (13)$$

Korišćenjem izraza (13) a s'obzirom na to da je izvor bez memorije važi sledeća jednakost:

$$f_e(x + t_{i+1}^{(n)}) = e^{-t_{i+1}^{(n)}} f_e(x) \quad (14)$$

Smenom izraza (14) u izraz (9) dobijamo izraz za određivanje optimalne udaljenosti reprezentacionog nivoa od donjeg praga odluke u funkciji širine odgovarajućeg koraka  $\alpha_i$ :

$$\delta_i^*(\alpha_i) = 1 - \frac{\alpha_i e^{-\alpha_i}}{1 - e^{-\alpha_i}} \quad (15)$$

Optimalna vrednost udaljenosti reprezentacionog nivoa od donjeg praga odluke ostvaraju se za optimalnu vrednost širine koraka  $\alpha_i^*$  pa se izraz (15) svodi na:

$$\delta(\alpha_i^*) = 1 - \frac{\alpha_i^* e^{-\alpha_i^*}}{1 - e^{-\alpha_i^*}} \quad (16)$$

a izraz (11) se svodi na:

$$d(\alpha_{i+1}^* - \delta(\alpha_{i+1}^*)) = d(-\delta(\alpha_i^*)) \quad (17)$$

Ako se kao mera distorzije koristi srednje-kvadratna greška, tada iz izraza (17) i (8) dobijamo:

$$(\alpha_{i+1}^* - \delta(\alpha_{i+1}^*))^2 = (-\delta(\alpha_i^*))^2 \quad (18)$$

Umetanjem izraza (16) u izraz (18) i nakon primene jednostavnih matematičkih operacija dobijamo sledeću transcendentnu jednačinu:

$$\alpha_{i+1}^* + e^{-\alpha_{i+1}^*} \left( 1 + \sqrt{\left( \frac{\alpha_i^* e^{-\alpha_i^*}}{1 - e^{-\alpha_i^*}} - 1 \right)^2} \right) = \left( 1 + \sqrt{\left( \frac{\alpha_i^* e^{-\alpha_i^*}}{1 - e^{-\alpha_i^*}} - 1 \right)^2} \right) = 0 \quad (19)$$

Rešavanjem jednačine (19) moguće je odrediti optimalnu veličinu koraka  $\alpha_{i+1}^*$  u funkciji optimalne veličine prethodnog koraka  $\alpha_i^*$ .

### 4. NUMERIČKI REZULTATI

U radu [2] takođe je razmatran slučaj kada je  $\lambda = 0$  a problem rešavanja transcendentne jednačine je rešen uvođenjem Lambertove  $W$  funkcije i određenih aproksimacija.

U ovom radu daćemo znatno efikasnije rešenje ovog problema. Naime, iterativnim rešavanjem transcendentnih jednačina dobićemo rešenja koja su tačna. Za postizanje zahtevanih rešenja neophodno je korišćenje odgovarajućeg programskog jezika. U cilju postizanja približno tačnih rešenja, na znatno jednostavniji način nego što je to urađeno

u [2], predlažemo aproksimativan metod rešavanja transcendentnih jednačina. Naime, uvešćemo sledeću aproksimaciju:

$$e^{-x} \approx e^{-x_0} - (x - x_0)e^{-x_0} \quad (20)$$

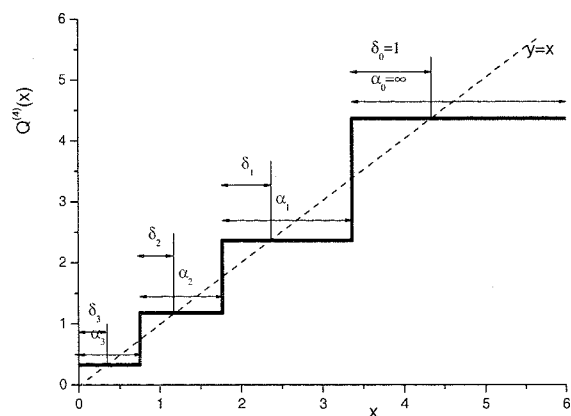
tako da rešavanje transcendentnih jednačina zamenjujemo rešavanjem linearnih jednačina.

Analizom izraza (16) možemo izvršiti predikciju tako da je  $\delta(\alpha_1^*) < 1$  i  $\alpha_1^* - \delta(\alpha_1^*)$  malo veće od  $\delta(\alpha_1^*)$ . Dakle, nećemo učiniti veliku grešku ako uzmemo za inicijalnu vrednost  $\alpha_1^* \approx 2$ . Što je tačnija inicijalna vrednost dobije se brže i tačnije krajnje rešenje. Veoma je bitno obratiti pažnju na činjenicu da se vrednost reprezenta  $y_i^{(n)}$  ne dobija kao aritmetička sredina pragova odluke koji definišu kvantizacioni interval. S'obzirom da je  $\alpha_0^* = \infty$ ,  $\delta(\alpha_0^*) = 1$ , važi:

$$e^{-\alpha_1^*} \approx e^{-\alpha_0^*} - (\alpha_1^* - \alpha_0^*)e^{-\alpha_0^*} \quad (21)$$

iz izraza (19) jednostavno izračunavamo vrednost  $\alpha_1^*$  koju ćemo označiti sa  $\alpha_1^{*(0)}$ . Nakon smene  $\alpha_0^*$  sa  $\alpha_1^{*(0)}$  u izrazu (21) a potom i u izrazu (19) dobijamo novu vrednost za  $\alpha_1^*$  koja predstavlja krajnju vrednost. Postupak određivanja narednih vrednosti širine koraka  $\alpha_i^*$   $i = 1, \dots, n$  je identičan prethodno navedenom postupku određivanja širine koraka  $\alpha_i^*$ .

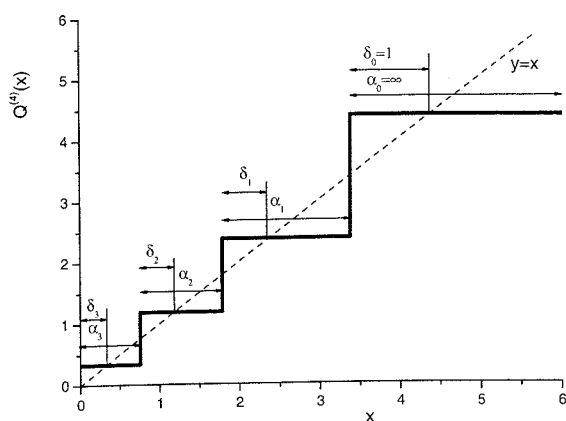
Zavisnost signala na izlazu kvantizera od signala na njegovom ulazu za slučaj MSE-optimalnog skalarnog kvantizera sa četiri nivoa za eksponencijalni izvor je prikazana na Sl.1. i Sl.2. Na Sl.1. vrednosti širine koraka  $\alpha_i^*$   $i = 1, \dots, n$  su dobijene iterativnim rešavanjem transcendentnih jednačina dok su vrednosti širine koraka  $\alpha_i^*$   $i = 1, \dots, n$  na Sl.2. dobijene primenom opisanog aproksimativnog metoda. Poređenjem  $\alpha_i^*$   $i = 1, \dots, n$  na Sl.1. i Sl.2. tj. razmatranjem Tabele 1. a takođe i poređenjem  $\delta_i^*$   $i = 1, \dots, n$  iz Tabele 2. uočava se da su odgovarajuće vrednosti gotovo identične.



Sl.1. Zavisnost signala na izlazu kvantizera od signala na njegovom ulazu za slučaj MSE-optimalnog skalarnog kvantizera sa četiri nivoa za eksponencijalni izvor

Tabela1. Poređenje optimalnih tačnih vrednosti širine koraka, za skalarni kvantizer sa  $n=4$  nivoa, sa odgovarajućim vrednostima koje su dobijene primenom aproksimativnog metoda.

Tačne optimalne vrednosti širine koraka	Optimalne širine koraka dobijene primenom aproksimativnog metoda
$\alpha_0^* = \infty$	$\alpha_0^* = \infty$
$\alpha_1^* = 1.5936$	$\alpha_1^* = 1.5940$
$\alpha_2^* = 1.0175$	$\alpha_2^* = 1.0230$
$\alpha_3^* = 0.7539$	$\alpha_3^* = 0.7583$



Sl.2. Zavisnost signala na izlazu kvantizera od signala na njegovom ulazu za slučaj MSE-optimalnog skalarnog kvantizera sa četiri nivoa za eksponencijalni izvor i primenu aproksimativnog metoda

Tabela2. Poređenje tačnih vrednosti udaljenosti reprezentacionog nivoa od donjeg praga odluke, za skalarni kvantizer sa  $n=4$  nivoa, sa odgovarajućim vrednostima koje su dobijene primenom aproksimativnog metoda

Tačne vrednosti udaljenosti reprezentacionog nivoa od donjeg praga odluke	Udaljenosti reprezentacionog nivoa od donjeg praga odluke dobijene primenom aproksimativnog metoda
$\delta_0^* = 1$	$\delta_0^* = 1$
$\delta_1^* = 0.5936$	$\delta_1^* = 0.5937$
$\delta_2^* = 0.4239$	$\delta_2^* = 0.4257$
$\delta_3^* = 0.33$	$\delta_3^* = 0.3316$

## 5. ZAKLJUČAK

Logika prezentovana u radu omogućava zaobilaznje problema određivanja maksimalne amplitude tj. granularne oblasti koji je veoma bitna i razmatra se u [3] i [4]. Takođe, na osnovu ove analize moguća je jednostavna konstrukcija optimalnog kvantizera koji pored manje kompleksosti u računanju ima manju kompleksnost u memorijskom prostoru. Metodom iterativnog rešavanja transcendentnih jednačina dobijamo rešenja koja su tačna a aproksimativnim metodom rešavanja transcendentne jednačine na brz i jednostavan način dobijamo rešenja koja su veoma bliska tačnim rešenjima. U radu je takodje data jednačina za određivanje udaljenosti reprezentacionog nivoa od donjeg praga odluke u funkciji od širine kvantizacionog intervala.

## LITERATURA

- [1] Zoran Perić, Jelena R. Nikolić, Danijela R. Aleksić, "Mogućnost primene optimalnog zakona kompresije u A/D konverziji govornog signala", Zbornik radova, YUINFO, Kopaonik, 2004.
- [2] Gary J. Sullivan, "Efficient Scalar Quantization of Exponential and Laplacian Random Variables", IEEE Transactions on information theory, vol. 42, No. 5, September 1996.
- [3] Sangsin Na, "On the Support of Fixed-Rate Minimum Mean-Squared Error Scalar Quantizers for Laplacian Source", IEEE Transactions on information theory, vol. 47, No. 7, November 2001.
- [4] Sangsin Na and David L. Neuhoff, "On the Support of MSE-Optimal, Fixed-Rate, Scalar Quantizers", IEEE Transactions on information theory, vol. 47, No. 7, November 2001.

**Abstract** - In this paper we consider methods for determining necessary parameters for constructions of the scalar quantizers for exponential source. The approximation's method for solving transcendental equations are suggested. This method can be used for simply and fast finding for solutions which are very close to the exact solutions.

## ANALYSES OF THE CONSTRUCTION METHODS FOR EXPONENTIAL SOURCE'S SKALAR QUANTIZERS

Zoran Perić, Jelena R. Nikolić, Danijela R. Aleksić

## ANN APPLICATION IN MODELING OF MEMS

Miona Andrejević, Vančo Litovski, *Elektronski fakultet u Nišu*  
 Mark Zwolinski, *University of Southampton*

**Abstract** - New concepts of modeling and simulation of MEMS are proposed, intended to boost the time to market and dependability of such systems. Black-box modeling of non-electronic parts is introduced using artificial neural networks, so enabling radically faster simulation without concurrent algorithms and parallel computation. A lumped model of the capacitive transducer, being the part of a micro-electro-mechanical capacitive pressure sensing system, is created using an ANN.

### 1. INTRODUCTON

Advances in semiconductor technology and related economic developments strongly point to the rapid emergence and significant potential of the new silicon-infrastructure, or design-for-manufacturability, market. The DFM market extends from design implementation, mask synthesis, and advanced lithography techniques. According to [1] in 2003, analysts projected the market to grow 64% to USD 220 million.

Some of the ultimate goals of DFM include isolating designers from process details and making designs foundry-independent. In that regard, the industry has seen a limited number of DFM platforms emerging to date. An ideal DFM platform should include all data including design, lithography, and production manufacturing, and a design system connecting all these phases is still far from reality.

When a model is available and characterised, a design automation solution will be able to allow a designer to extract, analyze, simulate, and optimize the circuit prior to the handoff to manufacturing. This will provide some confidence that the design will function.

This more comprehensive model requires a new infrastructure that supports a feedback loop between designer and manufacturer. The feedback loop should include a means of defining and relaying manufacturing constraints, verifying IC layouts, and demonstrating manufacturing-related issues to the designer.

Simulation, in our opinion, is one of the key issues in the development of such a model. In this paper, new concepts for coping with new challenges will be implemented. Our ideas relating to these concepts are briefly expressed below.

### 2. MEMS SIMULATION

Consider the problem of simulating the simple circuit depicted in Fig. 1. This is a micro-electro-mechanical capacitive pressure sensing system. It consists of an electro-mechanical part that is a capacitor with a deflectable membrane such that a change in pressure results in a change in capacitance, and an electronic switched-capacitor network that generates a pulse train of fixed frequency. The pulse amplitude at the output is related to the capacitance value, so that the whole system converts pressure into pulse amplitude.

For simulation of this and other similar systems we have implemented "Aleccis-the simulator for circuits and systems"

[2], [3], [4], [5], [6], [7], [8], [9]. It is a mixed-signal (analogue and discrete), mixed-level (or mixed-abstraction) (system-level analogue and digital, device-level electrical and gate-level digital, grid-level mechanical), and mixed description (behavioural digital, behavioural analogue, circuit-electrical, gate-digital, algebraic logic and electrical, and partial equation with a set of facilities for boundary condition management). A library of built-in models has been provided.

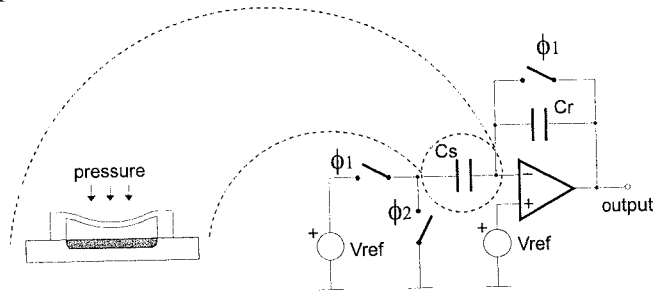


Fig 1. Micro-electro-mechanical capacitive pressure sensing system

In addition, a hardware description language named AleC++ was developed as a superset of C++ in order to make the description of the models tractable [10], [11], [12], [13].

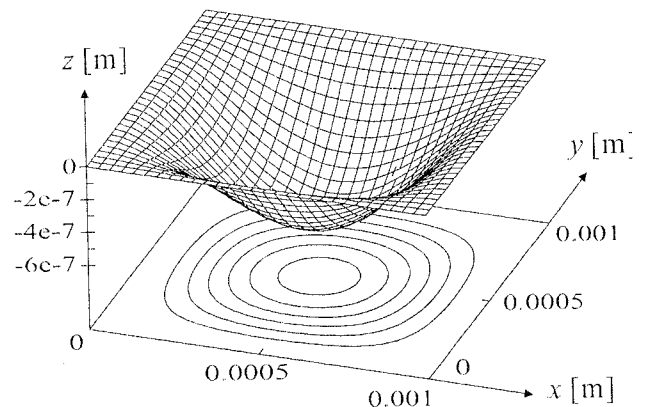


Fig. 2. Displacement of the sensor membrane for simulation time instant 0.0004s

Partial differential equation for the sensor membrane is:

$$D\left(\frac{\partial^4 w}{\partial x^4} + 2\frac{\partial^4 w}{\partial x^2 \partial y^2} + \frac{\partial^4 w}{\partial y^4}\right) = p + \rho h \frac{\partial^2 w}{\partial t^2} + k \frac{\partial w}{\partial t} \quad (1)$$

where  $x, y$  are spatial coordinates,  $p$  is effective pressure,  $w$  is membrane displacement,  $\rho$  is material density,  $h$  is membrane thickness,  $k$  is dumping coefficient and  $D$  is bending rigidity. Equation (1) is applicable only to isotropic materials. Also, it cannot be solved in closed form, numerical solution is necessary.

If the membrane of the rectangular shape is clamped at its edges, than the boundary conditions are:

$$\begin{aligned} w(x=0 \wedge x=L) &= 0, & \frac{dw}{dx}(x=0 \wedge x=L) &= 0 \\ w(y=0 \wedge y=W) &= 0, & \frac{dw}{dy}(y=0 \wedge y=W) &= 0 \end{aligned} \quad (2)$$

$L$  and  $W$  are length and width of the membrane, respectively. Boundary conditions can be changed if bending of the membrane rim is significant and has to be modeled.

For capacitance modeling, a parallel plate approximation is used. Capacitance in Alecsis is modeled by the following expression:

$$C = \epsilon \int_{x=0}^L \int_{y=0}^W \frac{dxdy}{l-w(x,y)} \quad (3)$$

where  $C$  is capacitance,  $\epsilon$  is dielectric constant of the capacitor dielectric material, and  $l$  is distance between the ground plane and the unloaded membrane.

The coupling between mechanics and electronics is modeled according to equation:

$$i = \frac{dQ}{dt} = C \frac{dv}{dt} + v \frac{dC}{dt} \quad (4)$$

where  $Q$  is total charge at the capacitor sensor,  $i$  is electrical current through its contact terminals, and  $v$  is voltage across the capacitor plates.

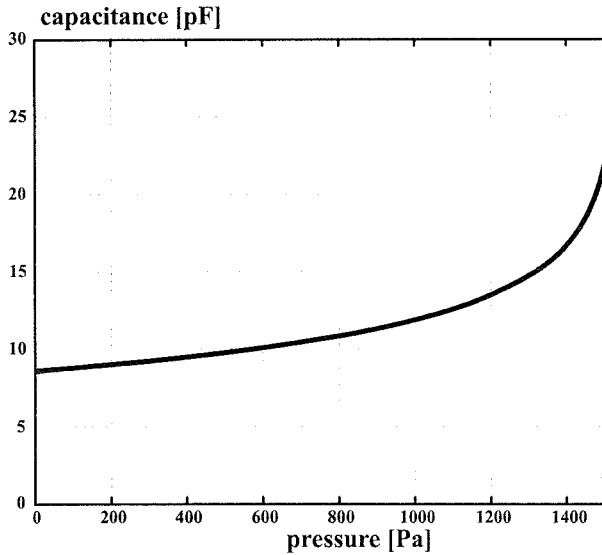


Fig. 3. The capacitance of the membrane of Fig. 1 expressed as a function of pressure. This dependence is also obtained using the ANN structure from Fig. 5

Considering these equations, Alecsis simulation is performed, and dependence of capacitance on applied pressure is presented in Fig. 3.

As an example of MEMS simulation, circuit presented in Fig. 1 is used. Time domain simulation results for the system are given in Fig. 4.

The mechanical and the electrical part are modeled within a single description and the simulation performs simultaneous evaluation of all system variables that are (in this case) displacements, voltages, currents, and states.

The concept proposed in this simulation system has been widely recognized [14], [15], [16], and [17].

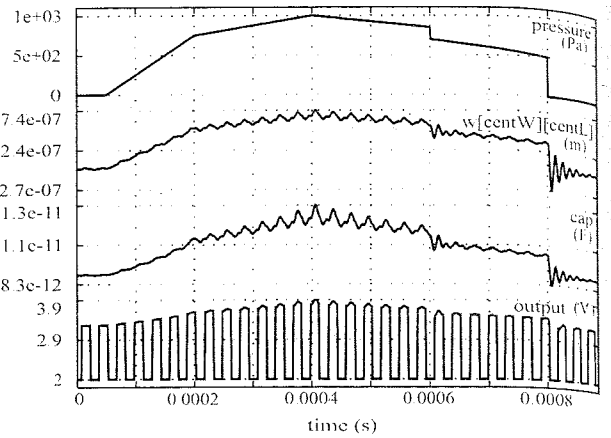


Fig. 4. Time-domain simulation results for the system given in Fig. 1. The traced signals are pressure, displacement of the pressure sensor centre, sensor capacitance, and the output voltage.

### 3. BLACK-BOX MODELING

To start with, an ANN was created to get a lumped model of the capacitive transducer. The ANNs here are considered universal approximators [18], convenient for black-box device modeling. The process starts with the extraction of the  $C(p)$  dependence from the "Alecsis" simulation of the system in Fig. 1., given in Fig. 3.

The structure of the ANN used is depicted in Fig. 5. It is a simple feed-forward ANN with only one hidden layer. The hidden neurons have sigmoidal activation functions, while the output neuron is linear. Table 1 contains the weights and thresholds of the ANN obtained after training with a standard algorithm.

The  $C(p)$  dependence obtained using this neural network is the same as in Fig. 3.

Table 1: Weights and thresholds of the ANN used to approximate the curve of Fig. 3

Hidden layer neurons	Output layer neurons
$w(1,1)(2,1) = 33.1034$	$w(2,1)(3,1) = 2.32691$
$w(1,1)(2,2) = 3.92046$	$w(2,2)(3,1) = 17.8609$
$w(1,1)(2,3) = 4.04654$	$w(2,3)(3,1) = -15.9505$
$\theta(2,1) = -35.6658$	$\theta(3,1) = 0.354662$
$\theta(2,2) = -3.88227$	
$\theta(2,3) = -3.88324$	

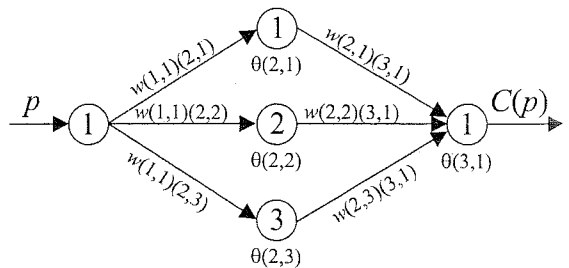


Fig. 5. The ANN structure used for approximation of the curve of Fig. 3. ( $w$  stands for weight and  $\theta$  for threshold)

The capacitor constitutive equation

$$i_c = C(p) \frac{dv_c}{dt} \quad (5)$$

was implemented according to [5]. Discretization was performed first:

$$i_c^{n+1} = C(p^{n+1}) \cdot (A \cdot v_c^{n+1} + B_v^n) \quad (6)$$

where  $A$  and  $B$  are constants derived from the discretization rule.  $n$  stands for the time instance counter.

After that, linearization was applied in order to implement Newton's method for nonlinear analysis. This yields

$$i_c^{n+1,m+1} = i_c^{n+1,m} + G_v^{n+1,m} \cdot (v_c^{n+1,m+1} - v_c^{n+1,m}) + G_p^{n+1,m} (p^{n+1,m+1} - p^{n+1,m}) \quad (7)$$

where

$$i_c(p^{n+1,m}) = i_c^{n+1,m} = C(p^{n+1,m}) \cdot (A \cdot v_c^{n+1,m} + B_v^n), \quad (8)$$

$$G_v^{n+1,m} = \left. \frac{\partial i_c}{\partial v_c} \right|_{v_c = v_c^{n+1,m}} = A \cdot C(p^{n+1,m}), \quad (9)$$

and

$$G_p^{n+1,m} = \left. \frac{\partial i_c}{\partial p} \right|_{p = p^{n+1,m}} = (A \cdot v_c^{n+1} + B_v^n) \cdot \left. \frac{\partial C(p)}{\partial p} \right|_{p = p^{n+1,m}} \quad (10)$$

The discretized and linearized model of the nonlinear capacitor represented by (7) may be expressed in a circuit form as depicted in Fig. 6. Note that, to apply this model we write code to calculate the response of the ANN that is  $C(p)$ , and its derivative with respect to  $p$ .

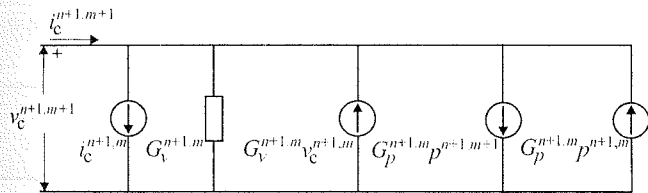


Fig. 6. The linearized and discretized model of the capacitor controlled by pressure

#### 4. SIMULATION RESULTS

Fig. 7. shows an excerpt from Fig. 4., repeating for convenience the input (pressure) signal to the transducer. A new simulation is performed now for the original circuit in the Fig. 1., but with the membrane substituted by a lumped model of the capacitor expressed by the ANN. The simulation results, as shown in Fig. 8., are in excellent agreement with those obtained earlier.

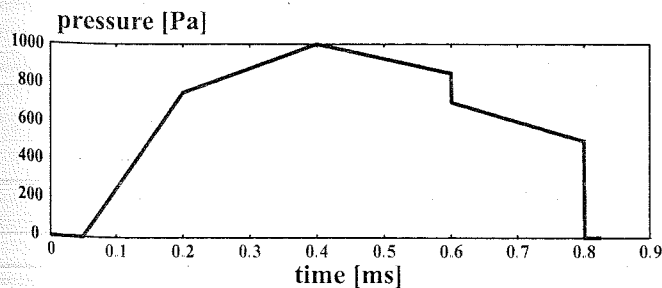


Fig. 7. Part of Fig. 3. redrawn for convenience

What is the difference? To obtain the result in Fig. 8. we need to simulate a circuit described by 5 (five) network

variables only, compared with 1005 to describe the original circuit. This enables inexpensive repetitive simulation of the system when faults are inserted.

Such simulations are presented in Figs. 9. and 10.

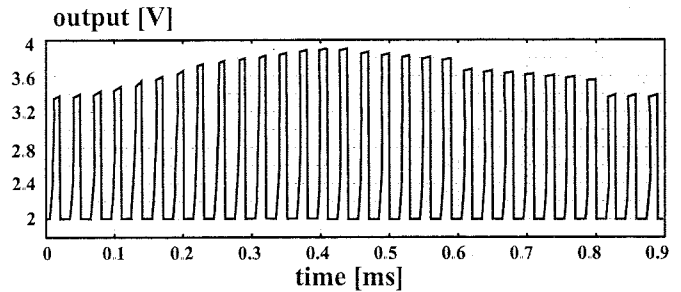


Fig. 8. Simulation results of the circuit of Fig. 1. with the membrane substituted by a lumped capacitor

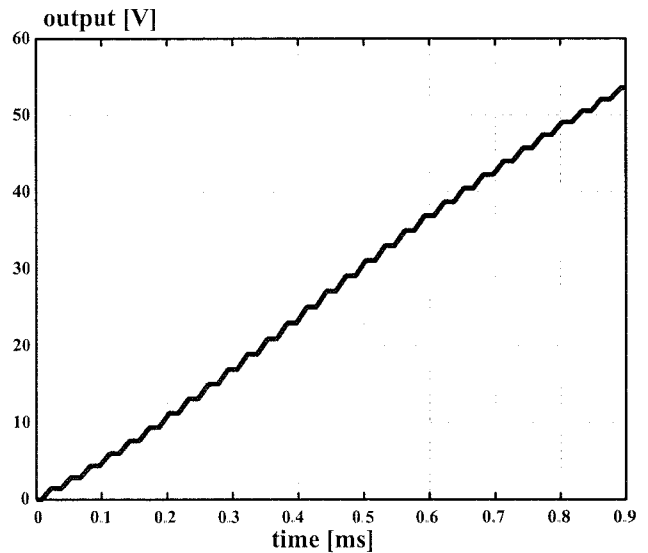


Fig. 9. Response of the faulty circuit in the presence of the "feed-back switch of the operational amplifier stuck-at-open" fault

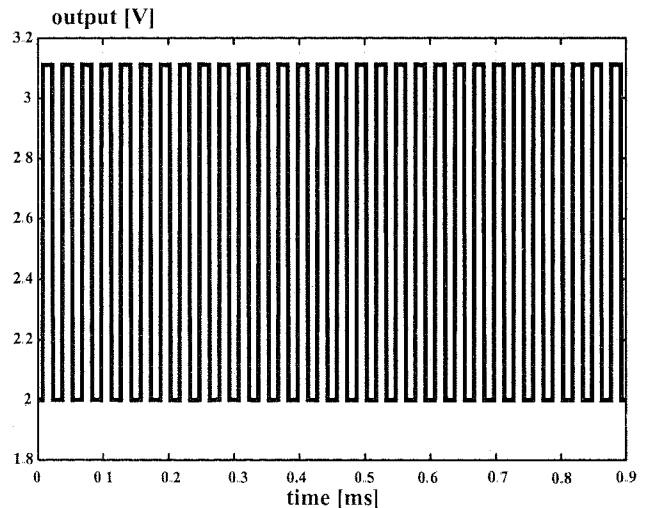


Fig. 10. Response of the faulty circuit in the presence of the "membrane stuck-at-flat" fault

Note that, while fault model insertion in the electronic part (both digital and analogue) is well understood and easy to implement [6], [9], there is still much research to be done

for mixed-signal electronic circuits and, unfortunately, even more work for non-electronic structures, the membrane being almost the simplest example.

## 5. CONCLUSIONS

Concepts and research tasks are proposed for a new radically improved concept of MEMS simulation, intended to boost the time to market and dependability of such systems. It conforms to the new design for manufacturability concept that stresses the testing and diagnostic aspects of the design cycle. Ideas are proposed that can make modeling and simulation into a routine tasks performed within a short time. As shown by a simple example these ideas are feasible.

## REFERENCES

- [1] Vandenberg, C., "Back to basics: The IC Industry's reintegration and dynamics of a newly emergent full-chip, design-for-manufacturability infrastructure", IEEE Design and Test of Computers, Vol. 21, No. 3, 2004, p. 180.
- [2] Jakovljević, M., Mrčarica, Ž., Fotiu, P., Detter, H., Litovski, V., "Implementation of Finite Elements Using An A-HDL Environment", Numerische Simulation in Feinwerk-/Mikrotechnik und Elektronik, Munchen, Germany, March 4-5, 1998.
- [3] Litovski, V., and Zwolinski, M., "VLSI circuit simulation and Optimization", Chapman and Hall, London, 1997.
- [4] Maksimović, D., and Litovski, V., "Tuning the logic simulator for timing simulation", Electronic Letters, Vol. 35, No. 10. May 1999, pp. 800-802.
- [5] Maksimović, D., Litovski, V., "Logic simulation methods for longest path delay estimation", IEE Proceedings Computers and Digital Techniques, Vol. 149, No. 2, 2002, pp. 53-59.
- [6] Milovanović, D., and Litovski, V., "Fault models of CMOS Circuits", Microelectronics Reliability, Vol. 34, No. 5, 1994, pp. 883-896.
- [7] Mrčarica, Ž., Glozić, D., Litovski, V., Detter, H., "Simulation of Microsystems Using A Behavioural Hybrid Simulator Alecsis", in: Adey, R.A., Lahrman, A., Lemboe Ilmann, C., editors, "Simulation and Design of Microsystems and Microstructures", Computational Mechanics Publication, Southampton, GB, 1995.
- [8] Mrčarica, Ž., Risojević, V., Lenczner, M., Jakovljević, M. and Litovski, V. "Integrated simulator for MEMS using FEM implementation in AHDL and frontal solver for large-sparse system of equations", Proc. of Design and Test of Microsystems, Paris, March 1999, pp. 271-278.
- [9] Petković, P., Milovanović, D., Litovski, V., "Symbolic Fault Modeling and Test Generation of MOS Circuits",

- Microelectronics and Reliability, Vol. 37, No. 1, 1997, pp. 137-157.
- [10] Damjanović, M., Dimić, Ž., Litovski, V., and Glozić, D., "Hardware description language for Alecsis simulator", Proc. of the 20th Conf. on Microelectronics, 1995, Vol. 2., pp. 525-528.
- [11] Litovski, V., Maksimović, D., and Mrčarica, Ž., "Mixed-signal modeling with AleC++: Specific features of the HDL", Simulation Practice and Theory, Vol. 8, 2001, pp. 433-449.
- [12] Mrčarica, Ž., Ilić, T., Glozić, D., Litovski, V., and Detter, H., "Mechatronic Simulation Using Alecsis: Anatomy of the Simulator", Proc. of the Eurosims'95, Vienna, Austria, Sept. 1995, pp. 651-656.
- [13] Mrčarica, Ž., Litovski, V., Detter, H., "Modeling And Simulation of Microsystems Using Hardware Description Language", Research Journal on Microsystem Technologies, Vol. 3, No. 2, Feb., 1997, pp. 80-85.
- [14] Chappel, B., "The fine art of IC design", IEEE Spectrum, Vol. 36, No. 7, July 1999., pp. 30-34.
- [15] Endemano, A., et al. "VHDL-AMS modeling and simulation of a planar electrostatic micromotor", J. of Micromechanics and Microengineering, Vol. 13, 2003, pp. 580-590.
- [16] Haase, J., Schwarz, P., Trappe, P., und Vermeiren, W. "Erfahrungen mit VHDL-AMS bei der Simulation heterogener Systeme", ITG/GI/GMM Workshop, "Methoden und beschreibungssprachen zur modellierung und verifikation von Schaltungen und Systemen", Frankfurt/M, 28-29.02.2000, pp. 167-175.
- [17] Senturia, S. D., "CAD challenges for Microsensors, Microactuators, and Microsystems", invited paper, Proceedings of the IEEE, Vol. 86, No. 8, August 1998, pp. 1611-1626.
- [18] Scarselli, F., and Tsoi, A. C., "Universal approximation using feed-forward neural networks: A survey of some existing methods and some new results", Neural Networks, Elsevier, Vol. 11, No. 1, 1998, pp. 15-37.

**Sadržaj** – Kapacitivni pretvarač sa raspodeljenim parametrima, koji je deo mikro-elektro-mehaničkog sistema osetljivog na pritisak, modelovan je veštačkom neuronskom mrežom. Predložen je novi koncept za modelovanje i simulaciju MEMS-ova. Koncept crne kutije predstavljen je modelovanjem neelektričnih delova MEMS-a upotrebom veštačke neuronske mreže, pa je na taj način omogućena znatno brža simulacija bez korišćenja konkurentnih algoritama i paralelnih izračunavanja.

## PRIMENA NEURONSKIH MREŽA NA MODELOVANJE MEMS-A

Miona Andrejević, Vančo Litovski

# STATISTIČKE KARAKTERISTIKE KODNE REČI SA DVA SIMBOLA SIGNALA KOD FSK SISTEMA U PRISUSTVU GAUSOVOG ŠUMA I RAYLEIGH-evog FEDINGA

Sladjan Bogoslović, Mihajlo Stefanović  
Elektonski fakultet u Nišu

**Sadržaj** – U radu se analizira telekomunikacioni sistem sa koherentnom detekcijom FSK signala u prisustvu Gausovog šuma i Rejljevog fedinga. Predajnik šalje binarne kodne reči, na frekvencijama  $\omega_0$  i  $\omega_1$ . Na prijemnoj strani, na ulazu u koherentni sistem prisutan je Rejljiev feding i superponirani uskopojasni šum. Za ovakav sistem određena je detekcija signala i proračunata ukupna verovatnoća greške.

## 1. UVOD

Često se pri prenosu signala kroz slobodan prostor po različitim putanjama javlja pojava promene amplitude korisnog signala na ulazu u prijemnik. Ta pojava poznata je pod nazivom „Feding“. Feding nastaje iz više razloga, i u odnosu na način prostiranja postaje i nekoliko vrsta Fedinga. Gustina raspodele verovatnoće amplitude signala na ulazu u prijemnik, kada se signal prostire po više puteva, a nema dominantne komponente, je Rejljeva. Faza korisnog signala ima uniformnu raspodelu, a amplituda, zbog prisustva fedinga, ima Rejljevu raspodelu.

Raspodela faze korisnog signala je:

$$p(\theta) = \frac{1}{2\pi}, |\theta| \leq \pi$$

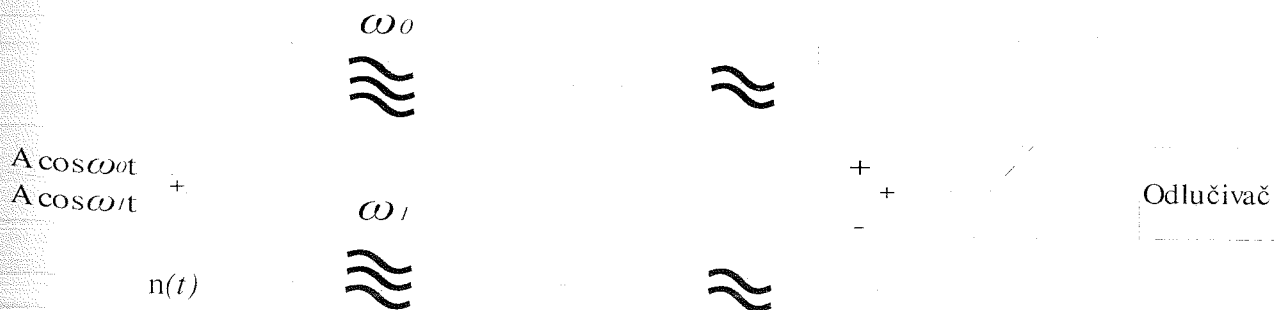
i raspodela amplitude usled prisustva fedinga je:

$$p(A) = \frac{A}{\sigma^2} \exp\left\{-\frac{A}{2\sigma^2}\right\}, 0 \leq A \leq \infty$$

Pojava fedinga unosi grešku koja je značajna pri detekciji signala.

## 2. OPIS MODELA SISTEMA

Na sl. 1 je prikazan prijemnik FSK signala sa koherentnom detekcijom.



Sl.1 Prijemnik FSK signala sa koherentnom detekcijom

Koherentna detekcija binarnog FSK signala obavlja se u obe grane kola za detekciju. U gornju granu kola za detekciju ulazi signal frekvencije  $\omega_0$ , a u donju signal frekvencije  $\omega_1$ . Razdvajanje signala se vrši filtrima propusnicima opsega frekvencija. Nakon prolaska kroz filter propusnik opsega, signali prolaze kroz niskopropusne filtre. Na dalje, iza izlaza niskofrekventnih filtera, signali se oduzimaju, njihova razlika se odmerava, na osnovu čega se donosi odluka da li je poslata binarna jedinica ili binarna nula. Binarnim jedinicama i nulama odgovaraju sinusoidalni nosioci frekvencije  $\omega_0$  i  $\omega_1$ , respektivno. Predajnik emituje sa jednakim verovatnoćama jednu od dve frekvencije, i to tako što šalje kodne reči od dva simbola i posmatra se slučaj kad je prisutan feding s Rejljevom raspodelom i uskopojasni korelisani šum.

## 3. DETEKCIJA SIGNALA I UKUPNA VEROVATNOĆA GREŠKE

Rečeno je da predajnik emituje sa jednakim verovatnoćama jednu od dve frekvencije, i to tako što šalje kodne reči od dva simbola. Za slučaj kad se šalje binarna nula šalje se signal na frekvenciji  $\omega_0$ , i važi hipoteza  $H_0$ , a ako se šalje binarna jedinica šalje se signal na frekvenciji  $\omega_1$  i tada važi hipoteza  $H_1$ . S obzirom da je ovde sistem zasnovan na prenosu kodnih reči od dva simbola formiraju se nove hipoteze u zavisnosti od poslanih binarnih stanja: ( $H_0H_0$ ,  $H_0H_1$ ,  $H_1H_0$ ,  $H_1H_1$ ). U ovom slučaju faza korisnog signala ima uniformnu raspodelu, a amplituda, zbog prisustva Fedinga, ima Rejljevu raspodelu. Predajnik šalje binarne kodne reči, na frekvencijama  $\omega_0$  i  $\omega_1$ . Na prijemnoj strani, na ulazu u koherentni sistem prisutan je Rejljiev feding i superponirani uskopojasni šum. Kada se šalje binarna reč 00 važi hipoteza  $H_0 H_0$ . Isto važi i za ostale kombinacije kodnih reči, tj. Kada se šalje binarna reč 01 važi hipoteza  $H_0 H_1$ , itd. Faza korisnog signala ima uniformnu raspodelu a amplituda, zbog prisustva Fedinga, ima Rejljevu raspodelu.

Predajnik šalje binarnu kodnu reč 00 tako da za gornju granu važi hipoteza  $H_0 H_0$

$$H_0 : x_{1g} = A \cos(\omega_0 t + \theta) + n_1 \quad (1)$$

$$H_0 : x_{2g} = A \cos(\omega_0 t + \theta) + n_2 \quad (2)$$

$n_1$  i  $n_2$  su šumovi.

Raspodela faze korisnog signala je:

$$p(\theta) = \frac{1}{2\pi}, \quad |\theta| \leq \pi \quad (3)$$

I raspodela amplitude usled prisustva fedinga je:

$$p(A) = \frac{A}{\sigma^2} \exp\left\{-\frac{A}{2\sigma^2}\right\}, \quad 0 \leq A \leq \infty \quad (4)$$

Združena gustina raspodele je:

$$P_{00d}(n_1, n_2) = \frac{1}{2\pi\sigma^2\sqrt{1-R^2}} \exp\left\{\frac{n_1^2 - 2R \cdot n_1 n_2 + n_2^2}{2\sigma^2(1-R^2)}\right\} \quad (5)$$

Zamenom u (5) sledi da je

$$P_{00d}(x_{1g}, x_{2g}/A, \theta) = \frac{1}{2\pi\sigma^2\sqrt{1-R^2}} \times \exp\left\{\frac{(x_{1g} - A \cos \theta)^2 - 2R \cdot (x_{1g} - A \cos \theta)(x_{2g} - A \cos \theta) + (x_{2g} - A \cos \theta)^2}{2\sigma^2(1-R^2)}\right\} \quad (6)$$

Združena gustina raspodele za gornju granu dobija se usrednjavanjem po svim vrednostima  $\theta$  i  $A$

$$P_{00g}(x_{1g}, x_{2g}) = \int_0^\infty dA \int_{-\pi}^\pi P_{00d}(x_{1g}, x_{2g}/A, \theta) p(A) p(\theta) d\theta \quad (7)$$

Predajnik šalje binarnu kodnu reč 00 tako da za donju granu važi hipoteza  $H_0 H_0$

$$H_0 : x_{1d} = n_1 \quad (8)$$

$$H_0 : x_{2d} = n_2 \quad (9)$$

Raspodela je:

$$P_{00d}(x_{1d}, x_{2d}/A, \theta) = \frac{1}{2\pi\sigma^2\sqrt{1-R^2}} \exp\left\{\frac{x_{1d}^2 - 2R \cdot x_{1d} x_{2d} + x_{2d}^2}{2\sigma^2(1-R^2)}\right\} \quad (10)$$

Združena gustina raspodele za gornju granu dobija se usrednjavanjem po svim vrednostima  $\theta$  i  $A$

$$P_{00d}(x_{1d}, x_{2d}) = \int_0^\infty dA \int_{-\pi}^\pi P_{00d}(x_{1d}, x_{2d}/A, \theta) p(A) p(\theta) d\theta \quad (11)$$

Predajnik šalje binarnu kodnu reč 01 tako da za gornju granu važi hipoteza  $H_0 H_1$

$$H_0 : x_{1g} = A \cos(\omega_0 t + \theta) + n_1 \quad (12)$$

$$H_1 : x_{2g} = n_2 \quad (13)$$

$n_1$  i  $n_2$  su šumovi.

Sledi da je:

$$P_{01d}(x_{1g}, x_{2g}/A, \theta) = \frac{1}{2\pi\sigma^2\sqrt{1-R^2}} \times \exp\left\{\frac{(x_{1g} - A \cos \theta)^2 - 2R \cdot (x_{1g} - A \cos \theta)x_{2g} + x_{2g}^2}{2\sigma^2(1-R^2)}\right\} \quad (14)$$

Združena gustina raspodele za gornju granu dobija se usrednjavanjem po svim vrednostima  $\theta$  i  $A$

$$P_{01g}(x_{1g}, x_{2g}) = \int_0^\infty dA \int_{-\pi}^\pi P_{01d}(x_{1g}, x_{2g}/A, \theta) p(A) p(\theta) d\theta \quad (15)$$

Predajnik šalje binarnu kodnu reč 01 tako da za donju granu važi hipoteza  $H_0 H_1$

$$H_0 : x_{1d} = n_1 \quad (16)$$

$$H_1 : x_{1g} = A \cos(\omega_1 t + \theta) + n_2 \quad (17)$$

Raspodela je:

$$P_{01d}(x_{1g}, x_{2g}/A, \theta) = \frac{1}{2\pi\sigma^2\sqrt{1-R^2}} \times \exp\left\{\frac{(x_{1d}^2 - 2R \cdot x_{1d}(x_{2g} - A \cos \theta) + (x_{2g} - A \cos \theta)^2)}{2\sigma^2(1-R^2)}\right\} \quad (18)$$

Združena gustina raspodele za donju granu dobija se usrednjavanjem po svim vrednostima  $\theta$  i  $A$

$$P_{01d}(x_{1d}, x_{2d}) = \int_0^\infty dA \int_{-\pi}^\pi P_{01d}(x_{1d}, x_{2d}/A, \theta) p(A) p(\theta) d\theta \quad (19)$$

Sličan je postupak i za kodne reči 10, 11 sa hipotezama verovatnoće događanja  $H_1 H_0$  i  $H_1 H_1$  respektivno.

Za izračunavanje združene gustine raspodele ( $p_{00g}$ ,  $p_{00d}$ ,  $(p_{01g}$ ,  $p_{01d}$ ),  $(p_{10g}$ ,  $p_{10d}$ ),  $(p_{11g}$ ,  $p_{11d}$ ), važi detekcija signala i ukupna verovatnoća greške:

Kada su na izlazu predajnika prisutne hipoteze  $H_0 H_0$ , a na ulazu prijemnika detektuje se kodna reč 00, tj. važi događaj  $D_0 D_0$

$$P(D_0 D_0 / H_0 H_0) = P(x_{1g} > x_{1d} \wedge x_{2g} > x_{2d}) = \int_0^\infty dx_{1g} \int_{x_{1g}}^\infty dx_{1d} \int_0^\infty dx_{2g} \int_{x_{2g}}^\infty dx_{2d} P_{00g}(x_{1g}, x_{2g}) P_{00d}(x_{1d}, x_{2d}) \quad (20)$$

Kada su na izlazu predajnika prisutne hipoteze  $H_0 H_1$ , a na ulazu prijemnika detektuje se kodna reč 00, tj. važi događaj  $D_0 D_0$

$$P(D_0 D_0 / H_0 H_1) = P(x_{1g} > x_{1d} \wedge x_{2g} > x_{2d}) = \int_0^\infty dx_{1g} \int_{x_{1g}}^\infty dx_{1d} \int_0^\infty dx_{2d} \int_{x_{2d}}^\infty dx_{2g} P_{00g}(x_{1g}, x_{2g}) P_{00d}(x_{1d}, x_{2d}) \quad (21)$$

Kada su na izlazu predajnika prisutne hipoteze  $H_1 H_0$ , a na ulazu prijemnika detektuje se kodna reč 00, tj. važi događaj  $D_0 D_0$

$$P(D_0 D_0 / H_1 H_0) = P(x_{1g} < x_{1d} \wedge x_{2g} > x_{2d}) = \int_0^\infty dx_{1d} \int_{x_{1d}}^\infty dx_{1g} \int_0^\infty dx_{2g} \int_{x_{2g}}^\infty dx_{2d} P_{00g}(x_{1g}, x_{2g}) P_{00d}(x_{1d}, x_{2d}) \quad (22)$$

Kada su na izlazu predajnika prisutne hipoteze  $H_1 H_1$ , a na ulazu prijemnika detektuje se kodna reč 00, tj. važi događaj  $D_0 D_0$

$$P(D_0 D_0 / H_1 H_1) = P(x_{1g} < x_{1d} \wedge x_{2g} < x_{2d}) = \int_0^\infty dx_{1d} \int_{x_{1d}}^\infty dx_{1g} \int_0^\infty dx_{2d} \int_{x_{2d}}^\infty dx_{2g} P_{00g}(x_{1g}, x_{2g}) P_{00d}(x_{1d}, x_{2d}) \quad (23)$$



Ovaj postupak važi i za događaje  $D_0D_1$ ,  $D_1D_0$ ,  $D_1D_1$  pri prisutnim hipotezama  $H_0H_0$ ,  $H_0H_1$ ,  $H_1H_0$ ,  $H_1H_1$ .

Ukupna verovatnoća greške u opštem slučaju je

$$P_e = 1 - P(H_0H_0 D_0D_0) - (H_0H_1D_0D_1) - (H_1H_0D_1D_0) - (H_1H_1D_1D_1) \quad (24)$$

gde je:

$$P(H_0H_0 D_0D_0) = P(H_0H_0/D_0D_0) \cdot P(H_0H_0) \quad (25)$$

$$P(H_0H_0) = P(H_0)P(H_0) = 1/2 \cdot 1/2 = 1/4 \quad (26)$$

$$P(H_0H_1) = P(H_0)P(H_1) = 1/2 \cdot 1/2 = 1/4 \quad (27)$$

$$P(H_1H_0) = P(H_1)P(H_0) = 1/2 \cdot 1/2 = 1/4 \quad (28)$$

$$P(H_1H_1) = P(H_1)P(H_1) = 1/2 \cdot 1/2 = 1/4 \quad (29)$$

Za ostale slučajeve

$$P(H_0H_1 D_0D_1) = P(D_0D_1/H_0H_1) \cdot P(H_0H_1) \quad (30)$$

$$P(H_1H_0 D_1D_0) = P(D_1D_0/H_1H_0) \cdot P(H_1H_0) \quad (31)$$

$$P(H_1H_1 D_1D_1) = P(D_1D_1/H_1H_1) \cdot P(H_1H_1) \quad (32)$$

#### 4. ZAKLJUČAK

U ovom radu je izvršena analiza rada FSK prijemnika sa koherentnom detekcijom signala u prisustvu šuma i Rejljevog fedinga. U tom slučaju faza korisnog signala ima uniformnu raspodelu, dok amplituda, zbog prisustva fedinga, ima Rejljevu raspodelu.

Predajnik šalje binarnu reč dužine dva simbola na frekvencijama  $\omega_0$  i  $\omega_1$  koje se detektuju u gornju odnosno donju granu kola za detekciju respektivno. Za ovakav model prijemnik izvršena je detekcija signala i izračunata ukupna verovatnoća greške.

#### LITERATURA

- [1] Mihajlo Stefanovic, "Performanse digitalnih telekomunikacionih sistema", Edicija: Monografija, Univerzitet u Nisu, 2000.
- [2] Mihajlo Stefanovic, "Detekcija signala u belom i obojenom Gausovom sumu", Edicija: Monografija, Univerzitet u Nisu, 2000.
- [3] A. D. Whalen, "Detection of Signals in Noise", Academic Press, 1971.
- [4] H. L. Van Trees, "Detection, Estimation and Modulation Theory", John Wiley & Sons, 2001.

**Abstract** – This paper describes coherent FSK-system in the presence of Gaussian noise and Rayleigh's fading. For this system describes error probability and coherent detection of signals.

#### STATISTICAL PERFORMANSE OF A BINARY COHERENT FSK-system IN THE PRESENCE OF GAUSSIAN NOISE AND Rayleigh's FADING

Sladjan Bogoslović, Mihajlo Stefanović

## STATISTIČKE KARAKTERISTIKE KODNE REČI SA DVA SIMBOLA KOHERENTNOG ASK-signalа U PRISUSTVU INTERFERENCIJE I GAUSOVOG ŠUMA

Sladаn Bogoslović, Mihajlo Stefanović  
Elektronski fakultet u Nišu

*Sadržaj* - U ovom radu analiziran je telekomunikacioni sistem sa koherentnom detekcijom ASK-signalа u prisustvu interferencije i Gausovog šuma. Za ovakav sistem izvršena je detekcija signalа i proračunata ukupna verovatnoća greške.

### 1. UVOD

U telekomunikacionim sistemima pored Gausovog šuma vrlo često se javlja i interferencioni šum-interferenca. Ona predstavlja uzajamno dejstvo između samih simbola i pojavljuje se kada je frekventni opseg kanala nedovoljno veliki u odnosu na frekventni spektar digitalnog signalа koji se prenosi. Interferencija se javlja kod svih digitalnih telekomunikacionih sistemima, bilo da je digitalni signal modulisan amplitudno, frekventno ili fazno. Najčešće se interferencija predstavlja sinusnim talasom sa uniformno raspedeljenom fazom, a u nekim slučajevima promrnljivom Gausovom gustinom raspodele verovatnoće. Konkretno u ovom radu, interferencija je predstavljena sinusnim talasom,  $A_1 \cos \theta_1$ , amplitude  $A_1$  i faze  $\theta_1$  sa Gausovom gustinom raspodele:

$$p(\theta_1) = \frac{1}{\sqrt{2\pi\sigma^2}} \exp\left\{-\frac{\theta_1^2}{2\sigma^2}\right\}, \quad |\theta_1| \leq \pi$$

U radu je izvršena detekcija signalа i izračunata ukupna verovatnoća greške koherentnog ASK-signalа u prisustvu interferencijskog šuma i Gausovog slučajnog šuma.

### 2. OPIS MODELA SISTEMA

Sistemi sa digitalno amplitudnom modulacijom našli su primenu pri prenosu informacija radio vezama, u satelitskim i optičkim telekomunikacijama. Ovi sistemi su našli široku primenu zbog jednostavne realizacije prijemnika. Na sl.1 je prikaza koherentni ASK prijemnik koji se saatoji od složenih filterа čiji je osnovni zadatak da, što je moguće više, odstrane smetnje koje su prisutne ori prenosu signalа.

Koherentna detekcija binarnog ASK-signalа obavlja se u granu za detekciju. Prvo filtriranje signalа se vrši filtrom propusnikom opsega frekvencija čiji je zadatak da što više eliminiše smetnje na korisnom signalu. Tako filtriran signal prolazi kroz niskopropusni filter koji će odstraniti više harmonike.

Na izlazu NF-filterа vrši se odmeravanje signalа na osnovu čega se donosi odluka da li je poslata binarna jedinica ili nula.

### 3. DETEKCIJA SIGNALA I IZRAČUNAVANJE UKUPNE VEROVATNOĆE GREŠKE

Posmatra se sistem kod koga predajnik emituje kodnu reč od dva simbola. Na prijemu se dodaje korelisani aditivni šum pa je u postupku značajno odrediti verovatnoću događaja kodne reči od dva simbola. Za ovaj slučaj posmatraju se hipoteze  $H_0$  i  $H_1$  koje odgovaraju binarnoj nuli, tj. binarnoj jedinici, respektivno. Kombinacijom binarnih simbola dobijaju se kodne reči dužine dva, tako da se hipoteze objedinjuju i nastaju nove obeležene u daljem tekstu:

$H_0 H_0$  (odgovara kodnoj reči 00)

$H_0 H_1$  (odgovara kodnoj reči 01)

$H_1 H_0$  (odgovara kodnoj reči 10)

$H_1 H_1$  (odgovara kodnoj reči 11)

Na samom prijemu sistema za detekciju nastaju 16 (šesnaest) događaja detekcije signalа:  $D_0 D_0 / H_0 H_0$  (predajnik šalje kodnu reč vrednosti 00 i tada važi hipoteza  $H_0 H_0$ , a na ulazu prijemnika detektuje se kodna reč 00, tj u tom slučaju važi događaj  $D_0 D_0$ ).

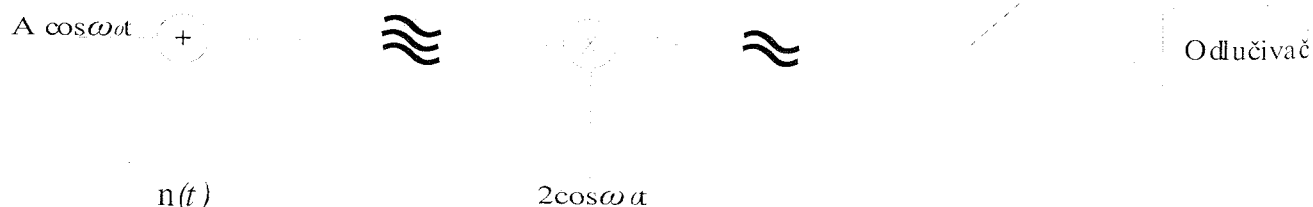
$D_0 D_0 / H_0 H_1$ ;  $D_0 D_0 / H_1 H_0$ ,  $D_0 D_0 / H_1 H_1$

$D_0 D_1 / H_0 H_0$ ;  $D_0 D_1 / H_0 H_1$ ;  $D_0 D_1 / H_1 H_0$ ;  $D_0 D_1 / H_1 H_1$ ;

$D_1 D_0 / H_0 H_0$ ;  $D_1 D_0 / H_0 H_1$ ;  $D_1 D_0 / H_1 H_0$ ;  $D_1 D_0 / H_1 H_1$ ;

$D_1 D_1 / H_0 H_0$ ;  $D_1 D_1 / H_0 H_1$ ;  $D_1 D_1 / H_1 H_0$ ;  $D_1 D_1 / H_1 H_1$ ;

Kada predajnik šalje binarnu jedinicu, njoj će odgovarati signal amplitude  $A$  i važiće hipoteza  $H_1$ , kad šalje binarnu nulu, signal se ne šalje, i njoj odgovara hipoteza  $H_0$ .



Sl.1 Predajnik ASK signalа sa koherentnom detekcijom

Međutim u samom prenosu nastaje interferencija koja ima amplitudu  $A_1$ , i fazu sa Gausovom raspodelom

$$p(\theta_1) = \frac{1}{\sqrt{2\pi\sigma^2}} \exp\left\{-\frac{\theta_1^2}{2\sigma^2}\right\}, \quad |\theta_1| \leq \pi \quad (1)$$

U slučaju kad se šalje binarna nula, prijemu nastaje interferencije kojoj je dodat šum. Važiće hipoteze:

$$H_0 : x_1 = A_1 \cos \theta_1 + n_1 \quad (2)$$

$$H_0 : x_2 = A_1 \cos \theta_1 + n_2 \quad (3)$$

Združena gustina raspodele je:

$$P_{00}(x_1, x_2/A, \theta_1) = \frac{1}{2\pi\sigma^2\sqrt{1-R^2}} \times \exp\left\{-\frac{(x_1 - A_1 \cos \theta_1)^2 - 2R(x_1 - A_1 \cos \theta_1)(x_2 - A_1 \cos \theta_1) + (x_2 - A_1 \cos \theta_1)^2}{2\sigma^2(1-R^2)}\right\} \quad (4)$$

Kad predajnik prvo šalje binarnu nulu na prijemu će biti prisutna interferencije bez korisnog signala, u sledećem trenutku šalje binarnu jedinicu i korisnom signalu će na prijemu biti dodata interferencije.

Za ovaj slučaj važe hipoteze  $H_0$  i  $H_1$

$$H_0 : x_1 = A_1 \cos \theta_1 + n_1 \quad (5)$$

$$H_1 : x_2 = A + A_1 \cos \theta_1 + n_2 \quad (6)$$

Združena gustina raspodele je:

$$P_{01}(x_1, x_2/A, \theta_1) = \frac{1}{2\pi\sigma^2\sqrt{1-R^2}} \times \exp\left\{-\frac{(x_1 - A_1 \cos \theta_1)^2 - 2R(x_1 - A_1 \cos \theta_1)(x_2 - A - A_1 \cos \theta_1) + (x_2 - A - A_1 \cos \theta_1)^2}{2\sigma^2(1-R^2)}\right\} \quad (7)$$

Za slučaj kad se šalje binarna jedinica pa zatim binarna nula, važe važe hipoteze  $H_1$  i  $H_0$

$$H_1 : x_1 = A + A_1 \cos \theta_1 + n_1 \quad (8)$$

$$H_0 : x_2 = A_1 \cos \theta_1 + n_2 \quad (9)$$

Združena gustina raspodele je:

$$P_{10}(x_1, x_2/A, \theta_1) = \frac{1}{2\pi\sigma^2\sqrt{1-R^2}} \times \exp\left\{-\frac{(x_1 - A - A_1 \cos \theta_1)^2 - 2R(x_1 - A - A_1 \cos \theta_1)(x_2 - A_1 \cos \theta_1) + (x_2 - A_1 \cos \theta_1)^2}{2\sigma^2(1-R^2)}\right\} \quad (10)$$

Za slučaj kad se šalje binarne jedinice važe hipoteze  $H_1$  i  $H_1$

$$H_1 : x_1 = A + A_1 \cos \theta_1 + n_1 \quad (11)$$

$$H_1 : x_2 = A + A_1 \cos \theta_1 + n_2 \quad (12)$$

Združena gustina raspodele je:

$$P_{11}(x_1, x_2/A, \theta_1) = \frac{1}{2\pi\sigma^2\sqrt{1-R^2}} \times \exp\left\{-\frac{(x_1 - A - A_1 \cos \theta_1)^2 - 2R(x_1 - A - A_1 \cos \theta_1)(x_2 - A - A_1 \cos \theta_1) + (x_2 - A - A_1 \cos \theta_1)^2}{2\sigma^2(1-R^2)}\right\} \quad (13)$$

Za dobijane združene funkcije raspodele potrebno je prethodno izvršiti usrednjavanje po fazi  $\theta_1$  koja se kreće u opsegu  $(-\pi, \pi)$

$$P_{00}(x_1, x_2) = \int_{-\pi}^{\pi} d\theta_1 \cdot P_{00}(x_1, x_2 / \theta_1) \cdot p(\theta_1) \quad (14)$$

$$P_{01}(x_1, x_2) = \int_{-\pi}^{\pi} d\theta_1 \cdot P_{01}(x_1, x_2 / \theta_1) \cdot p(\theta_1) \quad (15)$$

$$P_{10}(x_1, x_2) = \int_{-\pi}^{\pi} d\theta_1 \cdot P_{10}(x_1, x_2 / \theta_1) \cdot p(\theta_1) \quad (16)$$

$$P_{11}(x_1, x_2) = \int_{-\pi}^{\pi} d\theta_1 \cdot P_{11}(x_1, x_2 / \theta_1) \cdot p(\theta_1) \quad (17)$$

Generalno na ulazu prijemnika javljaju se šesnaest događaja:

$$p(D_0 D_0 / H_0 H_0) = \int_0^{X_t} dx_1 \int_0^{X_t} dx_2 p_{00}(x_1, x_2) \quad (18)$$

gde je  $X_t$  prag odlučivanja. Na izlazu predajnika prisutne su hipoteze  $H_0 H_1$ , a na ulazu prijemnika važi događaj  $D_0 D_0$ :

$$p(D_0 D_0 / H_0 H_1) = \int_0^{X_t} dx_1 \int_0^{X_t} dx_2 p_{01}(x_1, x_2) \quad (19)$$

na izlazu predajnika su prisutne hipoteze  $H_1 H_0$ , a na ulazu prijemnika važi događaj  $D_0 D_0$ :

$$p(D_0 D_0 / H_1 H_0) = \int_0^{X_t} dx_1 \int_0^{X_t} dx_2 p_{10}(x_1, x_2) \quad (20)$$

na izlazu predajnika su prisutne hipoteze  $H_1 H_1$ , a na ulazu prijemnika važi događaj  $D_0 D_0$ :

$$p(D_0 D_0 / H_1 H_1) = \int_0^{X_t} dx_1 \int_0^{X_t} dx_2 p_{11}(x_1, x_2) \quad (21)$$

na izlazu predajnika su prisutne hipoteze  $H_0 H_0$ , a na ulazu prijemnika važi događaj  $D_0 D_1$ :

$$p(D_0 D_1 / H_0 H_0) = \int_0^{X_t} dx_1 \int_0^{X_t} dx_2 p_{00}(x_1, x_2) \quad (22)$$

na izlazu predajnika su prisutne hipoteze  $H_0 H_1$ , a na ulazu prijemnika važi događaj  $D_0 D_1$ :

$$p(D_0 D_1 / H_1 H_1) = \int_0^{X_t} dx_1 \int_0^{X_t} dx_2 p_{11}(x_1, x_2) \quad (23)$$

na izlazu predajnika su prisutne hipoteze  $H_1 H_0$ , a na ulazu prijemnika važi događaj  $D_0 D_1$ :

$$p(D_0 D_1 / H_0 H_1) = \int_0^{X_t} dx_1 \int_0^{X_t} dx_2 p_{10}(x_1, x_2) \quad (24)$$

na izlazu predajnika su prisutne hipoteze  $H_1 H_1$ , a na ulazu prijemnika važi događaj  $D_0 D_1$ :

$$p(D_0 D_1 / H_1 H_1) = \int_0^{X_t} dx_1 \int_0^{X_t} dx_2 p_{11}(x_1, x_2) \quad (25)$$

na izlazu predajnika su prisutne hipoteze  $H_0 H_0$ , a na ulazu prijemnika važi događaj  $D_1 D_0$ :

$$p(D_1 D_0 / H_0 H_0) = \int_0^{X_t} dx_1 \int_0^{X_t} dx_2 p_{00}(x_1, x_2) \quad (26)$$

na izlazu predajnika su prisutne hipoteze  $H_0 H_1$ , a na ulazu prijemnika važi događaj  $D_1 D_0$ :

$$p(D_1 D_0 / H_0 H_1) = \int_0^{X_t} dx_1 \int_0^{X_t} dx_2 p_{01}(x_1, x_2) \quad (27)$$

na izlazu predajnika su prisutne hipoteze  $H_0H_1$ , a na ulazu prijemnika važi događaj  $D_1 D_0$ :

$$p(D_1 D_0 / H_1 H_0) = \int_0^{X_1} \int_0^{X_2} dx_1 dx_2 p_{10}(x_1, x_2) \quad (28)$$

na izlazu predajnika su prisutne hipoteze  $H_1H_1$ , a na ulazu prijemnika važi događaj  $D_1 D_0$ :

$$p(D_1 D_0 / H_1 H_1) = \int_0^{X_1} \int_0^{X_2} dx_1 dx_2 p_{11}(x_1, x_2) \quad (29)$$

na izlazu predajnika su prisutne hipoteze  $H_0H_0$ , a na ulazu prijemnika važi događaj  $D_1 D_1$ :

$$p(D_1 D_1 / H_0 H_0) = \int_0^{X_1} \int_0^{X_2} dx_1 dx_2 p_{00}(x_1, x_2) \quad (30)$$

na izlazu predajnika su prisutne hipoteze  $H_0H_0$ , a na ulazu prijemnika važi događaj  $D_1 D_1$ :

$$p(D_0 D_0 / H_0 H_1) = \int_0^{X_1} \int_0^{X_2} dx_1 dx_2 p_{01}(x_1, x_2) \quad (31)$$

na izlazu predajnika su prisutne hipoteze  $H_1H_0$ , a na ulazu prijemnika važi događaj  $D_1 D_1$ :

$$p(D_1 D_1 / H_1 H_0) = \int_0^{X_1} \int_0^{X_2} dx_1 dx_2 p_{10}(x_1, x_2) \quad (32)$$

na izlazu predajnika su prisutne hipoteze  $H_1H_0$ , a na ulazu prijemnika važi događaj  $D_0 D_0$ :

$$p(D_1 D_1 / H_1 H_1) = \int_0^{X_1} \int_0^{X_2} dx_1 dx_2 p_{11}(x_1, x_2) \quad (33)$$

Ukupna verovatnoća greške u opštem slučaju je

$$P_e = 1 - P(H_0 H_0 D_0 D_0) - (H_0 H_1 D_0 D_1) - (H_1 H_0 D_1 D_0) - (H_1 H_1 D_1 D_1) \quad (34)$$

gde je

$$P(H_0 H_0 D_0 D_0) = p(D_0 D_0 / H_0 H_0) \cdot P(H_0 H_0) \quad (35)$$

i

$$P(H_0 H_0) = P(H_0)P(H_0) = 1/2 \cdot 1/2 = 1/4 \quad (36)$$

$$P(H_0 H_1) = P(H_0)P(H_1) = 1/2 \cdot 1/2 = 1/4 \quad (37)$$

$$P(H_1 H_0) = P(H_1)P(H_0) = 1/2 \cdot 1/2 = 1/4 \quad (38)$$

$$P(H_1 H_1) = P(H_1)P(H_1) = 1/2 \cdot 1/2 = 1/4 \quad (39)$$

Za ostale slučajeve:

$$P(H_0 H_1 D_0 D_1) = p(D_0 D_1 / H_0 H_1) \cdot P(H_0 H_1) \quad (40)$$

$$P(H_1 H_0 D_1 D_0) = p(D_1 D_0 / H_1 H_0) \cdot P(H_1 H_0) \quad (41)$$

$$P(H_1 H_1 D_1 D_1) = p(D_1 D_1 / H_1 H_1) \cdot P(H_1 H_1) \quad (42)$$

#### 4. ZAKLJUČAK

U ovom radu izvršena je analiza rada ASK prijemnika sa koherentnom detekcijom signala u prisustvu Gausovog šuma i interferencijskog šuma. Za ovakav model prijemnika izvršena je detekcija signala i izračunata ukupna verovatnoća greške za slučaj kada predajnik emituje kodnu reč dužine dva simbola.

#### LITERATURA

- [1] Mihajlo Stefanovic, "Performanse digitalnih telekomunikacionih sistema", Edicija: Monografija, Univerzitet u Nisu, 2000.
- [2] Mihajlo Stefanovic, "Detekcija signala u belom i obojenom Gausovom sumu", Edicija: Monografija, Univerzitet u Nisu, 2000.
- [3] A. D. Whalen, "Detection of Signals in Noise", Academic Press, 1971.
- [4] H. L. Van Trees, "Detection, Estimation and Modulation Theory", John Wiley & Sons, 2001.

**Abstract** – This paper presents detection of a binary coherent ASK-signal in the presence of Gaussian noise and interference. The paper describes error probability of a telecommunication ASK-system.

#### STATISTICAL PERFORMANSE OF A BINARY COHERENT ASK-system IN THE PRESENCE OF GAUSSIAN NOISE AND INTERFERENCE

Sladjan Bogoslović, Mihajlo Stefanović

## МОГУЋНОСТИ ОТКРИВАЊА РАДИО МРЕЖЕ ПРИ ПРЕНОСУ У ПРОШИРЕНОМ СПЕКТРУ ТЕХНИКОМ ФРЕКВЕНЦИЈСКОГ СКАКАЊА

Радиша Стефановић, Младен Арнаутовић, Војна Академија, Београд  
Бранислав Тодоровић, Центар за мултидисциплинарна истраживања, Београд

**Садржај** - У раду је анализиран проблем откривања сигнала са преносом у проширеном спектру који користи технику проширења фреквенцијским скакањем. Мрежа која се овде разматра је са распршеним предајницима унутар којих се може поставити пресретачки пријемник. Пресретачки пријемник је типа широкопојасног радиометра који доноси одлуку о откривању, засновану на мерењу енергије у читавом временско-фреквенцијском простору рада предајника.

### 1. УВОД

Идеја о коришћењу радио-сигнала са преносом у проширеном спектру (SS-Spread Spectrum) у развијеном свету присутна је још из времена другог светског рата са циљем да се првенствено у војним радио-комуникационим системима преноса обезбеди висок степен имуности на активно ометање, ненамерне сметње (фединг, интерференција, итд.), те да се у великој мери онемогући извиђање и преслушавање преношене информације. Лабораторијска испитивања су показала да би се коришћењем оваквих система за радио-пренос сигнала у опсегу високих и врло-високих фреквенција (VF и VVF), снага ометаног сигнала могла драстично редуковати (и до 25 dB).

Концепт мрежа са малом вероватноћом пресретања (Low Probability of Intercept – LPI) пробудио је велико интересовање претходних година захваљујући повећаним захтавима за густо повезаним, а ипак прикривеним комуникацијама на тактичком бојишту. Велики број истраживачких напора је концентрисан на теме из пројектовања мрежа, као што су проток, пакетска комуникација и рутирање порука, док су се други усредсредили на могућности откривања мрежних веза. Већина проучавања могућности детекције LPI мрежа фокусира се на појединачне везе у мрежама, у којима су прорачуни пресретања и могућности откривања изведени за појединачни мрежни предајник.

Овај рад представља другачији приступ анализи могућности откривања LPI мрежа. Представљено је да пресретач не покушава да разликује један предајник од другог, већ се фокусира на оперативни статус мреже, тј. да ли је мрежа оперативна или не. Откривање мреже је засновано на енергији примљеној од више предајника истовремено, а анализа детекције се спроводи са широкопојасним радиометром.

Мрежа која се овде разматра користи вишеструки приступ на бази кодне расподеле и систем за пренос сигнала са проширеним спектром који примењује технику фреквенцијског скакања (FH-CDMA).

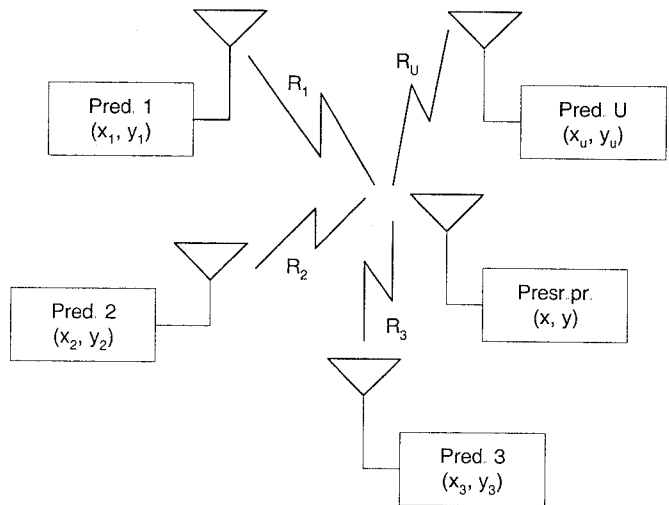
Укупни мрежни пропусни опсег је дефинисан као  $W_1$  и време рада мреже је  $T_1$  секунди. Мрежа има  $M$  пропусних канала, а ширина једног канала је  $W_2$  и користи брзину скакања од  $N$  скокова у  $T_1$  секунди. Предпоставља се да се користе неусмерене антене.

### 2. МОДЕЛ ПРЕСРЕТАЊА РАСПРШЕНЕ МРЕЖЕ

На слици 1 је приказан општи сценарио откривања мреже који је описан као модел откривања распршене мреже. Пресретачки пријемник има такву способност да сакупља и обрађује енергију из више извора у комуникационој мрежи. Укупни примљени улазни сигнал пресретачког пријемника је:

$$s(t) = \sum_{j=1}^U s_j(t) + \sum_{k=1}^N J_k(t) + n(t) \quad (1)$$

где је:  $s_j(t)$  - примљени сигнал од  $j$ -тог предајника,  $U$  - број активних предајника,  $n(t)$  - адитивни бели гаусов шум са обостраном спектралном густином средње снаге  $N_0/2$  и  $J_k(t)$  - примљени ометајући сигнал.



Сл. 1. Модел откривања распршене мреже

Пошто је пресретајући пријемник детектор енергије, мора се утврдити примљена енергија од сваког мрежног предајника. Средња снага примљена на месту пресретачког пријемника на удаљености  $R_j$  од  $j$ -тог предајника је:

$$S_j = \frac{P_{Tj} G_{Tj} G_{Rj}}{\alpha_j(f, R_j) L_j} \quad (2)$$

где је:  $P_{Tj}$  - средња снага сигнала израчена са  $j$ -тог предајника,  $G_{Tj}$  и  $G_{Rj}$  - добици предајне и пријемне антене пресретачког пријемника у правцу активног предајника,  $\alpha_j(f, R_j)$  - пропагациони губици у  $j$ -тој откривеној вези,  $L_j$  - остали губици (нпр. атмосферски губици)

Енергија примљена са  $j$ -тог предајника се добија множењем са  $T_j = \min\{T_1, T_{sj}\}$  где је  $T_1$  период

интеграције пресретачког пријемника, а  $T_{sj}$  је време трајања сигнала, па је:

$$E_j = \frac{P_{Tj} G_{Tj} G_{ITj} T_j}{\alpha_j(f, R_j) L_j} \quad (3)$$

Перформансе пресретачког пријемника су често описане вероватноћама лажних аларма  $P_F$ , вероватноћама детекције  $P_D$  и односом сигнал-шум (*signal-to-noise ratio*-SNR). Са прихватљивим  $P_F$  и жељеним  $P_D$ , захтевани SNR се обично одређује коришћењем крива детекције или аналитичким апроксимацијама. Исто тако, могући  $P_D$  се може утврдити са задатим SNR и специфицираним  $P_F$ .

Однос сигнал-шум је често изражен као однос енергије и спектралне снаге шума, односно интерференције (*power spectral density*-PSD):

$$\frac{E_j}{N_s} = \frac{P_{Tj} G_{Tj} G_{ITj} T_j}{\alpha_j(f, R_j) L_j N_s} \quad (4)$$

Спектрална густина снаге шума на пресретачком пријемнику односи се на адигивни бели гаусов шум и износи  $N_0$ , и интерференцију, која може бити намерна и ненамерна и чија је спектрална густина снаге  $N_j$ , па је:

$$N_s = N_0 + N_j \quad (5)$$

$$N_0 = k_B T_a + k_B T_0 (F_1 - 1) \quad (6)$$

$$N_j = \sum_{n=1}^N \sum_{m=1}^M g_n g_m \frac{J_{nm}}{B_j} \quad (7)$$

где је:  $k_B$  - Болцманова константа ( $k_B = 1,38 \times 10^{-23}$  J/K),  $B_j$  - пропусни опсег пресретачког пријемника,  $T_a$  - температура шума пресретачке антене,  $T_0$  - собна температура (290°K),  $F_1$  - фактор шума пресретачког пријемника,  $J_{nm}$  - ниво снаге емитоване од  $n$ -тог ометача (којих укупно има  $N$ ) у  $m$ -том фреквенцијском каналу (од укупно  $M$ ),  $g_n$  и  $g_m$  - фактори облика дијаграма зрачења и погискивања интерференције, који смањују ефекте  $J_{nm}$ .

У условима јаког ометања, интерференција ће бити далеко јача од термичког шума, па ће  $N_s \approx N_j$ , док ће у околини без интерференције бити  $N_s \approx N_0$ .

### 3. КОМУНИКАЦИЈСКИ ЛИНКОВИ

Предпоставља се да један предајник може да емитује до више мрежних пријемника истовремено. За  $i$ -ти пријемник ложиран на растојању  $R_{Cji}$  од  $j$ -тог предајника снага примљеног сигнала је:

$$S_C = \frac{P_{Tj} G_{Tj} G_{CITj}}{\alpha_{Cji}(f, R_{Cji}) L_{Cji}} \quad (8)$$

где је:  $P_{Tj}$  - средња емитована снага  $j$ -тог предајника,  $G_{Tj}$ ,  $G_{CITj}$  - добици предајне и пријемне антене предајника и мрежног пријемника,  $\alpha_{Cji}(f, R_{Cji})$  - губитак услед простирања,  $L_{Cji}$  - атмосферски губици.

Једначина (8) описује просечни примљени сигнал на дагом мрежном пријемнику. Нас интересује однос сигнал-шум, који се обично изражава као однос енергије бита и спектралне густине снаге шума и интерференције, захтеваним да би се добила пројектована максимална вероватноћа грешке  $P_E$ . Ако уведемо једну логичну претпоставку да пријемници LPI мреже раде у

суштински истом окружењу шума и ометања, уврштавањем  $N_s$  у израз (8) и решавањем по  $P_{Tj}$  добија се:

$$P_{Tj} = \frac{S_C N_s \alpha_{Cji}(f, R_{Cji}) L_{Cji}}{N_s G_{Tj} G_{CITj}} \quad (9)$$

Добијена једначина описује снагу предајника потребну да би се добио задани SNR на одређеном мрежном пријемнику. Да би се превазишао проблем да сваки пријемник доводи до различитог решења, усвајамо неке претпоставке. Прво, претпостављамо да су за сврхе мобилности употребљене омнидирекционе антене, па су и добици антена константни и износе  $G_C$ . Такође, претпостављамо да су атмосферски губици у свим везама приближно једнаки, јер сви пријемници раде у истом окружењу. Узмимо да је захтевани однос сигнал-шум константан за сваки мрежни пријемник у зависности од жељених вероватноћа грешке  $P_E$  и брзине протока података  $R_b$ . При овим претпоставкама, захтевана снага предајника зависи од удаљености најдаљег пријемника и износиће:

$$P_{Tj} = \frac{R_b E_b N_s \alpha_{Cj}(f, R_{Cj}) L_C}{N_s G_C^2} \quad (10)$$

где је  $R_{Cj} = \max\{R_{Cji}\}$  домет емитовања предајника.

Предајна снага  $P_{Tj}$  осигурава да било који пријемник унутар полупречника  $R_{Cj}$  предајника има довољан однос сигнал-шум да достигне или прекорачи захтеване перформансе. Уврштавањем изрази (10) у (4) добија се:

$$\frac{E_j}{N_s} = T_j \frac{R_b E_b G_{ITj} \alpha_{Cj}(f, R_{Cj})}{N_s G_C \alpha_j(f, R_j)} \quad (11)$$

Ако мрежни (комуникацијски) и пресретачки пријемници адекватно уклоне све интерференције и имају исти облик шума, тада је  $N_s \approx N_0$ , и ако користимо уобичајене губитке при простирању у

слободном простору:  $\alpha(f, R) = \left(\frac{4\pi f R}{c}\right)^2$  добија се:

$$\frac{E_j}{N_0} = T_j \frac{R_b E_b G_{ITj}}{N_0 G_C} \left(\frac{R_{Cj}}{R_j}\right)^2 \quad (12)$$

Из ове једначине се види да мењањем одређених параметара може да се минимизира постојећи однос сигнал-шум на пресретачком пријемнику и тиме смање перформансе откривања. Пресретање LPI мреже је компликованије, јер пресретач има могућност да обради више сигнала истовремено.

### 4. ШИРОКОПОЈАСНИ РАДИОМЕТАР

Широкопојасни радиометар је некохерентни уређај за мерење енергије, чије су перформансе описане вероватноћом лажног аларма  $P_F$ , вероватноћом детекције  $P_D$ , примљеним SNR  $E/N_0$  и производом време-пропусни опсег  $T_1 W_1$ . За фиксне  $P_D$  и  $T_1 W_1$ , постоји једнозначна релација између SNR и вероватноће детекције. За  $T_1 W_1 \geq 1000$ , довољна је следећа апроксимација:

$$P_D = Q \left[ Q^{-1}(P_F) - \frac{(E/N_0)}{\sqrt{T_1 W_1}} \right], T_1 W_1 \geq 1000 \quad (13)$$

где је  $Q(x)$  несвојствен интеграл Гаусове густине расподеле са нултом средњом вредности и јединичном варијансом [2]:

$$Q(x) = \frac{1}{\sqrt{2\pi}} \int_x^{\infty} e^{-z^2/2} dz \quad (9)$$

Да би добили тражени  $P_D$ , тражени SNR је:

$$\left(\frac{E}{N_0}\right)_{TRAZENI} = [Q^{-1}(P_F) - Q^{-1}(P_D)] \sqrt{T_1 W_1}, T_1 W_1 \geq 1000 \quad (15)$$

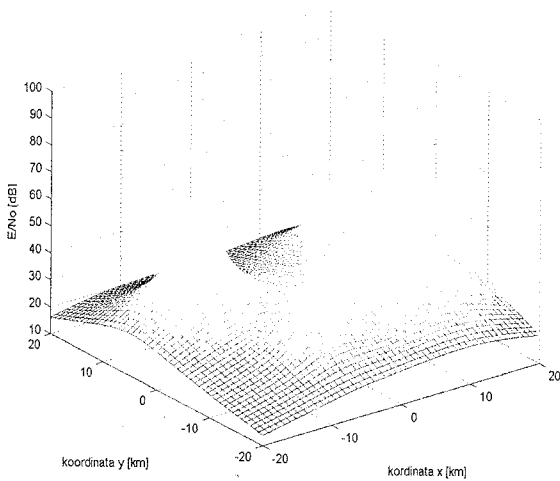
Ако пропусни опсег радиометра покрива све сигнале у LPI мрежи, примљена енергија свих активних предајника одређује могућу вероватноћу откривања.

Предпоставља се да су мрежни сигнали са ортогоналним кодовима фреквенцијског скакања, тако да је примљена енергија једнака суми енергетских нивоа примљених од сваког предајника. За  $U$  предајника лоцираних на  $(x_j, y_j)$ , укупан SNR на пресретачком пријемнику, чија је локација  $(x, y)$ , је [4]:

$$\left(\frac{E}{N_0}\right)_{UKUPAN} = \sum_{j=1}^U T_{sj} \left(\frac{R_b E_b}{N_0}\right) \frac{G_{IIj}}{G_C} \left(\frac{R_{Cj}}{R_j}\right)^2 \quad (16)$$

$$\left(\frac{E}{N_0}\right)_{UKUPAN} = \sum_{j=1}^U T_{sj} R_b \frac{E_b}{N_0} \frac{G_{IIj}}{G_C} \frac{R_{Cj}^2}{(x-x_j)^2 + (y-y_j)^2} \quad (17)$$

На слици 2, је илустративно представљен однос  $E/N_0$  за четири предајника, у тродимензионалном простору површином изнад  $x$ - $y$  равни. Хоризонтални пресеци површине дају контуре са константним односом сигнал-шум што се види на слици (3):



Сл. 2. Мрежаста површина примљеног  $E/N_0$

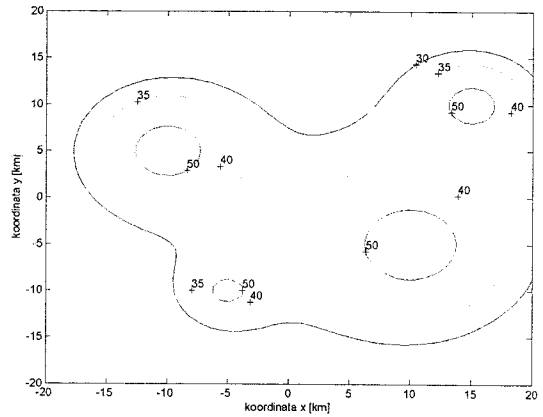
Са задатим нивоом откривања мрежа се може открити ако је:

$$\left(\frac{E}{N_0}\right)_{UKUPAN} \geq \left(\frac{E}{N_0}\right)_{TRAZENI} \quad (18)$$

Анализа са слике (3) показује да се откривање мреже може спровести на два начина:

откривање сваког појединачног предајника ако је пресретачки пријемник довољно близу, а примљени  $E/N_0$  довољно велики,

да се на основу примљене енергије из више извора, када се пресретачки пријемник налази у неким средњим регионима, открије активност мреже. У овим областима ниједан предајник се не може открити сам по себи, али откривање мреже је могуће ако се прими довољна количина енергије од свих предајника истовремено.



Сл. 3. Контуре примљеног  $E/N_0$

## 5. ЗАКЉУЧАК

Као пример откривања радио мреже са распршеним предајницима узет је један тактички регион површине  $40 \times 40$  км. Унутар територије постављен је пресретачки пријемник који сакупља енергију од сва 4 предајника истовремено. За жељену анализу написан је програм у програмском пакету *Matlab* [5]. Усвојене вредности тражених величина су:  $U=4$ ,  $R_b=2400$  bit/s,  $E_b/N_0=7.1$  dB,  $T_{S1}=T_{S2}=T_{S3}=T_{S4}=0.2$ s,  $R_{C1}=20$ km,  $R_{C2}=10$ km,  $R_{C3}=28$ km,  $R_{C4}=15$ km. Позиције предајника су  $X_1=-10$ km,  $Y_1=+5$ km,  $X_2=-5$ km,  $Y_2=-10$ km,  $X_3=+10$ km,  $Y_3=-5$ km,  $X_4=+15$ km,  $Y_4=+10$ km. Вредности су одабране да што реалније прикажу ситуацију постојећих мрежа. За смањење могућности откривања може се ићи на повећање траженог односа сигнал-шум код пресретајућег пријемника или на смањење укупне енергије која је на располагању пресретачком пријемнику. Како на жељену вероватноћу детекције  $P_D$  и лажног аларма  $P_F$ , учесници у мрежи немају утицаја, преостаје да се тражени однос сигнал-шум може повећати употребом галасних облика са великим  $TW$  производом.

Ограничавајућа могућност у мрежи је то, што корисник не може да промени додељено му поље скока, ширину канала, или брзину фреквенцијског скакања без компатибилности са другим корисницима. Ефикасна прикривеност мреже смањењем укупне енергије која је на располагању пресретачком пријемнику, постиже се краћим растојањима, смањењем снаге предајника и преносом мање количине података у што краћем времену. Из израза (17) се види да је укупан однос  $E/N_0$  мањи ако се користе мање брзине протока  $R_b$  и ефикасне технике модулације  $E_b/N_0$ .



## ЛИТЕРАТУРА

- [1] Илија С. Стојановић “Основи телекомуникација”, Грађевинска књига, Београд, 1985.
- [2] Георгије Лукатела “Дигиталне телекомуникације”, Грађевинска књига, Београд, 1984.
- [3] Саво Г. Глишић “Пренос сигнала са експандованим спектром”, Београд, ССНО-Управа везе, 1981.
- [4] Robert F. Mils, Glenn E. Prescott, “Detectability Models for Multiple Access Low-Probability-of-Intercept Networks”, IEEE TRANSACTIONS ON AEROSPACE AND ELECTRONIC SYSTEMS VOL.36, No3 JULY 2000.
- [5] R. A. Dillard, “ Detectability of Spread-Spectrum Signals,” IEEE Trans. Aerosp. Elektron. Syst., AES-15, pp. 526-537, July 1979.
- [6] Лагинка Ђаласан, Менка Петковска, “Маглаб”, Микро књига, Београд, 1996.

**Abstract** – *In this paper problem of frequency hopping spread spectrum (FHSS) signal detection is analyzed. Network which is being considered here assumes spatially diverse transmitters among which an intercepting receiver can be placed. Intercepting receiver is of broadband radiometer type, with detection decision based on measuring of energy in the entire time-frequency domain of the transmitter.*

## POSSIBILITIES OF DETECTION OF FREQUENCY HOPPING SPREAD SPECTRUM RADIO NETWORKS

Radiša Stefanović, Mladen Arnautović, Branislav Todorović





---

---

секција Т8

**ПРОЦЕСНИ РАЧУНАРИ**

---

---

M. Marinković, B. Anđelković, P. Petković <b>Kompaktna MAC arhitektura Hilbertovog transformatora u integrisanom meraču potrošnje električne energije</b> .....	114
B. Jovanović, M. Jevtić, S. Došić, M. Sokolović, P. Petković <b>Projektovanje BIST logike u DSP bloku integrisanog merača potrošnje električne energije</b> .....	120
M. Damjanović, B. Jovanović <b>Energy calculation in a power-meter IC</b> .....	126
M. Sokolović, M. Nikolić, M. Andrejević, P. Petković <b>ADC testing of an integrated power meter</b> .....	132

---

---

## KOMPAKTNA MAC ARHITEKTURA HILBERTOVOG TRANSFORMATORA U INTEGRISANOM MERAČU POTROŠNJE ELEKTRIČNE ENERGIJE

Miroslav Marinković, Bojan Anđelković, Predrag Petković, *Elektronski fakultet u Nišu*

**Sadržaj** – U radu su opisane dve varijante realizacije MAC (Multiplier and Accumulator) arhitekture Hilbertovog transformatora koji se nalazi u sastavu integrisanog merača potrošnje električne energije. U odnosu na ostale arhitekture koje se sreću u praksi, MAC arhitekturu karakteriše manja površina čipa. Obe varijante MAC arhitekture (osnovna i kompaktna) opisane su u VHDL-u, verifikovane simulacijama i sintetizovane upotrebom standardnih ćelija iz biblioteke AMI Semiconductor CMOS035 tehnologije. Kompaktna arhitektura sadrži brojna poboljšanja kako sa stanovišta površine, tako i efikasnosti.

### 1. UVOD

Hilbertov transformator se koristi da bi se ostvario fazni pomak od  $90^\circ$  između ulaznog i izlaznog signala. On se najčešće realizuje kao FIR sistem sa antisimetričnim impulsnim odzivom. U praksi se sreću nekoliko arhitekture FIR sistema pri čemu se optimizacija vrši po kriterijumu brzine, površine čipa ili potrošnji. Naš primarni cilj je optimizacija po površini, uz što manju potrošnju.

U integrisanom meraču potrošnje električne energije (IMPEG [1]) Hilbertov transformator se koristi da pomeri fazu osnovnog harmonika frekvencije 50 Hz u naponskom kanalu za  $90^\circ$ , što je potrebno za izračunavanje reaktivne snage. Frekvencija odabiranja signala na ulazu i izlazu je 4096 Hz. Hilbertov transformator koji je ugrađen u postojeći prototip integrisanog merača realizovan je kao direktna arhitektura sa CSD (Canonical Signed Digit) reprezentacijom koeficijenata. Takva arhitektura omogućava da se ne koriste množači već je funkcija množenja realizovana skupom sabirača, oduzimača i pomerača. Zahvaljujući CSD reprezentaciji, broj operacija sabiranja i oduzimanja je minimiziran. Arhitekturu karakteriše mala potrošnja, velika brzina rada i jednostavna implementacija. Predmet razmatranja ovog rada je MAC arhitektura, koja se, kao što će biti pokazano, karakteriše znatno manjom površinom čipa u odnosu na pomenutu arhitekturu sa CSD reprezentacijom koeficijenata. Osnovni nedostaci MAC arhitekture ogledaju se u većoj potrošnji i ograničenju brzine rada uslovljenom odnosom frekvencije odabiranja i maksimalnom frekvencijom takta.

U ovom radu predložena je modifikacija osnovne MAC arhitekture, kako bi se ublažili navedeni nedostaci uz dodatno smanjenje površine. Zbog toga će se, u daljem tekstu, ova arhitektura zvati *kompaktna* MAC arhitektura.

U narednom odeljku biće date karakteristike Hilbertovog transformatora, a zatim i opis osnovne i kompaktne MAC arhitekture sa konkretnim implementacijama. Izlaganje se završava prikazom rezultata dobijenih simulacijama pre i posle sinteza.

### 2. KARAKTERISTIKE HILBERTOVOG TRANSFORMATORA

Jedan od projektnih zahteva u integrisanom meraču potrošnje električne energije jeste merenje utroška reaktivne energije. Da bi se iskoristio isti hardver koji se koristi za merenje aktivne energije, dovoljno je da se ostvari fazni pomak od  $90^\circ$  u naponskom kanalu. Pri tome, važno je da u okolini osnovne frekvencije od 50 Hz amplitude ulaznog i pomerenog signala imaju iste vrednosti. U ovu svrhu koristi se Hilbertov transformator. Poseban izazov u projektovanju predstavlja relativno visoka frekvencija uzorkovanja u odnosu na osnovnu frekvenciju što prouzrokuje veoma strmu amplitudsku karakteristiku u NF opsegu. Realizacija takve karakteristike zahteva relativno visoki red aproksimacione funkcije, odnosno veliki broj koeficijenata filtra.

Koeficijenti Hilbertovog transformatora određeni su primenom programa MATLAB. Zatim je izvršena konverzija dobijenih decimalnih vrednosti u binarni oblik sa preciznošću od 15 bitova. Posle optimizacije dobijeno je da se zadovoljavajući rezultati postižu Hilbertovim transformatorom 31. reda. Na slici 1 je data amplitudska karakteristika ovog Hilbertovog transformatora, a u tabeli 1 dati su njegovi koeficijenti. Koeficijenti su antisimetrični u odnosu na centralni  $h(15)$ , a svaki drugi je jednak nuli. Zato se odziv filtra može opisati diferencnom jednačinom (1):

$$y(n) = \sum_{k=0}^7 h(2k)[x(n-2k) - x(n-30+2k)]. \quad (1)$$

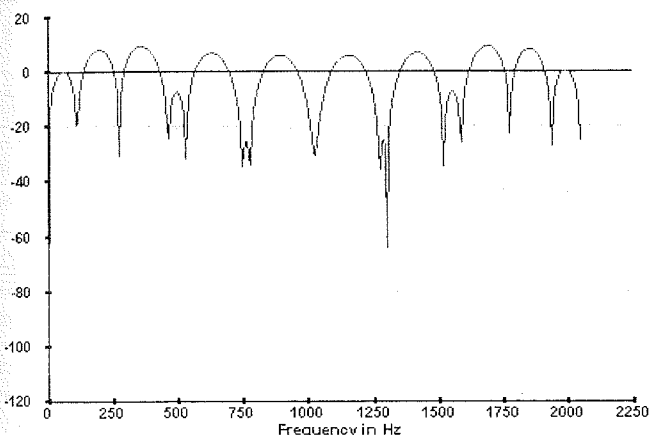
Uvećani deo amplitudske karakteristike, prikazan na slici 2, pokazuje da u okolini 50 Hz postoji prihvatljivo malo pojačanje od 0.1855 dB. Ravnija amplitudska karakteristika može da se dobije samo povećanjem broja tapova. Arhitektura sa CSD reprezentacijom koeficijenata zahtevala bi značajno povećanje hardvera. Ovo je, ujedno, bio i neposredni povod da se primeni MAC arhitektura jer očekujemo da se pokaže racionalnom sa stanovišta hardvera, čime se ostvaruju uslovi za projektovanje Hilbertovog transformatora sa boljom amplitudskom karakteristikom.

### 3. OSNOVNA MAC ARHITEKTURA

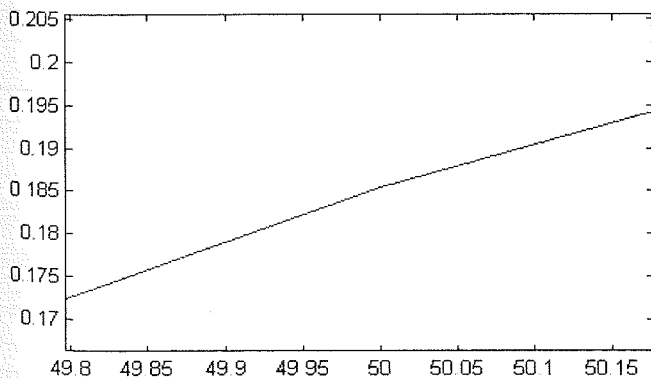
FIR sistemi sa MAC arhitekturom za izračunavanje izlaznog odbirka koriste sledeći postupak. Na ulaze množača dovode se sekvencijalno parovi koeficijent/odgovarajući odbirak. Proizvod množenja upisuje se u akumulator, tj. sabira se sa rezultatom množenja prethodnih parova. Izračunavanje se završava kada se u akumulator upiše proizvod množenja poslednjeg para. Tada se rezultat iz akumulatora upisuje u izlazni registar, akumulator se resetuje, i ceo ciklus izračunavanja se ponavlja.

Tabela 1: Koeficijenti Hilbertovog transformatora

h(n)	Vrednost	Binarni oblik
h(0) = -h(30)	0.710938	010110101111111
h(1) = -h(29)	0	
h(2) = -h(28)	0.260742	001000010110000
h(3) = -h(27)	0	
h(4) = -h(26)	-0.0488892	111110011011111
h(5) = -h(25)	0	
h(6) = -h(24)	-0.223145	111000110110111
h(7) = -h(23)	0	
h(8) = -h(22)	-0.272461	110111010010010
h(9) = -h(21)	0	
h(10) = -h(20)	-0.207031	111001011000010
h(11) = -h(19)	0	
h(12) = -h(18)	-0.0189819	111111011001001
h(13) = -h(17)	0	
h(14) = -h(16)	0.554443	010001101111011
h(15)	0	



Slika 1: Amplitudska karakteristika Hilbertovog transformatora

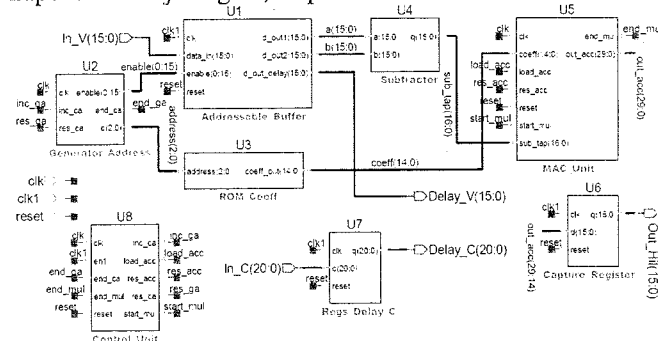


Slika 2: Amplitudska karakteristika u okolini frekvencije od 50 Hz

Blok šema osnovne MAC arhitekture prikazana je na slici 3. Ovaj digitalni sistem sastoji se od nekoliko podsistema: adresabilnog bafera (*Addressable\_Buffer*) U1, generatora adresa (*Generator\_Address*) U2, ROM memorije (*ROM\_Coeff*) U3, oduzimača (*Subtractor*) U4, MAC jedinice (*MAC\_Unit*) U5, izlaznog registra (*Capture\_Register*) U6, niza registara (*Regs\_Delay\_C*) U7 i kontrolera (*Control\_Unit*) U8.

Sistem ima sledeće portove: osnovni takti signal *clk* frekvencije 4194304 Hz; signal *clk1* za takt frekvencije 4096 Hz (frekvencija odabiranja); signal *reset* kojim se sistem

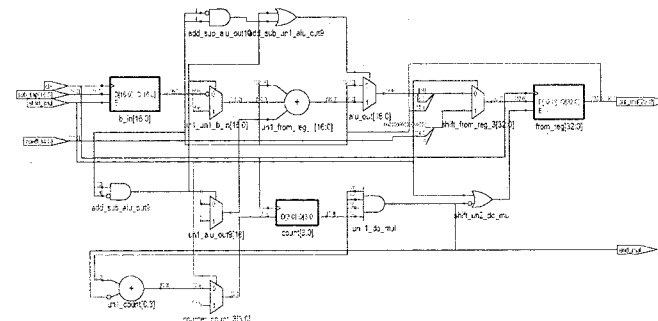
asinhrono postavlja u inicijalno stanje; ulazne magistrale *In\_V(15:0)* i *In\_C(20:0)* na koje se dovodi naponski i strujni signal; respektivno; izlaznu magistralu *Out\_Hil(15:0)* na kojoj je izlazni naponski signal; izlazne magistrale *Delay\_V(15:0)* i *Delay\_C(20:0)* na kojima su zakašnjeni naponski i strujni signal, respektivno.



Slika 3: Blok šema osnovne MAC arhitekture Hilbertovog transformatora

Adresabilni bafer sadrži registre za implementaciju kašnjenja odbiraka ulaznog naponskog signala i trostatičke bafere kojim se selektuje sadržaj odgovarajućeg registra. Na rastuću ivicu takta *clk1* novi odbirak ulaznog signala upisuje se u prvi registar u nizu, a istovremeno se sadržaj svakog registra pomera udesno u naredni registar. Adresabilni bafer se sastoji od *p* 16-bitnih registara (*p*=31, red filtra) i *q* 16-bitnih trostatičkih bafera (*q*=16, broj nenulih koeficijenata). Trostatički baferi su organizovani u dve grupe. Obe grupe se sastoje od 8 16-bitnih trostatičkih bafera, tako da su izlazi prve grupe povezani za zajedničku magistralu *a(15:0)* a izlazi druge na zajedničku magistralu *b(15:0)*. Kao što sledi iz jednačine (1), odgovarajući odbirci ulaznog signala,  $x(n-2k)$  i  $x(30-n+2k)$  se oduzimaju oduzimačem *Subtractor*, a zatim se dobijena razlika množi odgovarajućim koeficijentom (ne množi se nulim koeficijentima). Podsystem *Generator\_Address* obavlja dve važne funkcije. Prvo, on generiše adrese za ROM memoriju u kojoj se čuvaju koeficijenti, i drugo, generiše signale dozvole za trostatičke bafere koji se nalaze u adresabilnom baferu.

Množač koji se nalazi u okviru MAC jedinice koristi Butov (*Booth*) algoritam za množenje brojeva izraženih u dvojičnom komplementu [2]. Da bi se izmnožio jedan par koeficijent/razlika odgovarajućih odbiraka, potrebno je 15 taktih intervala (broj bitova koeficijenata). Detalji implementacije ovog množača dati su na slici 4.



Slika 4: Implementacija Butovog množača

U odnosu na naponski signal izlazni signal iz Hilbertovog transformatora *Out\_Hil* pomeren je za  $90^\circ$ . U teoriji FIR filtera poznato je da FIR filter sa linearnom fazom reda  $M$  (sa  $M$  tapova) ima kašnjenje  $delay = \frac{M-1}{2}$  (u odbircima). Da bi

se sinhronizovali rezultati koji se odnose na izračunavanje aktivne i reaktivne snage, odnosno energije, potrebno je da se za isti iznos zakasne signali u naponskom i strujnom kanalu. Zato se ulazni naponski i strujni signal propuštaju kroz 15 registara na čijim se izlazima dobijaju signali *Delay\_V* i *Delay\_C*, respektivno. Međutim, adresabilni bafer unosi dodatno kašnjenje od jednog registra, kao i izlazni registar *Capture\_Register*. S obzirom na ovo, ulazni strujni signal je propušten kroz niz od 17 registara (*Regs\_Delay\_C* na čijem izlazu je zakašnjeniji strujni signal *Delay\_C*). Za implementaciju kašnjenja naponskog signala ne koriste se posebni registri, već se za to koriste registri adresabilnog bafera, tako da je naponski signal *Delay\_V* signal iz 17. registra adresabilnog bafera.

Radom celog sistema upravlja kontroler (*Control\_Unit*) koji je realizovan kao konačni automat (FSM-Finite State Machine) Murovog (Moor) tipa sa 8 stanja. On prima statusne signale od pojedinih podsistema (npr. kada je množenje završeno) i generiše upravljačke signale neophodne za njihovo funkcionisanje (za početak množenja, za upis u akumulator, itd.).

### 3. KOMPAKTNA MAC ARHITEKTURA

Kompaktna MAC arhitektura u odnosu na prethodno opisanu (osnovnu) MAC arhitekturu sadrži sledeća poboljšanja:

- Kao memorijski elementi umesto registara koriste se RAM memorije koje zauzimaju znatno manju površinu na čipu
- Primenjeni su *gated* (gejtovani) takti signali [3] da bi se smanjila disipacija.
- Implementiran je modifikovan Butov algoritam [4] da bi se smanjio broj taktova neophodnih za operaciju množenja.
- Uvedena je tehnika preklapanja (*overlapping*) kako bi se ubrzala operacija množenja.

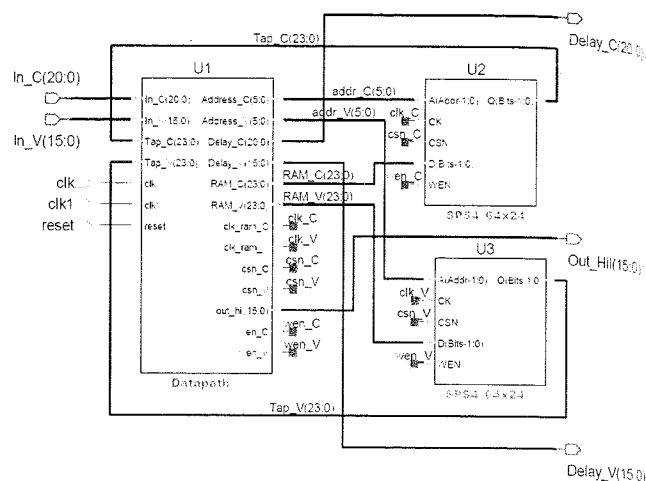
Najvažnije poboljšanje koje dovodi do smanjenja površine čipa odnosi se na način čuvanja odbiraka naponskog i strujnog signala. Naime, za njihovo čuvanje, umesto registara (*Addressable\_Buffer* i *Regs\_Delay\_C*), koriste se RAM memorije koje zauzimaju manju površinu od pomenutih podsistema. Blok šema ove arhitekture prikazana je na slici 5.

Podsystem *Datapath* opisan je u VHDL-u dok su opisi RAM memorija *SPS4\_64x24* (U2 i U3) dobijeni od proizvođača tehnologije u Verilog formatu. Pristup memorijama obavlja se sinhrono, sa rastućom ivicom takta.

Uvođenje RAM memorija zahteva dodatnu kontrolnu logiku u sastavu podsistema *Datapath*. Međutim, površina čipa koju ova logika zahteva značajno je manja od površine koju zauzimaju registri realizovani na bazi standardnih flip-flova.

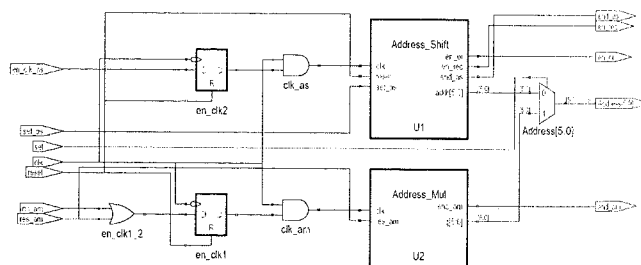
Generator adresa za memorije ima složeniju strukturu u odnosu na osnovnu varijantu MAC arhitekture. Njegova implementacija prikazana je na slici 6. On sadrži blokove *Address\_Shift* i *Address\_Mul*. Njihovi izlazi vode se na ulaze

multipleksera. Podsystem *Address\_Shift* se koristi kada treba obezbediti pomeranje sadržaja memorijskih lokacija (tj. odbiraka naponskog i strujnog signala). On je realizovan kao konačni automat i funkcioniše na sledeći način.

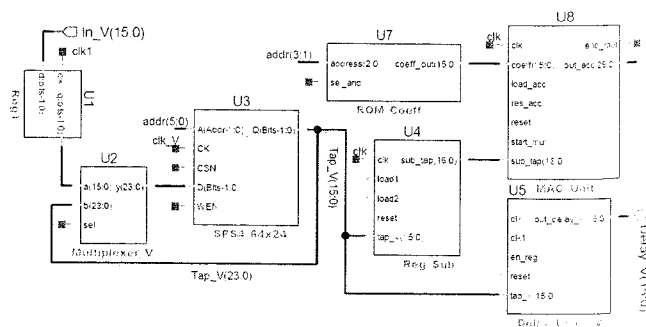


Slika 5: Blok šema kompaktne MAC arhitekture Hilbertovog transformatora

Prvo se generiše adresa preposlednje memorijske lokacije, "29" i čita se njen sadržaj. Zatim se generiše adresa "30" i sadržaj memorijske lokacije sa adrese "29" upisuje se na adresu "30". Na isti način se sadržaj lokacije sa adrese "28" upisuje na adresu "29". Ovaj postupak se nastavlja i na kraju se u lokaciju sa adresom "0" upisuje sadržaj registra u kome se čuva tekući odbirak signala iz naponskog kanala. Na ulaze multipleksera koji se nalazi ispred memorijskog ulaza za podatke se dovodi signal sa izlaza memorije i signal iz pomenutog registra (slika 7).



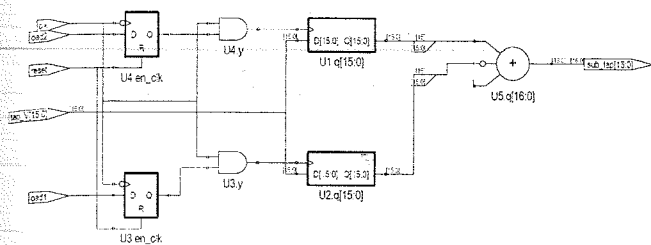
Slika 6: Detalji implementacije generatora adresa



Slika 7: Blok šema dela podsistema Datapath

Blok *Address\_Mul* sa Slike 6 koristi se za generisanje adresa prilikom množenja parova koeficijent/razlika odbiraka. Odgovarajući odbirci  $x(n-30+2k)$  i  $x(n-2k)$  čitaju se iz RAM memorije (U3 na slici 5), upisuju u registre *Reg\_Sub*, sa slike 7, pa se, zatim, sadržaji tih registara

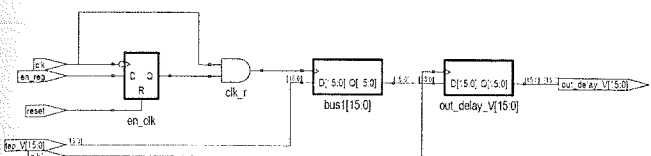
oduzimaju (antisimetričnost koeficijenata). Implementacija ovog bloka prikazana je na slici 8.



Slika 8: Implementacija bloka Reg\_Sub

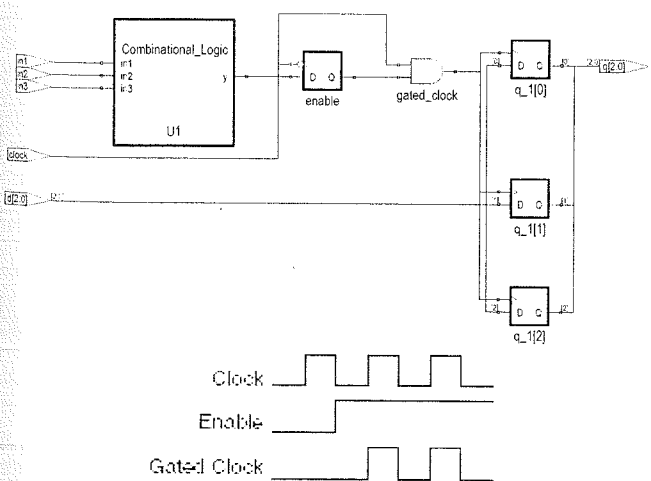
Zakašnjene signale *Delay\_V* i *Delay\_C* na izlazu *Datapath* podsistema (Slika 5) generišu blokovi *Delay\_Logic\_V* i *Delay\_Logic\_C*, respektivno.

Implementacija bloka *Delay\_Logic\_V* prikazana je na slici 9. U prvi registar upisuje se sadržaj memorijske lokacije sa adrese "15", a zatim se ciklično u drugi registar upisuje se sadržaj prvog registra taktom frekvencije 4096 Hz (frekvencija odabiranja). Na sličan način realizovan je i podsistem *Delay\_Logic\_C*.



Slika 9: Implementacija bloka Delay\_Logic\_V

Da bi se smanjila potrošnja sistema (tj. dinamička disipacija) do svih sekvencijalnih blokova unutar podsistema *Datapath*, osim kontrolera, dovode se gejtovani takti signali. Ovi signali se dovode i do memorija. Da bi se obezbedio pouzdan rad sistema, vrlo je važno da se prilikom generisanja gejtovanih signala izbegnu gličevi. Na slici 10 prikazana je tehnika koja se koristi za generisanje gejtovanih taktih signala [5].



Slika 10: Šema za generisanje gejtovanih taktih signala

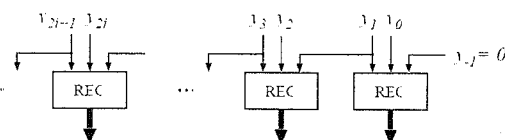
Flip-flop koji se nalazi između kombinacione logike (*Combinational\_Logic*) i AND kola i koji se okida opadajućom ivicom, generiše na svom izlazu signal dozvole za takt, *enable*. Kada je *enable* na logičkoj '1', AND kolo

propušta takt *clock* do flipflopova koji se okidaju rastućom ivicom. Kada se koristi ova tehnika treba obratiti pažnju na faktor ispunje takta. Sada se za okidanje flipflopova koriste obe taktne ivice, pa to može da izazove sledeći problem. Ako je blok *Combinational\_Logic* relativno složen, ili ako se koristi takt sa izrazito antisimetričnim faktorom ispunje, može doći do narušavanja vremenskih parametara flip-flopova (vreme postavljanja i vreme držanja).

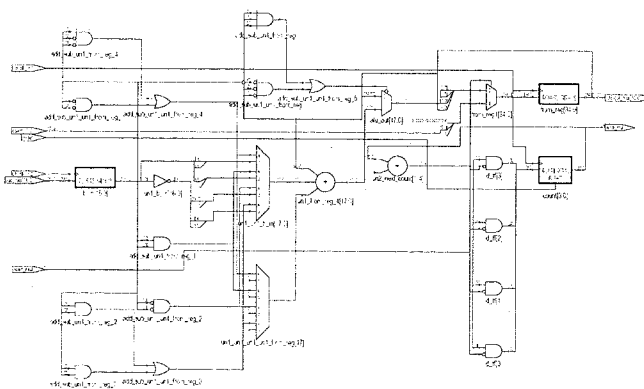
Primena modifikovanog Butovog algoritma omogućava smanjenje broja taktih intervala neophodnih da bi se obavila operacija množenja. Ova modifikacija se zasniva na transformaciji množioca (u našem slučaju to je koeficijent) koja je poznata pod nazivom *radix-4 recoding* (rekodiranje) [4]. Transformacija uključena u ovom rekodiranju prikazana je u Tabeli 2, dok je proces rekodiranja množioca prikazan na slici 11. Ako je *n* broj bitova množioca (*n* treba da bude paran broj), da bi se izvršilo množenje potrebno je  $n/2$  taktih intervala. S obzirom da su u našem slučaju koeficijenti predstavljeni sa 16 bitova, potrebno je 8 taktih intervala za izračunavanje proizvoda koeficijent/razlika odgovarajućih odbiraka. Detalji implementacije modifikovanog množača dati su na slici 12.

Tabela 2: Postupak radix-4 rekodiranja

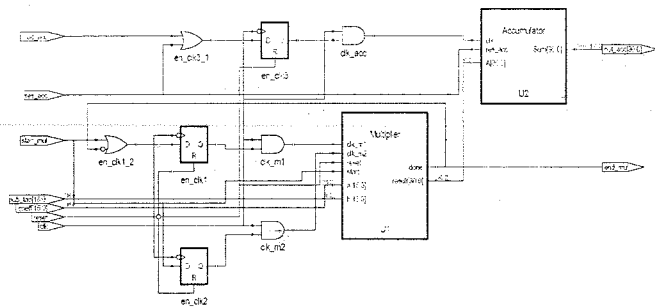
Originalni bitovi	Transformisani (recoding)
$y_{2i+1}y_{2i}y_{2i-1}$	bit $y'_i$
000	0
001	1
010	1
011	2
100	-2
101	-1
110	-1
111	0



Slika 11: Radix-4 rekodiranje

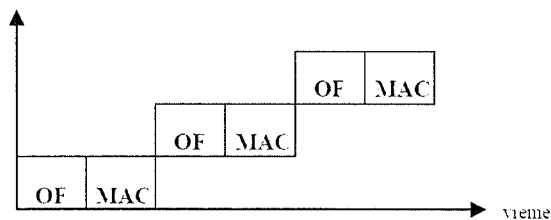


Slika 12: Detalji implementacije modifikovanog Butovog množača

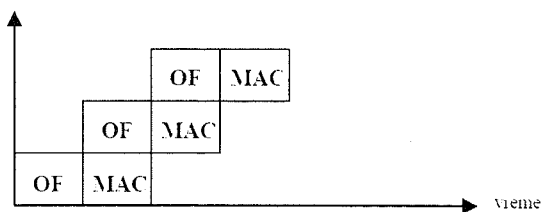


Slika 13: Implementacija modula MAC\_Unit

U cilju povećanja brzine izračunavanja izlaznog odbirka, osim implementacije modifikovanog Butovog algoritma, primenjena je i tehnika preklapanja (*overlapping*) (ova tehnika se koristi kod protočnih mikroprocesora) [6]. Naime, izračunavanje izlaznog odbirka može da se podeli u dve faze. U prvoj fazi odbirci ulaznog signala se čitaju iz memorije, upisuju u registre, pa se zatim sadržaji tih registara oduzimaju (podsystem *Reg\_Sub*). U drugoj fazi obavlja se množenje para koeficijent/razlika odbiraka ulaznog signala i upisivanje proizvoda množenja u akumulator (modul *MAC\_Unit*). Između ovih faza je moguće ostvariti vremensko preklapanje, tako da u trenutku kada množenje jednog para počne, pribavljanje novih odbiraka iz memorije takođe može početi. Na slikama 14 i 15 prikazana je serijska obrada i obrada sa preklapanjem, respektivno. Sa OF (*Operand Fetching*) je označen proces pribavljanja odbiraka ulaznog signala iz RAM-a, dok je sa MAC (*Multiply and ACcumulate*) označeno množenje sa koeficijentom i upis u akumulator.



Slika 14: Serijska obrada

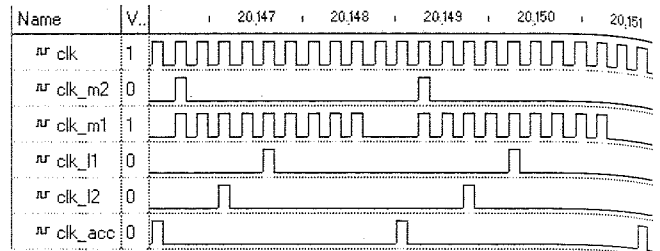


Slika 15: Obrada sa preklapanjem

Na slici 16 prikazani su taktни signali kojim se okidaju flip-flopovi množača (*clk\_m1* i *clk\_m2*), akumulatora (*clk\_acc*) i registara u podsystemu *Reg\_Sub* (*clk\_l1* i *clk\_l2*) dobijeni simulacijom. Kao što se vidi, postoji vremensko preklapanje između taktnih signala *clk\_l1* i *clk\_l2* sa *clk\_m1*, čime je skraćena latencija iniciranja novog ciklusa množenja (vremenski inteval između dva uzastopna ciklusa množenja).

Primenom modifikovanog Butovog algoritma i tehnike preklapanja broj taktnih ciklusa neophodnih za MAC operacije smanjen je za oko 40%. (sa 152.5 na 94.5). Na taj način kompenziran je broj taktova neophodan za ciklično pomeranje sadržaja u RAM memoriji i proširena je granica

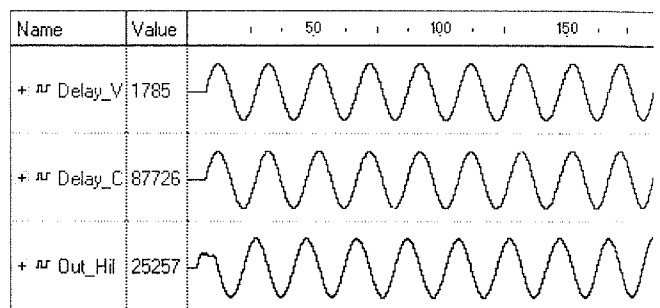
maksimalnog broja tapova koji može da se dostigne istim hardverom.



Slika 16: Ilustracija primene tehnike preklapanja

#### 4. REZULTATI SIMULACIJE I SINTEZE

Funkcionalnost VHDL opisa Hilbertovog transformatora najpre je verifikovana *Active HDL* simulatorom [7]. Pobudna sekvenca za verifikaciju funkcionalnosti uzeta je sa izlaza FIR filtera (naponskog i strujnog) koji su, kao i Hilbertov transformator, sastavni deo integrisanog merača potrošnje električne energije. Na slici 17 prikazani su talasni oblici signala *Delay\_V*, *Delay\_C* i *Out\_Hil* dobijeni simulacijom. Ovi signali u vremenskom domenu dobijaju oblik sinusoide kao "analogni" signali, iako predstavljaju zapravo vrednosti 16-bitnog (*Delay\_V* i *Out\_Hil*) odnosno 21-bitnog (*Delay\_C*) izlaznog signala.



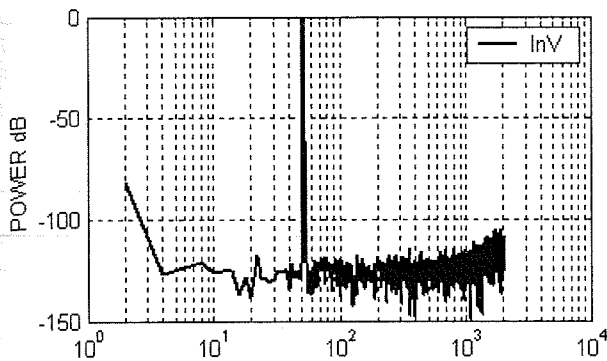
Slika 17: Rezultati simulacije

Nakon ovoga, VHDL opisi Hilbertovog transformatora uneti su u program za logičku sintezu *Ambit Build Gates*, koji je deo Cadence sistema za projektovanje kola [8]. Kao rezultat dobijena je netlista (VHDL i Verilog) u kojoj se koriste standardne ćelije iz biblioteke AMI Semiconductor 0.35μm C035M-D [9]. Podaci o površini za obe varijante MAC arhitekture i arhitekture sa CSD reprezentacijom koeficijenata sumirani su u Tabeli 3. Treba primetiti da su za realizaciju kompaktne MAC arhitekture upotrebljene RAM ćelije kapaciteta 64x24 čije su dimenzije daleko veće nego što je bilo potrebno za realizaciju filtra 31. reda.

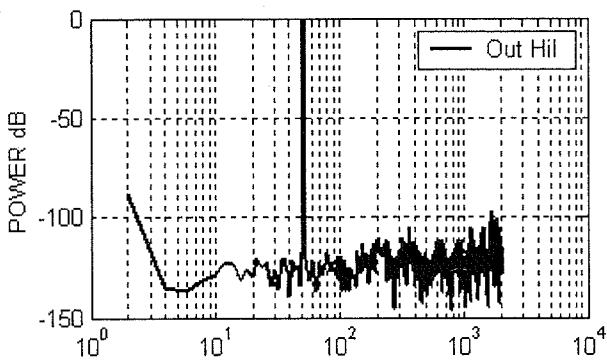
Nakon sinteze, izvršena je simulacija dobijene VHDL netliste u cilju verifikovanja rezultata sinteze. Rezultati dobijenih simulacija (digitalna reč na izlazu Hilbertovog transformatora) importovani su u MATLAB programski paket [10], kako bi se izračunala FFT (*Fast Fourier Transform*). Spektri snage signala na ulazu i izlazu iz Hilbertovog transformatora, prikazani na slikama 18 i 19 pokazuju da se nije izgubilo na osnovnim performansama (SFDR > 100dBc).

Tabela 3: Površine CSD i MAC arhitektura nakon sinteze

Arhitektura	Površina u broju NAND kola	Površina u $\mu\text{m}^2$
CSD	10286.41	555466.14
Osnovna MAC	6418.97	346624.38
Kompaktna MAC	5690.34	307278.36



Slika 18: Spektar snage signala na ulazu u Hilbertov transformator



Slika 19: Spektar snage signala na izlazu Hilbertovog transformatora

## ZAKLJUČAK

U radu su opisane dve varijante MAC (*Multiplier and ACumulator*) arhitekture (osnovna i kompaktna) Hilbertovog transformatora. Obe varijante su projektovane kao makro blokovi korišćenjem AMI Semiconductors CMOS 0,35 $\mu\text{m}$  C035M-D biblioteke standardnih digitalnih ćelija. Pokazano je da se MAC arhitektura karakteriše manjom površinom čipa u odnosu na arhitekturu sa CSD reprezentacijom koeficijenata. Verifikacija projektovanih MAC arhitektura obavljena je simulacijama u VHDL-u i FFT analizom.

Kompaktna MAC arhitektura nastala je modifikacijom osnovne time što su uvedeni:

- RAM memorija umesto registara,
- gejtovani taktni signali,
- tehnika preklapanja,
- modifikovani Butov algoritam.

Na taj način postiglo se:

- smanjenje površine,
- smanjenje potrošnje,
- povećanje brzine izračunavanja.

Osim ovoga, kompaktna MAC arhitektura pruža mogućnost da se poveća red filtra (broj tapova) uz neznatno povećanje hardvera. Povećanje broja tapova zahtevalo bi značajno povećanje hardvera osnovne MAC arhitekture, a naročito arhitekture sa CSD reprezentacijom koeficijenata. Treba primetiti da su upotrebljene RAM ćelije kapaciteta 64x24, tj. veće nego što je bilo potrebno za realizaciju filtra 31. reda.

## LITERATURA

- [1] Nikolić, M., Andrejević, M., Savić, M., Anđelković, B., "Top-Level Layout Design of Solid-State Energy Meter", XLVIII Conference of ETRAN, Čačak, 7.-10. June 2004., (to be published)
- [2] Z. Huang, "High-Level Optimization Techniques for Low Power Multiplier Design", Ph.D. Thesis, University of California, Los Angeles, 2003.
- [3] Emmett F., Biegel M., "Power reduction through RTL clock gating", Synopsis Users Group, SNUG, Papers and Presentations, San Jose, 2000.
- [4] <http://www.ecs.umass.edu/ece/koren/arith/simulator>
- [5] Altera 2002 Documentation, Application Note 238, <http://www.altera.com>.
- [6] M. Stojčev, "RISC, CISC i DSP procesori", Univerzitet u Nišu, Elektronski fakultet, 1997.
- [7] "Active-HDL, ver.5.1. User's Manual", ALDEC Inc., 2002.
- [8] Cadence 2003 Documentation, <http://www.cadence.com>.
- [9] AMI Semiconductor CMOS 0.35 $\mu\text{m}$  Technology Documentation.
- [10] "MATLAB and SIMULINK Users Guide", The MathWorks, Inc., Natick, MA, 1997.

**Abstract** - This paper describes two variants of MAC (*Multiplier and ACumulator*) architecture of Hilbert transformer implemented within a solid-state energy meter. The main feature of the MAC architecture is smaller chip area comparing to other used architectures. A compact form of MAC architecture is suggested in this paper. The both MAC architectures (basic and compact) are described in VHDL, verified by simulations and synthesized using Alcatel CMOS 0.35 $\mu\text{m}$  technology library. The compact MAC architecture improves savings in chip area and efficiency.

Miroslav marinković, bojan anđelković, predrag petković

## PROJEKTOVANJE BIST LOGIKE U DSP BLOKU INTEGRISANOG MERAČA POTROŠNJE ELEKTRIČNE ENERGIJE

Borisav Jovanović, Milun Jevtić, Sandra Došić, Miljana Sokolović, Predrag Petković *Elektronski fakultet u Nišu*

**Sadržaj** – U ovom radu opisana je implementacija BIST (Built-In Self Test) logike koja omogućava testiranje aritmetičkih blokova čipa za merenje potrošnje električne energije. U čip su ugrađena dva nivoa testiranja: u normalnom režimu rada i posebnom režimu testiranja. Prvi nivo testiranja, tokom normalnog režima eksploatacije čipa, omogućava uvid u rad kola preko alternativnog pina i statusnog registra. Drugi nivo namenjen je detaljnom testiranju svakog aritmetičkog bloka pojedinačno.

### 1. UVOD

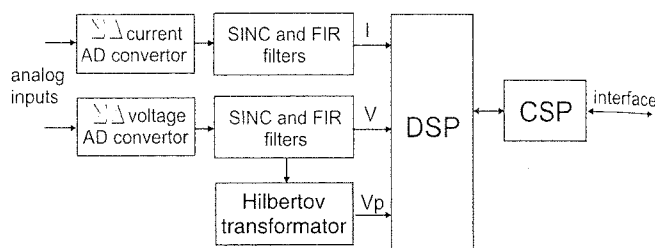
Projektovanje SoC (System-On-Chip) sistema koji sadrže analogne i digitalne signale predstavlja izazovan projektantski zadatak. Naime, potrebno je izmiriti često kontradiktorne zahteve koje nameće realizacija analognih i digitalnih funkcija. Zato se projektovanje ovakvih sistema ne može svesti na jednostavno spajanje pojedinačnih funkcionalnih celina u sistem. Umesto toga, treba da se nađe optimalna arhitektura koja objedinjuje sve zahtevane funkcije a pritom zauzima što manju površinu. Takođe, ona treba da bude testabilna.

Značajan aspekt koji otežava testiranje složenih kola odnosi se na broj sekvencijalnih podsistema koji su ugrađeni u tako veliki čip. Naime, kada bi kolo bilo kombinaciono, bilo bi dovoljno dovesti signale na ulaz i meriti njihov odziv na izlazu. U čipovima koji se danas prave, može da se pokaže da je ugrađeno više sekvencijalnih podsistema koji imaju sopstveni taktni signal različit od glavnog takta. Zato je sa porastom broja takvih podsistema testiranje složenije a rezultati testiranja od sve većeg značaja [1].

Svaki sekvencijalni podsistem složenog sistema čija se funkcija može lako prepoznati može da se tretira kao funkcionalni element nad kojim može da se primeni funkcionalni test. Još u ranoj fazi projektovanja treba uočiti najvažnije elemente sistema i isprojektovati okruženje koje bi omogućilo njihovo testiranje. Ugradnjom dodatnih kola koja bi bila aktivna samo pri testiranju, element može da bude izolovan (skaniran) i njemu bi mogli posebno da se dovode signali.

U ovom radu predstavljen je deo upravljačke jedinice i poseban blok testne logike namenjeni testiranju kod SoC za merenje potrošnje električne energije. Inače, čip na osnovu ulaznih trenutnih vrednosti struje i napona računa njihove efektivne vrednosti, aktivnu, reaktivnu i prividnu snagu, frekvenciju, faktor snage, aktivnu i reaktivnu energiju. Njegovi osnovni blokovi prikazani su na Sl.1 [2-6]. Čip sadrži i analogne i digitalne delove. Kao što se vidi na Sl.1, digitalni deo čipa sastoji se od digitalnih filtara (SINC i FIR), DSP bloka i bloka serijske komunikacije CSP. Upravljačka jedinica [4] i testna logika [6], sastavni su deo DSP bloka [3]. U narednom poglavlju opisan je ugrađeni koncept testiranja. Zatim je opisan deo kontrolera koji i upravlja radom testne logike. U četvrto i peto poglavlje prikazuju

realizaciju testiranja u normalnom i posebnom modu rada, namenjenom testiranju pojedinih aritmetičkih blokova čipa. U šestom poglavlju opisan je postupak projektovanja od opisa na RTL nivou do fizičkog projektovanja korišćenjem CADENCE alata za projektovanje [7] na bazi standardnih ćelija iz biblioteke AMIS 0.35 $\mu$  C035M-A 5M/2P/HR tehnologije [8].

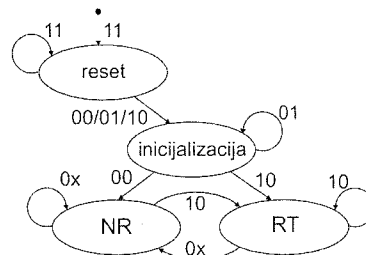


Sl.1: Osnovni blokovi SoC za merenje potrošnje električne energije

### 2. OPIS TESTIRANJA

Čip radi u četiri režima rada: reset, inicijalizacija, normalni režim tokom koga se obavlja *on-line test* (OnT) i posebni režim testiranja tokom koga može da se izvršava *off-line test* (OffT). Detaljno objašnjenje radnih režima dato je u [4].

Uslovi prelaska iz jednog režima rada u drugi zavise od stanja na spoljašnjim pinovima čipa MODE1 i MODE0 i prikazani su na Sl. 2. U čip su ugrađena dva nivoa testiranja: u normalnom režimu i u posebnom režimu testiranja [6]. Pritom su kao najvažniji elementi koji treba da se testiraju odabrani aritmetički blokovi DSP-a.



Sl.2: Globalni dijagram stanja upravljačke jedinice

Tokom redovne eksploatacije kola, u normalnom režimu rada, omogućeno je on-line testiranje ugradnjom funkcija samotestiranja čipa (*Built-in self test*, BIST). Preko ERROR izlaznog pina čipa omogućava se uvid u rad kola u slučaju pesimističke prognoze da redovna komunikacija sa čipom preko serijske komunikacije (CSP) nije moguća. Naime, u slučaju da se detektuje greška u nekom od elementarnih aritmetičkih blokova, na pinu ERROR pojaviće se signal koji upozorava na otkrivenu grešku. Pored posmatranja signala na ERROR pinu, u toku normalnog režima rada, moguće je proveriti ispravnost pojedinih blokova čitanjem sadržaja

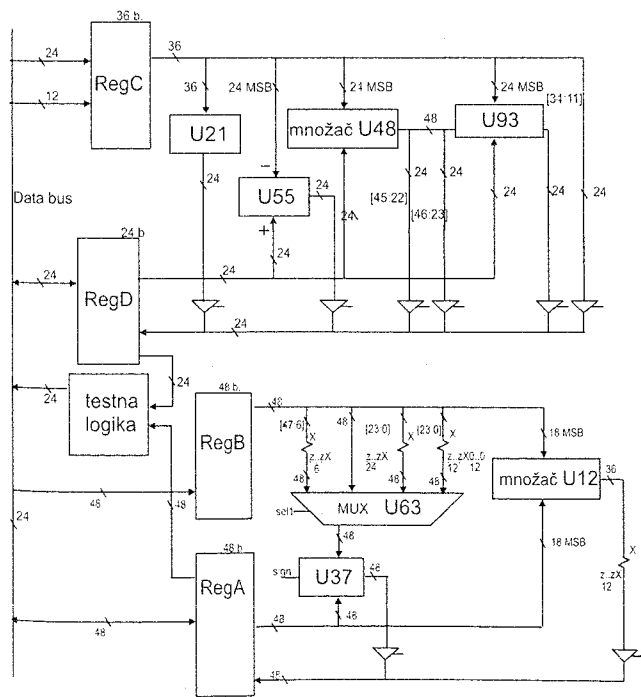


statusnog registra [4, 6] preko CSP-a. Za svaki blok koji se testira predviđen je po jedan bit u statusnom registru. Ako se u dva uzastopna testiranja nekog aritmetičkog bloka DSP-a ustanovi da neki od njih ne radi, greška se registruje na odgovarajućoj bit poziciji statusnog registra.

Režim testiranja namenjen je detaljnom testiranju svakog aritmetičkog bloka unutar DSP-a, pojedinačno. Veoma je značajno da se testabilnost aritmetičkih blokova postiže bez uvođenja dodatnih pinova čipa. Tako, preko samo 2 pina CSP-a obezbeđen je pristup do svih operanada i dobijenog rezultata na izlazu svakog aritmetičkog bloka.

Zajednička osobina OnT i OffT jeste da su operandi, koji se tom prilikom koriste, smešteni su na istim lokacijama u RAM memoriji. Tokom OnT operandi su unapred poznate, konstantne vrednosti upisane tokom procesa autoinicijalizacije [4, 6] i ne menjaju se tokom normalnog rada čipa. Rezultati testiranja aritmetičkih blokova su takođe poznate vrednosti tako da jednostavnim poređenjem ovih poznatih vrednosti i trenutnih rezultata testiranja dolazi se do zaključka da li neki od aritmetičkih blokova DSP-a radi dobro ili ne.

Za razliku od OnT, tokom OffT, vrednosti operanada mogu se proizvoljno menjati. Naime, u sekvencu stanja upravljačke jedinice (UJ) u OffT ugrađena su dodatna stanja "čekanja" (biće detaljno objašnjena kasnije) tokom kojih se upisuje vrednost operanada preko CSP-a. Naravno, od aritmetičkog operatora koji se testira zavisi to koje se lokacije RAM-a koriste. Nakon generisanja rastuće ivice na RUN\_STOP ulaznom pinu čipa, UJ izlazi iz stanja čekanja, pod njenom kontrolom izvršava se odgovarajuća aritmetička operacija i rezultat se upisuje na određene lokacije RAM-a, odakle rezultat može da se pročita preko CSP-a u narednom stanju "čekanja".



Sl.3: Blok šema DSP-a

Šta se testira? Data path DSP-a sastoji se od aritmetičkih operatora i radnih registara RegA, RegB, RegC i RegD (prikazani na Sl.3) koji su preko 24-bitne magistrale podataka

Data povezane sa 64x24 RAM memorijskim blokom. Aritmetički operatori koji se testiraju su: blok za množenje 24-bitnih brojeva U48; blok za množenje 18-bitnih brojeva U12; sistem za korenovanje U21; kolo koje radi kao kolo za sabiranje ili oduzimanje U37 (zavisno od kontrolnog ulaza sign); blok za oduzimanje 24-bitnih brojeva U55; blok za deljenje U93. U DSP-u postoji i jedan multiplekser 4 u 1 (označen sa U63 na Sl.3) koji na jednom od svojih ulaza prihvata podatak iz 48-bitnog registra RegB. Na ostalim ulazima podatak iz RegB je pomeren ulevo ili udesno za određeni broj bit pozicija. Izlaz multipleksera se vodi na ulaz kola za sabiranje ili oduzimanje (označen sa U37 na Sl.3). Kako svaki od puteva multipleksera mora da se testira, najbolje rešenje je da se istovremeno testiraju i multiplekser i kolo za sabiranje ili oduzimanje tako da se u četiri različita testa testira po jedan ulaz multipleksera. Dakle, treba da postoji ukupno 9 testova. Operacije tokom OnT i OffT se najvećim delom poklapaju. Kao što je rečeno, razlika postoji u dodatnim stanjima čekanja u sekvenci stanja UJ u OffT koja omogućavaju unos operanada i čitanje rezultata.

U prvom testu proverava se aritmetički blok za množenje U48. Sa lokacije POD1 RAM memorije čita se 24-bitni operand i upisuje u registar RegD i 24 msb bitova registra RegC. Upravljačka jedinica zadaje start za operaciju množenja, operand se u U48 kvadrira i nakon 24 taktova od zadavanja starta rezultat se upiše u registar RegD. Zatim proverava režim rada čipa. Tokom OnT, dobijeni rezultat se poredi sa tačnim rezultatom u bloku BIST logike. Za vreme OffT, 24-bitni rezultat se iz registra RegD prebacuje u lokaciju RAM-a na adresi REZ1 odakle može da se čita preko CSP-a.

U drugom testu radi se provera množača U12. 24-bitni operand sa lokacije REZ1 upisuje se u msb delove registara RegA i RegB. Nakon izvršenog množenja 48-bitni rezultat se prvo smešta u RegA a zatim u REZ2 i REZ1 tokom OffT, odnosno poredi se sa sa ispravnom vrednošću iz BIST bloka tokom OnT.

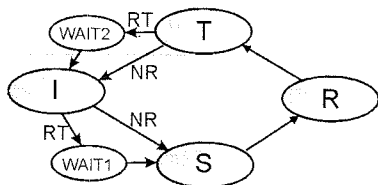
Treći test proverava rad sistema za korenovanje U21. Broj koji se korenuje smešta se u 36-bitni registar RegC tako što se vrednost sa adrese POD3 smesti u 24 msb bita RegC a 12 msb bitova sa POD2 smesti u preostalim 12 lsb bitova RegC. Rezultat je 24-bitni i smešta se u najpre u RegD a onda u REZ1 ako je čip u režimu rada testiranja. Kao i u ostalim testovima, rezultat OnT se poredi sa ispravnim iz BIST bloka.

Testovi od 4. do 7. proveravaju rad multipleksera U63 i kola za sabiranje U37. U testu br. 4 selektuje se ulaz 0; u br. 5 ulaz 1; u br. 6 ulaz 2; u br. 7 ulaz 3 multipleksera. 24 msb bitova 48-bitnog operanda nalazi se na lokaciji POD3 a 24 lsb bitova na POD2. Isti 48-bitni operand dovodi se u RegA i RegB. Rezultat je 48-bitni i smešta se u najpre u RegA a zatim u REZ2 i REZ1 ako je čip u režimu testiranja.

Test 8. proverava kolo za oduzimanje U55 dok test 9. blok za deljenje U93. Pritom se koristi 24-ro bitni operand smešten u POD1. Rezultat se smešta najpre u 24-bitni registar RegD a potom u REZ1. U testu 8. umanjilnik i umanjilac su isti brojevi i nula je očekivani rezultat testa. U testu 9. deljenik i delilac su isti brojevi tako da je rezultat jedinica.

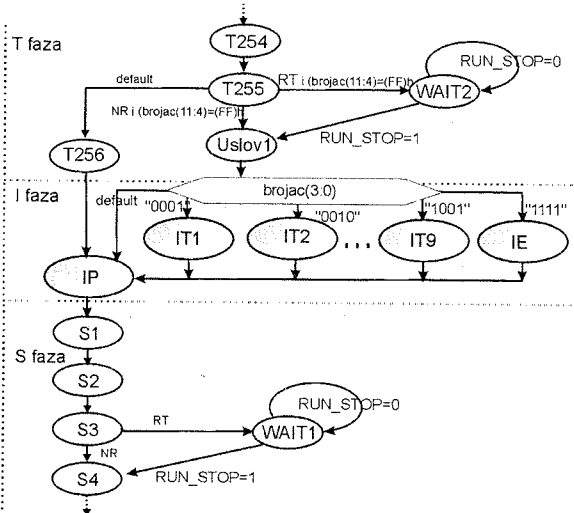
### 3. UPRAVLJAČKA LOGIKA ZA TESTIRANJE

Kao što je rečeno u [4], upravljačka jedinica radi na frekvenciji 4096x1024Hz i izvršava osnovnu sekvencu stanja trajanja 1024 takta. Ona je zajednička za OnT i OffT i podeljena je u četiri intervala (faze rada UJ) nazvane S, R, T i I koje traju po 256 taktova (Sl. 4). U OffT režimu, u osnovnu sekvencu stanja UJ ubačena su dodatna stanja čekanja na početku S faze i na kraju T faze u kojima je moguć prenos informacija preko CSP-a (kao što se vidi na Sl. 4). Za vreme OnT ne postoje stanja čekanja. U okviru UJ nalazi se 12-bitni sinhroni brojač (detaljno objašnjen u [4]) koji se tokom osnovne sekvence UJ tačno jednom inkrementira. Kako je frekvencija rada UJ 4096x1024 Hz, tokom OnT, nakon svake sekunde ovaj brojač dolazi u isto stanje.



Sl.4: Osnovni radni ciklus upravljačke jedinice

Stanje brojača određuje šta UJ treba da radi u I fazi. Ako je trenutno stanje brojača (FFF)h, I podsekvencu predstavlja fazu izračunavanja (sekvenca IE prikazana na Sl.5). Tada se na osnovu akumuliranih vrednosti u S fazi rada, računaju efektivne vrednosti struje i napona, aktivna, reaktivna i prividna snaga, faktor snage i frekvencija (izračunavanja koja se obavljaju u različitim podsekvencama UJ detaljno su objašnjena u [3]). Ako je stanje brojača neko iz opsega (FF1)h do (FF9)h, I faza predstavlja fazu testiranja (sekvence IT1 do IT9 prikazane na Sl.5) i u svakoj od ovih podsekvenci radi se po jedan test. Dakle, ukupno ima 9 različitih testova. Za ostala stanja brojača I faza predstavlja fazu u kojoj se ne vrše izračunavanja (sekvenca IP prikazana na Sl.5).

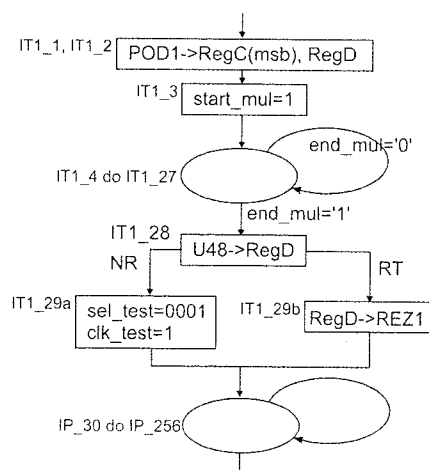


Sl.5: Detalj sekvence tokom I faze upravljačke jedinice

Deo osnovne sekvence UJ značajne za fazu testiranja je detaljno prikazan na Sl. 5. U stanju T255 na kraju T faze, UJ ispituje koji je režim rada i stanje u kome se nalazi 12-bitni brojač. Ako su tokom OnT svi viši bitovi brojača u stanju FF, signal *brojac(11:4)* na Sl.5., onda upravljačka jedinica dolazi u stanje označeno kao Uslov 1. Pri istom uslovu za vreme OffT, UJ prelazi u stanje čekanja (označeno sa WAIT2 na Sl.4) u kome je dozvoljena komunikacija preko CSP-a.

Nakon rastuće ivice na RUN\_STOP pinu, iz stanja čekanja UJ prelazi u stanje označeno kao Uslov1, gde se dalje ispituju lsb bitovi brojača. Ako je stanje brojača *brojac(3:0)=1111*, I podsekvencu predstavlja fazu izračunavanja (sekvenca IE prikazana na Sl.5). Ako je stanje brojača *brojac(3:0)* neka binarna vrednost između 0001 i 1001, onda UJ počinje sekvencu za testiranje odgovarajućeg aritmetičkog bloka (IT1 do IT9). Trajanje svake od testnih sekvenci zavisi od trajanja aritmetičke operacije. Najkraće se testiraju operacije sabiranja i oduzimanja (traju 2 takta) a najduže operacije množenja, deljenja i korenovanja (traju po 24 taktova). Nakon završetka testne sekvence (IT1 do IT9) UJ prelazi u stanje IP sekvence koje garantuje da ukupno trajanje četvrtre I faze bude tačno 256 taktova. Nakon IP faze UJ se vraća na početak S faze i u stanju S3, UJ opet ulazi u stanje čekanja (označeno sa WAIT1 na Sl.4). Nakon rastuće ivice na RUN\_STOP pinu, iz stanja čekanja WAIT1 UJ prelazi u stanje označeno sa S4, pa u S5 itd. Prolazi kroz faze sekvence stanja S, R i T faze i na kraju dolazi ponovo u T255. Nakon toga opisani ciklus se ponavlja.

Na Sl.6 dat je prikaz sekvence UJ IT1 za testiranje aritmetičkog bloka U48. Vrednost brojača je (FF1)h Na početku IT1, komandama UJ podatak POD1 se, prebacuje preko 24-bitne magistale *data(23:0)* u radne registre RegC i RegD (stanja IT1\_1 i IT1\_2). Zatim, upravljačka jedinica postavlja signal *start\_mul=1* čime započinje proces množenja (stanje IT1\_3). Posle 24 perioda osnovnog takta, množenje je završeno i rezultat se upisuje u radni registar RegD (stanje IT1\_28). Nakon toga UJ proverava da li se izvršava OnT ili OffT režim rada. Ako je OffT, rezultat se prebacuje iz registra RegD u memoriju na adresu 52 (predviđenu za podatak REZ1) odakle rezultat može da se čita preko CSP (stanje IT1\_29b). Ako je OnT, UJ postavlja signale *clk\_test=1* i *sel\_test(3:0)=0001* (stanje IT1\_29a). Time se startuje postupak poređenja dobijenog rezultata sa ispravnom vrednošću množača U48 koji se odvija u BIST bloku sa Sl. 3. Visokim stanjem signala *clk\_test\_in* izdaje se komanda BIST bloku da obavi operaciju testiranja. Preko *sel\_test(3:0)* UJ prosleđuje informaciju o vrsti aritmetičkog bloka koji se testira. Sa *sel\_test(3:0)=0001* određen je U48. Nakon toga UJ prelazi u sekvencu IP na stanje IP\_30. U stanjima IP\_30 do IP\_256 UJ ne radi ništa.



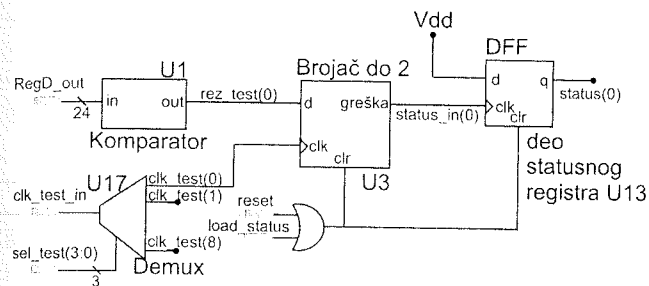
Sl.6: Sekvenca za testiranje bloka U48

#### 4. TESTIRANJE U NORMALNOM REŽIMU RADA

Blok BIST logike namenjen testiranju tokom normalnog režima rada (OnT) prikazan je na Sl. 7. Kao što je rečeno, rezultat testiranja u OnT može da se dobije preko izlaznog ERROR pina i statusnog registra.

Informacija o rezultatu testiranja dobija se preko 9 lsb bitova statusnog registra koji je sadržan u okviru BTL. Naime, kada se dva puta uzastopno desi greška prilikom testiranja nekog aritmetičkog bloka odgovarajući bit statusnog registra postavlja se u stanje 1.

Kako je ranije rečeno, UJ generiše signal  $clk\_test=1$  u trenutku kada se u registru RegD (Sl.3) pojavi signal čiju vrednost treba testirati (na kraju IT faze rada tokom OnT). Pored toga, UJ prosleđuje bloku testne logike informaciju o vrsti aritmetičkog bloka koji se testira sa  $sel\_test(3:0)$ .



Sl. 7: Blok BIST logike aktivan tokom on-line testa

U slučaju testa za množać U48  $sel\_test(3:0)=0001$ . Komparator U1 sa Sl.7, u okviru BTL, sačinjen je od kombinacionih kola, namenjen je da poredi sadržaj registra RegD sa očekivanim rezultatom koji je hardverski definisan unutar komparatora. U slučaju da se registruje očekivana vrednost, signal  $rez\_test(0)=1$  (Sl.7). Ukoliko rezultat množenja nije ispravan  $rez\_test(0)=0$ . U okviru BTL postoji ukupno 9 komparatora, po jedan za svaki aritmetički operator koji se testira.

Signal  $clk\_test(0)$ , izlaz demultipleksera U17 (Sl.7) je aktivan pri testiranju množaća U48 i predstavlja takti signal brojača U3, koji broji do dva. U okviru BTL postoji ukupno 9 ovakvih brojača, po jedan za svaki aritmetički operator. Ako rezultat nije ispravan, signal na izlazu kola za upoređivanje U1  $rez\_test(0)=0$ , pa prednja ivica signala  $clk\_test(0)$  inkrementira brojač U3. Ako je signal  $rez\_test(0)=1$ , rezultat je ispravan, te se brojač U3 sinhrono resetuje rastućom ivicom signala  $clk\_test(0)$ .

Brojač U3 broji uzastopne greške. Kada izbroji dve, postavlja izlazni signal greške na logičku 1 (signal  $error\_in(0)=1$  na Sl.7). Kada je uzastopna greška detektovana, takva situacija treba da ostane zapamćena. Pri rastućoj ivici signala  $error\_in(0)$ , D flip-flop pod rednim brojem 0 u statusnom bloku U13 (Sl.7) se setuje, odnosno signal  $status(0)=1$ .

Na sličan način testiraju se ostali aritmetički blokovi. Za svaki aritmetički blok koji se testira postoji poseban komparator, brojač do 2 i D flip-flop u statusnom registru.

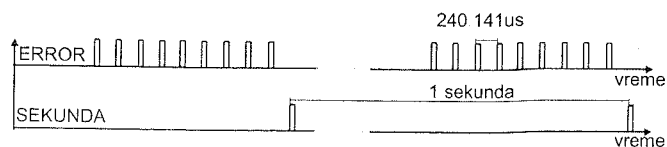
Brojači do 2 kao i D flip-flovi (od 0. do 8.) u statusnom bloku U13, resetuju se signalom  $load\_status$ . Naime, svaki

put kada se upisuje neki podatak u statusni registar preko komunikacionog serijskog porta, interfejs CSP-a i DSP-a (detaljno objašnjen u radu [5]) postavlja signal  $load\_status=1$ . Umesto da se upiše podatak, statusni registar se resetuje. Pored toga, brojači i flip-flovi resetuju se i tokom resetovanja celog sistema. Kada su stanja na spoljašnjim pinovima MODE1 i MODE0 postavljena na logičku jedinicu, aktivan je signal  $reset$  (Sl.7) koji takođe resetuje bitove od 0. do 8. statusnog registra.

Statusni registar kao i svi registri u RAM memoriji su dostupni preko CSP-a. U slučaju da CSP ne radi, informacija o ispravnosti aritmetičkih blokova može se dobiti preko ERROR izlaznog pina.

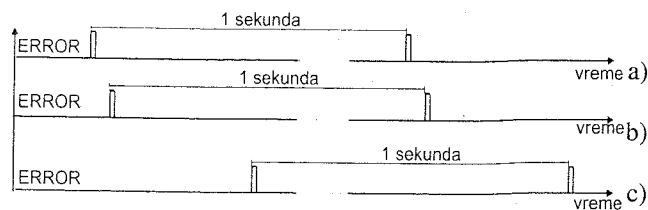
Kada se ustanovi da određeni aritmetički blok nije ispravan (u nekoj IT sekvenci stanja UJ nakon završetka aritmetičke operacije), stanje na ERROR pinu postaje 1. Na završetku iste I faze za testiranje (na kraju IP faze, stanje na ERROR pinu vraća se na 0. Kako se testiranje funkcionalnih blokova u OnT radi periodično jednom svake sekunde u slučaju permanentne greške nekog aritmetičkog bloka javiće se periodični impulsi na ERROR pinu sa istom periodom od 1 sekunde. Vremenski trenutak u kome se pojavljuje impuls jednoznačno određuje operator u kome je detektovana greška. Samo treba da se nađe položaj impulsa u odnosu na referentni impuls na pinu SEKUNDA (objašnjen u [4]). Naime, impulsi koji ukazuju na greške u aritmetičkim blokovima postavljaju se u I intervalima UJ u stanjima brojača UJ od (FF1)h do (FF9)h a impuls SEKUNDA u takođe u I intervalu ali u (FFF)h stanju brojača.

Na Sl.8. prikazan je izgled povorke impulsa koja bi se videla osciloskopom na pinu ERROR u slučaju da su detektovane greške u svim aritmetičkim operatorima. Tada se periodično pojavljuje povorka od 9 impulsa.



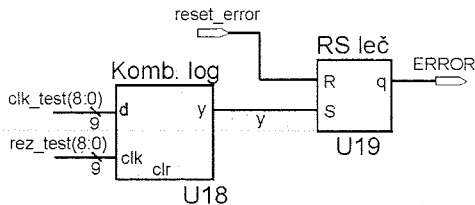
Sl. 8: Povorka impulsa na ERROR pinu u slučaju detektovanja grešaka u svim aritmetičkim operatorima

Na Sl.9 prikazani su vremenski dijagrami generisanja signala  $error\_flag$  u slučaju da je detektovana greška u aritmetičkim blokovima 1, 2 i 9 (množaći U48, U12 i kolo za deljenje U93).



Sl.9: Povorka impulsa na ERROR pinu u slučaju detektovanja grešaka u aritmetičkim operatorima a) U48, b) U12, c) U93

Slika 10 prikazuje deo BIST logike koji generiše signal ERROR.



Sl. 10: Deo BIST logike za generisanje signala ERROR

Signali  $rez\_test(8:0)$  predstavljaju izlaze komparatorskih kombinacionih kola. Pojedini signali iz  $rez\_test(8:0)$  su postavljeni u stanje logičke nule kada je rezultat odgovarajuće aritmetičke operacije netačan. Signal  $clk\_test(i)$  je aktivan kada se testira neki blok. Tada se na osnovu  $rez\_test(8:0)$  dobija informacija o ispravnosti testiranog kola. U slučaju da ne radi ( $rez\_test(8:0)=0$ ), na izlazu kombinacionog kola U18 generiše se signal  $y=1$  koji setuje RS leč U19. Ako je  $rez\_test(8:0) \neq 0$ , U18 daje  $y=0$ . Izlaz RS leča je signal ERROR koji se prenosi na istoimeni pin. RS leč U19 resetuje se signalom  $reset\_error$  koga UJ periodično generiše u poslednjem stanju I faze. Shodno tome, trajanje impulsa greške iznosi  $(256-m)$  taktnih intervala, gde je  $m$  broj taktova za koje testirani aritmetički operator izračuna rezultat i uporedi rezultat sa tačnom vrednošću. Recimo za množać U48  $m=28$  i trajanje impulsa greške je  $54,4\mu s$ .

### 5. TESTIRANJE U POSEBNOM REŽIMU RADA

Za razumevanje testiranja u posebnom režimu rada (*off-line test*, OffT), treba najpre da se objasni sadržaj bitova statusnog registra. Nižih devet bitova  $status(8:0)$  objašnjena su prilikom opisivanja OnT. Oni se ne koriste tokom OffT već samo viši bitovi signala  $status(15:9)$ .

Kao što je opisano [4], bitovi 15. i 14. statusnog registra označavaju da li se UJ nalazi u S, R, T ili I intervalu. Recimo ako su oba na logičkoj jedinici ( $status(15:9)=11$ ), UJ je u stanju "čekanja" ispred I intervala.

Kada je bit na poziciji 13,  $status(13)=1$ , to znači da se 8 bitova najveće težine brojača UJ nalaze u stanju logičke jedinice. Vrednost brojača UJ kada se radi testiranje nalazi se u opsegu od (FF1)h do (FF9)h. Dakle,  $status(13)=1$  je potreban uslov da se radi testiranje u nekom I intervalu. Stanja na  $status(12:9)$  dobijena su od 4 bitova najmanje težine brojača upravljačke jedinice. Kada se radi testiranje  $status(12:9)$  pripada opsegu od 1 do 9.

Postupak off-line testiranja sastoji se u sledećem.

Posle detektovanja stanja na ulaznim pinovima čipa  $MODE1=1$   $MODE0=0$ , UJ prelazi u OffT i odmah nakon toga u stanje "čekanja".

Svaki put kada je u stanju "čekanja", program za testiranje mora da pročita sadržaj statusnog registra. Na osnovu informacije o statusu UJ sadržane u bitovima  $status(15:9)$ , program za testiranje donosi odluku da li treba i koji blok da testira. Aritmetički blok koji treba da se testira jednoznačno je određen sadržajem ovih bitova kao što je dato je u tabeli Tabeli 1.

Tabela 1.

test	Status (15:9)
1	1110001
2	1110010
3	1110011
4	1110100
5	1110101
6	1110110
7	1110111
8	1111000
9	1111001

Kada pročitani status UJ  $status(15:9)$  ne odgovara ni jednom od datih u tabeli, program za testiranje mora da zada impuls na spoljašnjem RUN\_STOP pinu da UJ pređe u naredno stanje. Trajanje impulsa nije od velikog značaja jer UJ prelazi u naredno stanje rastućom ivicom signala. Nakon postavljanja impulsa, program za testiranje treba da sačeka da UJ prođe najviše 1024 perioda osnovnog takta  $clk$  (vreme čekanja izvršenja programa za testiranje mora da bude najmanje  $245\mu s$ ) i dođe do narednog stanja "čekanja" u kome se postupak ponavlja i ponovo čita status UJ.

Ako se pročitana reč  $status(15:9)$  poklopi sa vrednostima u tabeli Tab.1 radi se testiranje odgovarajućeg bloka. Na osnovu informacije o statusu UJ sadržane u bitovima  $status(15:14)$ , dobijena je informacija da je UJ je u stanju "čekanja" ispred I intervala namenjenog testiranju. Tada se preko CSP-a upisuju vrednosti operanada u memorijske lokacije POD1, POD2 ili POD3. Tip operatora koji se testira definiše adrese RAM memorije koje se koriste za smeštanje operanada i rezultata testiranja na način dat u Tab.2. Recimo za četvrti test, proverava se kolo za sabiranje i oduzimanje U37 (Sl.3) pri čemu je aktivan ulaz multiplexera U63 sa oznakom 0. Tada se koristi jedan 48-bitni operand. Viših 24 bitova operanda smeštaju se preko CSP u lokaciju sa adresom POD3, a nižih 24 bitova u lokaciju sa adresom POD2. Nakon testiranja dobija se 48-bitni rezultat čiji je viši deo smešten u REZ2 a niži u REZ1.

Tabela 2.

test	Operand Msb deo	Operand Lsb deo	Rezultat Msb deo	Rezultat Lsb deo
1		POD1		REZ1
2		POD1	REZ2	REZ1
3	POD3	POD2		REZ1
4	POD3	POD2	REZ2	REZ1
5	POD3	POD2	REZ2	REZ1
6	POD3	POD2	REZ2	REZ1
7	POD3	POD2	REZ2	REZ1
8		POD1		REZ1
9		POD1		REZ1

Nakon završenog upisa opranada, program za testiranje zadaje impuls na spoljašnjem RUN\_STOP pinu kojim UJ izlazi iz stanja "čekanja". Nakon toga, program za testiranje treba da sačeka da UJ prođe tačno 256 perioda osnovnog takta I intervala (vreme čekanja programa za testiranje mora da bude najmanje  $64\mu s$ ) i dođe do stanja "čekanja" ispred S intervala. Tokom prethodnog I intervala aritmetička operacija je izvršena a rezultat upisan u memorijske lokacije REZ1 i REZ2. U fazi "čekanja" ispred S intervala ne mora da se

pročita status UJ. Tada treba da se pročitaju rezultati aritmetičkih operacija iz memorijskih lokacija REZ1 i REZ2. Nakon čitanja rezultata testiranja, program za testiranje ponovo zadaje impuls na spoljašnjem RUN\_STOP pinu kojim upravljačka jedinica izlazi iz stanja "čekanja". Nakon toga, program za testiranje treba da sačeka da UJ prođe najviše 1024 perioda osnovnog takta *clk* (vreme čekanja mora da bude najmanje 245  $\mu$ s) i -dođe do narednog stanja "čekanja" u kome se ponovo čita status UJ. Ciklus se ponavlja.

## 6. OPIS I IMPLEMENTACIJA

Ceo digitalni deo čipa je opisan u VHDL-u na RTL nivou i verifikovan u simulatoru *Active HDL*. Napisani su posebni testbenčevi za normalan radni režim i režim testiranja. U oba testbenča implementiran je protokol serijske komunikacije koji je omogućio prenos podataka sa čipom preko dva pina čipa. U normalnom režimu rada na vremenskom dijagramu praćena su stanja na ERROR i SEKUNDA izlaznim pinovima. Takođe, nakon svake sekunde simuliranog rada čipa, preko serijske komunikacije čitan je sadržaj statusnog registra na osnovu čijih nižih devet bitova je utvrđena ispravnost testiranih blokova. Takođe, u normalnom modu rada simuliran je i digitalni deo sa defektima u aritmetičkim blokovima. Tada se efekat defekata pojavio na izlazima čipa. Stanja na ERROR pinu i pročitane vrednosti statusnog registra preko CSP-a, potvrđuju da je logika za OnT ispravno isprojektovana. U posebnom režimu testiranja, detaljno su testirani aritmetički blokovi na način koji je opisan u prethodnom delu rada. Preko serijske komunikacije dovođeni su operandi aritmetičkim blokovima i čitani rezultati.

Nakon uspešnih simulacija na RTL nivou, VHDL opis celog digitalnog dela je ubačen u program za logičku sintezu, *Build Gates*, deo paketa *Cadence* [7] za projektovanje integriranih kola. Kao rezultat sinteze dobijena je netlista standardnih ćelija u Alcatel CMOS035 tehnologiji [8]. Da bi se sinteza obavila korektno, bilo je potrebno naznačiti u *Build Gates* da se stabla takta i reseta ne menjaju. Stabla takta i reseta se prave u narednom koraku, u fazi razmeštaja standardnih ćelija i rutiranja veza. Provera sintetizovane netliste je obavljena u VHDL simulatoru *NCsim* koji je deo paketa *Cadence*. Vremenski dijagrami i rezultati simulacije nisu se promenili u odnosu na one pre sinteze što potvrđuje da je sinteza prošla uspešno.

Nakon sinteze, razmeštaj ćelija, generisanje stabala takta i reseta, i rutiranje veza su obavljani u programu *Silicon Ensemble* koji je, takođe, deo *Cadence* paketa. Na kraju procesa logičke verifikacije, Verilog netlista je ekstrahovana iz *layout*-a i proverena u logičkom simulatoru *NCsim*.

Dobijeni čip nakon procesa fabrikacije detaljno je testiran i svi testovi su uspešno prošli. Dakle, testna logika opisana u ovom radu proverena je u praksi.

## 7. ZAKLJUČAK

U ovom radu opisana je implementacija testne logike u ASIC namenjenom za merenje potrošnje električne energije. Kao najvažniji funkcionalni blokovi DSP dela čipa odabrani su aritmetički blokovi. Ugrađena su dva efikasna nivoa testiranja u posebnim modovima rada čipa. U normalnom režimu rada ugrađen je BIST blok namenjen *on-line*

testiranju. Njegov prevashodni zadatak jeste da što jednostavnije dostavi informaciju o ispravnosti rada čipa o čemu se korisnik izveštava praćenjem logičkog nivoa na jednom izlaznom pinu i pregledom stanja statusnog registra kome se pristupa preko serijske komunikacije. U posebnom modu rada, omogućeno je detaljno off-line testiranje aritmetičkih blokova. Sistem je opisan u VHDL-u i implementiran u Alcatel CMOS tehnologiji standardnih ćelija. Nakon fabrikacije, čip je proveren. Dakle, testna logika opisana u ovom radu obavila je svoj zadatak veoma uspešno.

## LITERATURA

- [1] V. Litovski, "PROJEKTOVANJE ELEKTRONSKIH KOLA: Simulacija, Optimizacija, Testiranje, Fizičko projektovanje", DGIP Nova Jugoslavija, Vranje, 2000.
- [2] M. Andrejević, M. Savić, M. Nikolić, B. Anđelković „TOP-LEVEL layout design of solid-state energy meter”, Rad prezentovan na XLVIII Konferenciji ETRAN, Čačak, 2004.
- [3] B. Jovanović, M. Damnjanović, P. Petković, "Digital Signal Processing for an Integrated Power Meter", Proc of the 49<sup>th</sup> Internationales Wissenschaftliches Kolloquium, Vol. 2, Ilmenau Sept. 27-29. 2004, pp. 190-195.
- [4] M. Jevtić, B. Jovanović, S. Brankov, "Upravljačka logika čipa za merenje potrošnje električne energije", Rad prezentovan na XLVIII konferenciji ETRAN-a, Čačak, juni 2004.
- [5] Marko Cvetković, Milun Jevtić, Marko Dimitrijević, "I<sup>2</sup>C - Like Communication for the Power Meter IC", Proc. 24th International Conference on Microelectronics - MIEL 2004, Vol. 2, pp. 781-784, Niš, Serbia and Montenegro, 16-19. may, 2004.
- [6] M. Sokolović, P. Petković "DSP chain testing in an integrated power-meter", Proc. of the 12th International Scientific and Applied Science Conference, ELECTRONICS ET'2003, Sozopol, Bulgaria, 24-26.09. 2003, pp. 37-42.
- [7] Cadence Release 2003, IC Package, User's Documentation, <http://www.cadence.com>.
- [8] AMI Semiconductor CMOS 0.35um Technology Documentation.

**Abstract** – Implementation of a testing logic controller for DSP of an Integrated Power Meter has been considered in this paper. Two levels of testing have been incorporated into the chip: testing during normal exploitation and testing during the specific testing mode. The first level of testing gives error information in two ways: via external pin and through a status register that can be accessed using serial communication. The second level of testing is for detail testing of DSP's functional blocks.

## BIST LOGIC DESIGN FOR DSP OF AN INTEGRATED POWER METER

Borisav Jovanović, Milun Jevtić, Sandra Došić, Miljana Sokolović, Predrag Petković

## ENERGY CALCULATION IN A POWER-METER IC

Milunka Damnjanović, Borisav Jovanović, *Faculty of Electronic Engineering Niš*

**Abstract** – Implementation of energy calculation in DSP part of an Integrated Power-Meter SoC has been considered in this paper. Both active and reactive power and energy are measured with accuracy less than 0.1% and the flexibility of changing the default energy-measurement-unit is built in chip. The algorithm, system functioning and complete realisation are described. Test results for fabricated integrated circuit verified the designed functionality.

### 1. INTRODUCTION

Nowadays, complete hardware and software multi-processor systems are integrated into a single silicon circuit called System-on-Chip. Architectural design is not only about choosing and assembling components together to create a coherent system; it's also making sure that the chosen architecture is the right one, capable of successful delivery the system functionality while respecting the other constraints such as timing constraints, cost, power consumption, etc.

In this paper, attention has been paid on digital system aimed for power-line active and reactive power measurement. It is a part of an energy power-meter SoC that obtains other important parameters of power line signal such as effective voltage and current, apparent-, active- and reactive power, power factor and frequency ([1] - [4]). Main optimization criterion during the energy meter design was small chip-area. Proposed circuit shares a great part of its hardware with other IC digital blocks having different functions.

Energy measurement system is considered starting with measurement procedure, towards the exact hardware implementation. System was verified through the VHDL simulations and synthesized by Cadence tools. The results are presented.

### 2. POWER-METER SYSTEM-ON-CHIP

The structure of the power-meter is shown in Fig. 1. Analog part has two sigma-delta A/D converters for current

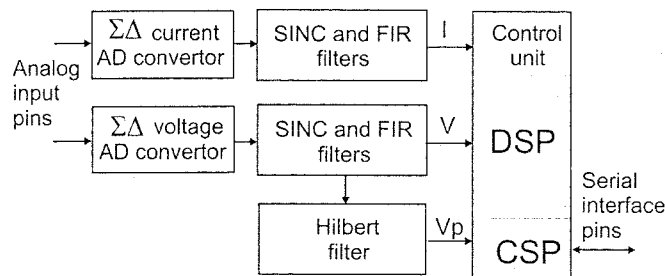


Figure 1: Energy Power Meter System-on-Chip

and voltage input channels. Digital part consists of digital filters and main DSP block. Namely, after digital Sinc, FIR and Hilbert filters, 24 bit two's complement digital samples of current, voltage and phase-shifted voltage are produced and come to DSP block inputs I, V, Vp (Fig. 1). These voltage and current sampling frequency is 4096 Hz.

DSP block (Fig. 2) gets samples of voltage, current and phase-shifted voltage from the bus, and calculates current and voltage RMS values (Irms and Vrms), apparent (S), active (P) and reactive (Q) power, power-factor (Cos(φ)), frequency (F), reactive (Eq) and active (Ea) energy. DSP block consists of several sub-blocks: 64x24 RAM memory block; Serial communication block CSP; DSP part for Irms, Vrms, P, Q, S, cos(φ) calculation; DSP part for I<sup>2</sup>, V<sup>2</sup>, P, Q accumulating and energy calculation; and control unit that manages all parts of DSP including energy calculation circuit.

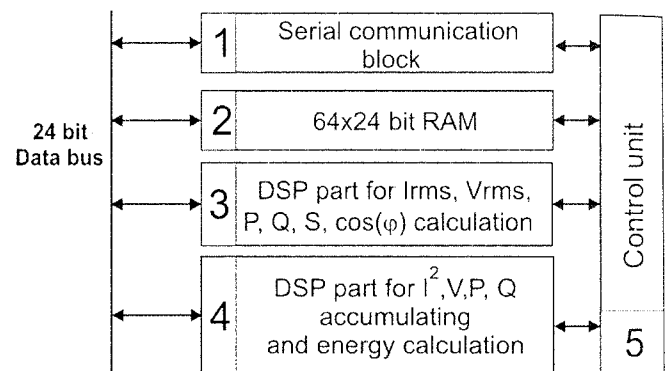


Figure 2: DSP block diagram

Since the system is able to measure both consumed and generated, and active and reactive power, four groups of RAM registers are chosen for storing the measurement results expressed in same energy units. By default, energy unit for all registers is set to 1 kWhr but it can be changed easily anytime during chip normal operation. But, it is recommended that if unit has to be changed, it should be in special mode of chip initialization. Each of the registers has its unique address, so each of them can be accessed via CSP during chip normal functioning. Therefore, energy registers can be loaded by new information or just read. New values should be loaded only in chip initialization mode. During chip normal operation, their values should only be read. There are some situations when registers have to be read. For example, after some brown-out condition when chip supply voltage get under some voltage level that is not yet critical for chip functioning, external microprocessor must read energy registers and store their values into some EPROM memory. Since external capacitors between chip voltage supply and ground discharge slowly, there is always enough time for data transfer, so information can be saved. After

when voltage supply comes back over level that is safe for chip functioning, data have to be reloaded back from EPROM memory into chip energy registers.

Energy measurement results can be observed in two ways: by reading the RAM registers that contain information about energy, and via external pin EOUT. Namely, when chip energy calculation circuitry finds out that one unit of active energy was consumed, it generates one pulse on pin EOUT.

### 3. POWER CALCULATION

Average active power  $P$  is calculated as average value of instantaneous power  $p(t)$  which is derived by multiplying instantaneous values of current  $i(t)$  and voltage  $v(t)$ . If it is assumed that voltage and current are ideal sinusoidal signals with the same phase:

$$v(t) = V \sin(\omega \cdot t) \quad (1)$$

$$i(t) = I \sin(\omega \cdot t) \quad (2)$$

$$p(t) = i(t) \cdot v(t) = I \cdot V \sin^2(\omega \cdot t) \quad (3)$$

$$p(t) = \frac{I \cdot V (1 - \cos(2\omega \cdot t))}{2} \quad (4)$$

Average value is:

$$P = \frac{1}{T} \int_0^T p(t) dt = \frac{I \cdot V}{2}, \quad (5)$$

This is also DC component of  $p(t)$ . Graphically, average value of power is shown in Fig. 3.

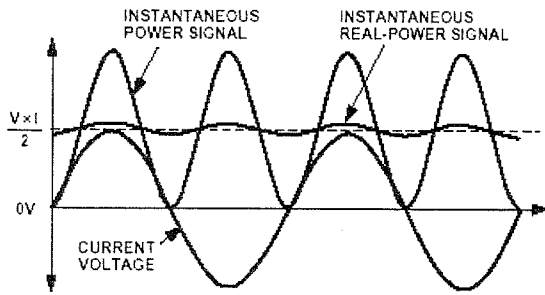


Figure 3: Active power when current and voltage are in phase

For the case when there is phase-difference between voltage and current signals (Fig 4), average power is defined as follows:

$$v(t) = V \sin(\omega \cdot t) \quad (6)$$

$$i(t) = I \sin(\omega \cdot t + \varphi) \quad (7)$$

$$P = \frac{1}{T} \int_0^T p(t) dt = \frac{I \cdot V \cos(\varphi)}{2} \quad (8)$$

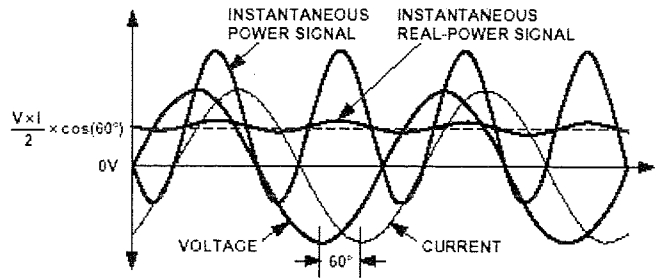


Figure 4: Active power decreases when phase shift exists between current and voltage

In real situations, current and voltage are not ideal-sinusoidal signals. Besides main harmonic, power network signals also contain higher harmonics:

$$v(t) = \sum_{n=1}^{\infty} V_n \sin(n\omega \cdot t + \alpha_n) \quad (9)$$

$$i(t) = \sum_{n=1}^{\infty} I_n \sin(n\omega \cdot t + \beta_n) \quad (10)$$

Therefore, active power can be expressed by following formula:

$$P = P_1 + \sum_{n=2}^{\infty} P_n = \frac{1}{2} I_1 V_1 + \frac{1}{2} \sum_{n=2}^{\infty} I_n V_n \cos(\varphi_n), \quad (11)$$

It is very important that chip can measure both consumed and generated energy. As it can be seen in Fig. 5, phase relation between current and voltage signals determine the sign of average power. If chip is measuring the consumed power, its sign is positive. For generated power, sign is negative.

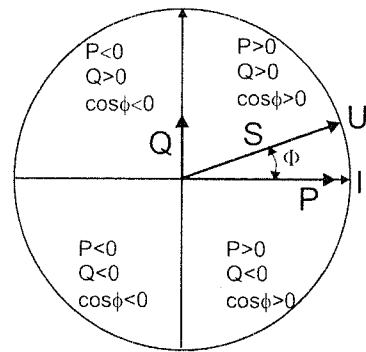


Figure 5: Phase relations between active, reactive and apparent power

The average-power calculation procedure is like follows.

After the time-domain discretization of the instantaneous current and voltage signals is done, the active power is calculated according to:

$$P = \frac{\sum_{n=1}^N i(nT) * v(nT)}{N} \quad (12)$$

where  $N=4096$ , number of samples per second. Average active power  $P$  is calculated as average value of instantaneous power  $p(nT)$  which is derived by multiplying instantaneous digital samples of current  $i(nT)$  and voltage  $v(nT)$ . Since, these voltage and current samples change their values with clock frequency of 4096Hz, new values for active power are derived after every second of chip normal functioning.

Possible sources of calculation error in active power calculation are the phase difference between voltage and current signals and the fact that power-network frequency is slightly changed around the nominal (50Hz), so there is not an integer number of voltage half-periods in the time interval of one second during of which the integration is performed. Single pole Low-pass filter helps in reducing that calculation error. Its cut-off frequency is 10Hz and transfer function is:

$$H(z) = \frac{Y(z)}{X(z)} = \frac{2^{-6}}{1 - z^{-1}(1 - 2^{-6})} \quad (13)$$

On filters outputs, DC component of instantaneous power signal remains the same and first harmonic amplitude decreases 10 times. Therefore, calculation error, following (12), is decreased also 10 times.

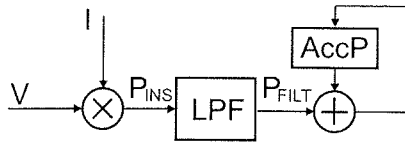


Figure 6: Data processing chain for instantaneous power integration

Data processing chain for instantaneous-power accumulation is shown in Fig. 6. Instantaneous samples of current ( $I$ ) and voltage ( $V$ ) are multiplied in multiplication unit. Then, the value  $P_{INS}$  is passed through the single pole Low Pass Filter (LPF) and after that, it is accumulated in the register  $AccP$ .

After 4096 multiplication, filtering and accumulation operations (after exactly one second of chip normal functioning), derived sum is divided with the number 4096 and thus form the average active power ( $P$ ). It is important to notice that  $P$  can be either positive or negative depending on external device whose power-consuming is measured by energy-meter chip. In the case when the external device consumes energy, calculated average active power is positive. In the other case, when device generates energy,  $P$  is negative.

The similar story stands for calculating reactive power ( $Q$ ). The only difference is that current values are multiplying with voltage samples that are phase-shifted by Hilbert transformer for 90 degrees (Fig 1).

#### 4. ENERGY CALCULATION

Since consumed energy is the subject of payment, the accuracy of energy calculation is the crucial thing in power measurement instruments. Besides the consuming power, time of consuming must be took into account. Here, as it was mentioned previously, one pulse is generated on output pin EOUT for measured energy of one energy unit (the default value is 1 kWhr). How is it obtained? In short, average active power  $P$  calculated for the last second of chip normal functioning, is accumulated in register  $AccEa$  during the interval of the next second. The number of accumulate operations during one second is exactly 4096 (once in sampling period) When the content of  $AccEa$  exceeds the energy-unit-value numerical equivalent, derived sum is decreased by the same value and one pulse is generated.

Maximal active power  $P$  is generated when sinusoidal signals on analog differential inputs for current and voltage channel have the same full-scale amplitude of 250 mV and the same phase. RMS full-scale values for current and voltage calculated by DSP are:

$$I_{RMS} = 100\sqrt{2}A = 141.42A \quad (14)$$

$$V_{RMS} = 300\sqrt{2}V = 424.26V \quad (15)$$

Full-scale value  $P$

$$P = 100\sqrt{2}A * 300\sqrt{2}V = 60kW \quad (16)$$

is represented by following 24-bit binary number:

$$P = 0\underbrace{11..1}_{23b} \quad (17)$$

Maximal number that can be accumulated during the time interval  $\Delta t = 1/4096$  seconds, between two successive samples on DSP inputs, corresponds to

$$\Delta E = \frac{60kW}{4096} s = 14.6484Ws = 14.6484J \quad (18)$$

and representation is the same 24-bit binary value

$$\Delta E = 0\underbrace{11..1}_{23b} \quad (19)$$

The numerical equivalent of Energy Unit Value (EUV) of 1kWhr, that is compared with the content of  $AccEa$  register, is:

$$EUV = 1Whr = 3600Ws = 245.76 * \Delta E \quad (20)$$

$$EUV = 245.76 * 2^{23} = (7AE147AE)_H \quad (21)$$

$$EUV \approx \underbrace{(07AE14)}_{EUR} \underbrace{00...0}_{12b} \quad (22)$$

Pulses are generated according to the algorithm shown in Fig. 7.

In the first step of algorithm, the active power  $P$  is added to the content of accumulator  $AccEa$ . Then, sign of  $P$  is checked. If  $P$  is positive (consumed power), the next step is to check whether accumulator value  $AccEa$  became greater then energy unit value  $EUV$ . If so, control logic generates



one pulse for consumed active energy and decreases the content of the accumulator AccEa by the value of EUV. If  $P$  is negative (generated power), the next step is to check whether AccEa became negative. In that case control logic generates a pulse for generated active energy and adds energy unit value to the content of the accumulator AccEa.

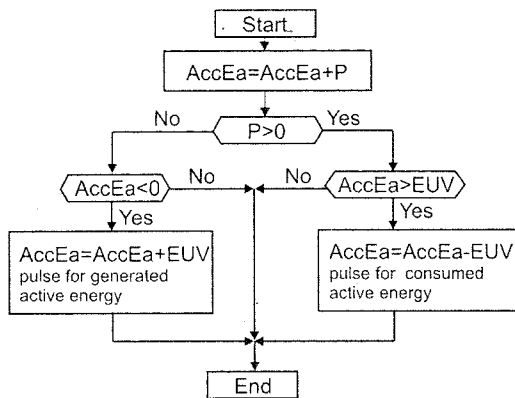


Figure 7: Algorithm for energy-pulse generation

Identical algorithm stands for generating reactive power: Derived reactive power value  $Q$  for the last second is integrating during the next second in similar way as active power  $P$ . When accumulated value AccEq exceeds energy unit value appropriate pulses for reactive energy are generated.

## 5. ENERGY-MEASUREMENT-UNIT CHANGING

Default energy-measurement-unit can be changed by changing the value stored in special 24-bit energy-unit register EUR, which is also part of RAM block. According to (22), energy-measurement-unit value EUV is formed of energy-measurement-unit register value followed by 12 binary zeros. For the default  $EUR=(07AE14)_h$  for every 1 Whr (both consumed and generated energy) one pulse is generated.

If oscillator frequency slightly differs from nominal 4.194304 MHz, in order to make correction that compensate error in energy measurement results, EUR has to be changed (for one pulse per 1 kWhr) according to following formula:

$$EUR = \frac{f_{osc} (MHz)}{4.1943014} (07AE14)_h \quad (23)$$

For N pulses per Whr:

$$EUR = \frac{1}{N} \frac{f_{osc}}{41943014} (07AE14)_h \quad (24)$$

Minimal number of pulses per Whr is determined by the length of data word:

$$N_{min} = \frac{(07AE14)_h}{(FFFFFF)_h} = 0.03 \quad (25)$$

Therefore, when all bits of energy-measurement-unit register are set to one, system generates one pulse per 33,3 Whr.

Maximal number of pulses per Whr is determined by demanding measuring precision. If it is 0.01%, maximal number of pulses per Whr is:

$$N_{max} = \frac{(07AE14)_{16}}{(10000)_{10}} = 50 \quad (26)$$

## 6. IMPLEMENTATION OF THE ENERGY-CALCULATION CIRCUITRY

Four groups of registers are chosen for storing the energy measurement results: register for consumed active energy named CAE\_Reg, generated active energy GAE\_Reg, consumed reactive energy CRE\_Reg and generated reactive energy GRE\_Reg. Each of them is a part of 64x24 RAM memory block and consists of two 24-bit registers representing MSB and LSB parts of unique 48-bit register. The information stored in each of them is expressed in same energy units. For example, if register named GRER contain value (0000 0000 0012)<sub>h</sub>, it means that chip has measured 18 energy units for generated reactive power.

Block diagrams of DSP parts that do the calculations, are shown in Fig. 9 and Fig. 10.

In normal operating mode, control unit performs the periodically repeated sequence that lasts exactly 1024 clock periods. It is divided into four subsequences. Each subsequence lasts exactly 256 clock periods (Fig. 8). The first three controller's subsequences are called R, S and T and they control the calculations made for each phase of the three-phase energy system.

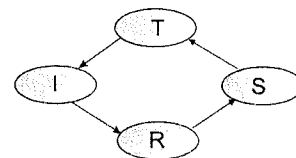


Figure 8: Four subsequences of control unit

First, calculation of average active power should be explained. At the beginning of each subsequence R, 24 bit instantaneous waveform samples of current; voltage and phase-shifted voltage are transferred from Hilbert and decimation filter outputs into the memory block. For  $P$  calculation only samples for current and voltage are needed. During the same subsequence R instantaneous sample of current  $I$  is multiplied with instantaneous sample of voltage  $V$  in multiplication unit (U12 in Fig. 9). Multiplier takes 18-bit operands and produces 36-bit result within 18 clock periods. Next, the multiplied value is passed through the single pole Low Pass Filter and after that, it is accumulated into a 48-bit register AccP. The LPF uses registers RegA and RegB, arithmetic unit for addition or subtraction units (U37 in Fig. 9). The content of 48-bit register AccP and the content of the Low Pass Filter register FiltP are stored in RAM block.

In order to generate average power, after every second of chip normal functioning, during a control unit executive subsequence called IE (described in [1] and [2]), accumulated sum AccP is stored into RegC (Fig. 10) and divided by 4096. Next, power offset is subtracted in the

arithmetical unit U55, multiplied with gain correction in multiplier U48. Obtained average power value is stored into RAM memory block.

The hardware for energy pulse generation is the same as for instantaneous power accumulating (Fig. 9). To generate pulses corresponding to active energy, during each subsequence R (that is periodically repeated with 4096Hz) following set of operations is performed. First, the active power  $P$ , calculated in last second, is added to the content of the accumulator register AccEa in the addition arithmetic block U37. Then, sign of  $P$  is checked by control unit. If  $P$  is positive (measured energy is consumed), the next step is to check whether accumulator value AccEa became greater then energy unit value EUV. Therefore, EUV is subtracted from AccEa in the same arithmetical unit U37 and most significant bit of result is checked. If it is zero (positive), control logic generates one pulse for consumed active energy that increment 8-bit counter CAE\_cntr (Fig. 9). Also, the result of subtraction is stored into AccEa.

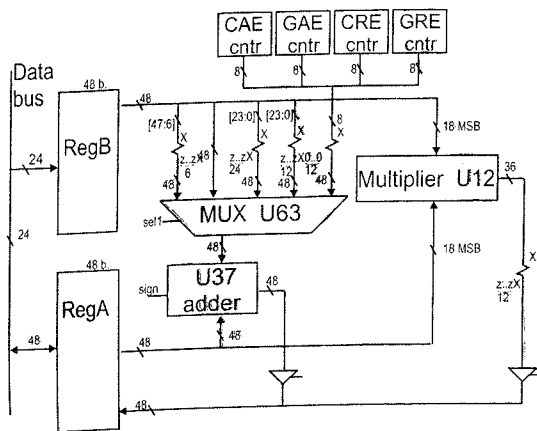


Figure 9: DSP part for  $I^2$ ,  $V^2$ ,  $P$ ,  $Q$  accumulating and energy calculation

If  $P$  is negative (measured energy is generated), the next step is to check whether the content of AccEa after addition operation became negative. Therefore, control unit check the most significant bit of AccEa. If it is 1, AccEa is negative and control logic generates a pulse for generated active energy and adds energy unit value to accumulator AccEa. Pulse generated by control unit increment counter for generated active energy GAE\_cntr (Fig. 9).

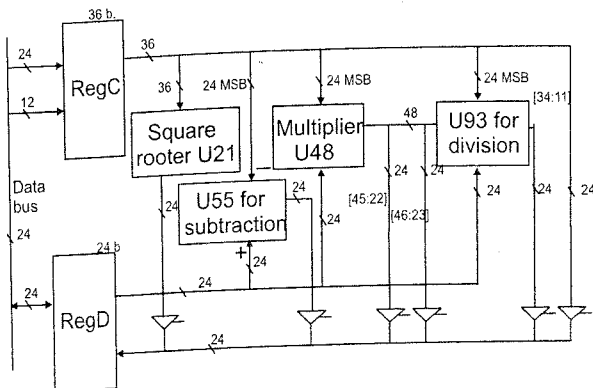


Figure 10: DSP part for  $I_{rms}$ ,  $V_{rms}$ ,  $P$ ,  $Q$ ,  $S$ ,  $\cos(\varphi)$  calculation;

As mentioned, pulses generated by control unit increment four appropriate counters within DSP for active and reactive, consumed and generated energy, named CAE\_Cntr, GAE\_Cntr, CRE\_Cntr, GRE\_Cntr (Fig.9). These four counters count pulses during the time interval of one second. At its end, counters values are added to appropriate registers in SRAM memory (CAE\_reg, GAE\_reg, CRE\_reg, GRE\_reg) and reset to zero. This addition is also performed in arithmetic unit U37 (Fig. 9) during the control unit executive subsequence IE.

Finally, the pulses corresponding to the energy value, that can be obtained on output pin EOUT, have the duration equal to the base clock-signal period (clock frequency equal 4.194 MHz). Hence, these pulses are too short to be overlooked through the external LED diode. For that reason, pulse shaping circuit was added. It takes narrow pulses generated by control unit, on its input, and produces pulses with duration of 50 ms on its output. This pulse width is still enough low to allow the maximal defined energy to be measured. For maximal average power of 60kW that can be measured by chip, and for 1 kWhr chosen energy unit, 8.33 pulses per second would appear on EOUT pin.

## 7. DESIGN PROCESS AND SIMULATION RESULTS

To obtain the high level system simulation and verification, an algorithm for energy calculation had been developed and implemented in C. Extensive simulations at high-level design enabled us to choose the appropriate data-width and valid ranges of algorithm's variables. Next, the task was to create an architecture well suited to a given algorithm. The chosen DSP unit based on controller/datapath partitioning offers advantages in high-speed operation, low power consumption and small area for VLSI implementation.

When architecture was obtained that runs the algorithm efficiently, it was translated into behavioral VHDL description. RTL descriptions were loaded into program for logical synthesis, Cadence's Build Gates that generated the netlist consisting of Alcatel CMOS035 digital library cells. The extracted netlist was loaded back to Verilog simulator and the simulation was performed using Cadence' NCSim tool with same test-bench as before synthesis process, and the same results were obtained.

Next, Silicon Ensemble has performed floorplanning, placement and routing, as well as clock and reset trees generation for complete circuit. At the end of logical verification process, Verilog file was extracted from layout and brought back to NCSim simulator where final check of the total digital part of the IC was performed.

Finally, the system was fabricated and tested. All results were positive.

## 8. CONCLUSION

Energy calculation in DSP part of power-consumption measuring IC, implemented in 0.35 $\mu$ m CMOS standard cell technology, is described here. Based on controller/datapath partition, fast DSP with low power consumption and small area has been developed. Both active and reactive power and

energy are measured with accuracy less than 0.1%, but also some other important parameters of power line signal (like effective voltage and current, apparent-, active- and reactive power, power-factor and frequency) are obtained. The algorithms, circuitry, design process and chip-implementation are described. Test results for fabricated integrated circuit verified the designed functionality.

#### REFERENCES

- [1] B. Jovanović, M. Damnjanović, P.Petković, "Digital Signal Processing for an Integrated Power Meter" Proceedings of 49. Internationales Wissenschaftliches Kolloquium, Technische Universität Ilmenau, 27-30 September 2004, pp. Volume 2, pp. 190-195.
- [2] M.Jevtić, B. Jovanović, S. Brankov, „Upravljačka jedinica sistema na čipu za registrovanje potrošnje električne energije“, ETRAN'2004, Čačak, 06-10. June 2004.
- [3] Borisav Jovanović, Milunka Damnjanović „Digital System For Power Line Frequency Measurement“, ETRAN'2004, Čačak, 06-10. June 2004.
- [4] Borisav Jovanović, Milunka Damnjanović, Vančo Litovski, „Square Root on Chip“, ETF Journal of Electrical Engineering, University of Montenegro, May 2004, Vol.12, No.1, YU ISSN: 0353-5207, pp. 65-75.

**Sadržaj** – U radu je opisana implementacija računanja energije u DSP bloku na integrisanom kolu merača potrošnje električne energije. Čip meri i aktivnu i reaktivnu snagu sa preciznošću manjom od 0.1%, a u integrisano kolo je ugrađena i mogućnost menjanja merne jedinice za energiju. U radu je opisan algoritam izračunavanja, rad sistema i celokupna realizacija. Rezultati testiranja proizvedenog integrisanog kola verifikovali su kompletnu funkcionalnost integrisanog kola.

#### IZRAČUNAVANJE ENERGIJE U INTEGRISANOM KOLU ZA MERENJE POTROŠNJE ELEKTRIČNE ENERGIJE

Milunka Damnjanović, Borisav Jovanović

## ADC TESTING OF AN INTEGRATED POWER METER

Miljana Sokolović, Miljan Nikolić, Miona Andrejević, Predrag Petković, Faculty of Electronic Engineering, Niš

**Abstract** – Testing ADC of an integrated power meter prototyped in CMOS 0.35 $\mu\text{m}$  technology and the obtained test results are presented in this paper. All mixed-mode systems require very complex testing equipment. Apart from Design For Testability (DFT) techniques implemented in this mixed-signal ASIC, testing set-up was required. It was essential to provide an efficient and inexpensive solution for the laboratory measurement of the prototype, which does not require large and expensive industry testers.

## 1. INTRODUCTION

ADCs are common mixed-signal components in complex mixed-signal designs, since they form the interface between the physical world and the world of digital logic. Comprehensive testing of ADCs is expensive, since there are a wide variety of ADC designs that require different techniques and equipment to test them. It is a process that drives up the cost of integrated circuits without adding any new functionality. Testing cannot change the quality of the individual ICs; it can only measure the quality if it already exists. However, semiconductor companies would not spend money to test products if the testing process did not add value [1].

Testing may create a serious limitation for high-volume commercial applications due to the testing difficulties inherent to microsystem. Accessibility, controllability, and observability must be insured while encapsulated, miniaturized, integrated microsystem has only a few additional output connections. Besides, in order to determine the cause of malfunction, it is important to have good diagnostic possibilities. Some internal nodes must be made accessible. Therefore, a major problem is controlling set-up of test conditions and the observation of test responses of a device under test (DUT).

Functional multidisciplinary is major obstacle because different parts of a mixed signal microsystem, such as analog or digital signal processing parts, require completely different approaches to testing. Developing a set-up for test assumes that a system under test usually needs to be brought into defined state before testing can start. This is inherently difficult for systems where special environmental conditions are required.

Interference of signals is another issue of mixed-signal testing. In a highly integrated microsystem, the various subsystems are in immediate proximity and therefore can influence each other, i.e. the heat dissipation of a digital signal processor (DSP) may influence analog circuitry.

The paper is organized as follows. In the second section DFT specifications for ADC based on sigma-delta modulator is described briefly. The following section deals with the test set-up structure. It was necessary to develop additional hardware as well as data acquisition card control software. Diagnostic aspect of ADC testing is highlighted briefly in the fourth section. ADC testing strategy will be explained in the

fifth chapter. Afterward, test set-up and corresponding testing procedure will be described in two subsequent sections. In the last section test results of the ADC implemented within the integrated power meter will be given.

## 2. DFT SPECIFICATIONS FOR ADC

Generally, sigma-delta analog-to-digital converters use a crude ADC combined with a noise-shaping process to produce an oversampling pulse density modulated data stream. This data stream is then digitally filtered and decimated to produce high-resolution ADC samples. They are typically used to digitize continuous signals in sampled channels [2].

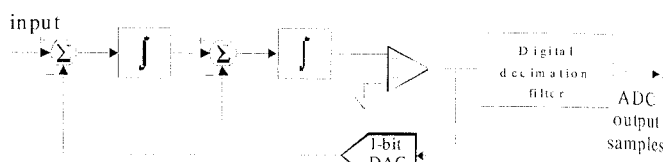


Fig.1. Second order sigma-delta ADC

Architecture of ADC embedded into integrated power meter [3] is shown in figure 1. It consists of a sigma-delta modulator and a decimation filter. The sigma-delta modulator coarsely quantizes the input at a high rate, trading accuracy in the analog circuitry for speed. The quantization noise is effectively pushed out of the desired band into higher frequencies providing, a higher resolution after filtering and decimation. The dynamic range of the modulator depends on the oversampling ratio (OSR) [2]. Increasing the order results in more complexity, while increasing the OSR requires faster op-amp settling.

The second block of a sigma-delta ADC is a decimation filter. Its function is to remove all out-of-band signals and noise, and to reduce the sampling rate by  $M$ , where  $M$  is the oversampling ratio (OSR) [2]. For the integrated power meter  $M=128$  [3]. By averaging  $M$  values of the coarsely quantized sigma-delta output, the filter gives a high-resolution output (21 bit) at the low rate of 4,096 kHz.

According to the given converter's mixed structure, it is necessary to develop some DFT techniques for its testing. The concept of an ADC DFT is shown in figure 2 [3]. It can be noticed that this concept offers observing and analyzing both analog and digital signals. Analog signals at the output of each integrator stage are differential and using an analog multiplexer they can be selectively observed at output pins. Output of the sigma-delta modulator is digital. This signal is available at one bidirectional pin of the chip. It must be acquired in real time with the oversampling frequency of 524.288kHz. The test set-up must satisfy this demand. These digital signals are fed into decimation filters that follow. In case that sigma-delta modulator does not operate, there is an additional pin that controls the direction of this data flow. By setting this bit, digital input data for the decimator stage can

be brought into from the external circuitry using the same pin.

Each decimator contains 4 stages. Two of them are Sinc filters which perform decimation by the factor 8 and 4 respectively, and the other two stages are FIR filters which also perform decimation by factor 2 each and reduce the out-of-band noise. At the output of the decimator resolution of the digital input signal is increased from 1 to 21 bit while the sampling rate is decreased 128 times. Finally, the output signal is stored as 24-bits wide digital word 4096 times in a second in the output register. This register can be accessed using three wire serial communication port (SCP) [4] at rate of 400kHz.

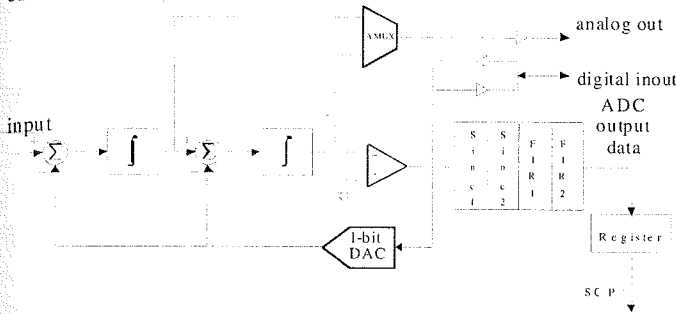


Fig.2. DFT for the ADC

Besides voltage reference [5] and clock signal are left as the output pins for testing purposes. This clock signal is necessary for synchronization during the real-time acquisition.

### 3. ADC TESTING

Typical ADC tests are: ADC code edge measurement, DC tests, transfer curve tests, and dynamic ADC tests. Each one of them will be explained now [1].

#### ADC Code Edge Measurement

The aim of this test is to find the input voltage threshold between two successive ADC codes that causes an output code change. To measure ADC intrinsic parameters such as integral nonlinearity (INL) and differential nonlinearity (DNL), which will be explained later, an ADC transfer curve must be derived. Two well-known methods for this are *center code testing* and *edge code testing* [1]. Code centers are defined as the midpoint between the code edges. This is shown in figure 3.

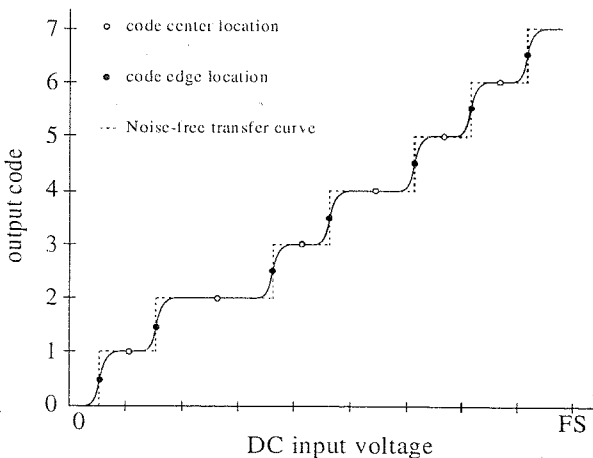


Fig.3. Code edges and code centers

It should be noticed that the code centers fall very nearly on a straight line, while the code edges show much less linear behavior. The center code testing should be avoided because it produces an artificial low DNL value.

There are several different ways to search for the code edges. The most obvious method to find the edge is a step search method where one simply adjusts the input voltage of the ADC up or down until the output codes are evenly divided between the first code and the second code. To achieve repeatable results, one needs to collect about 50 to 100 samples from the ADC in order to provide statistically significant number of conversions. This method can be very time consuming for high resolution ADCs and is not a production-worthy solution.

The next technique for edge search is a servo method. This is actually a fast hardware version of the step search. By using this hardware, the output codes from ADC are compared against a value programmed in the search value register. If the ADC output is greater than or equal to the expected value, the integrator ramps downward. If it is less than the expected value, the integrator ramps upward.

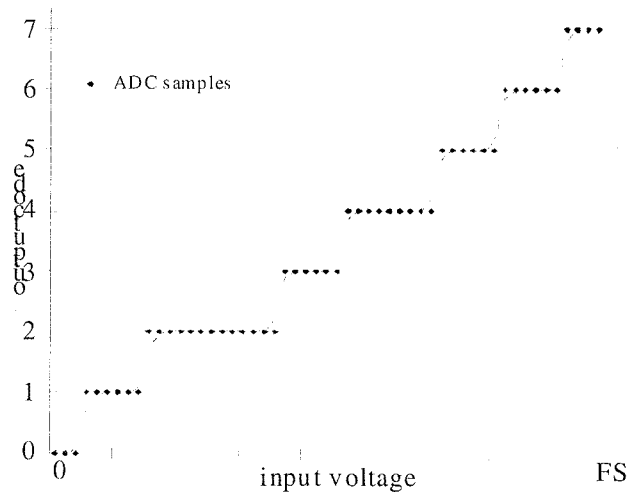


Fig.4. ADC samples from linear ramp histogram test

The most common production testing technique is the histogram method. It can be the linear ramp method or the sinusoidal method. The simplest way to perform a histogram test is to apply a rising or falling linear ramp to the input of the ADC and collect samples from the ADC at the constant sampling rate. The ADC samples are captured as the input ramp slowly moves from one end of the ADC conversion range to the other. This is shown in figure 4. Now the number of occurrences of each code is plotted as a histogram. Ideally, each code should be hit the same number of times, but this would only be true for perfectly linear ADC. The histogram shows which codes are hit more often, indicating that they are wider codes. After obtaining the histogram, a code edge transfer curve must be derived using a simple mathematical equation that sums the code widths.

To compensate the poor linearity of the ramp generators, an alternative sinusoidal histogram method can be performed. It is easier to produce a pure sinusoidal waveform than to produce a perfectly linear ramp. This method also allows testing in more dynamic, real-world solution, since ramps are varying very slowly. By using a sinusoidal signal instead of a ramp, one would expect to get more code hits at the upper

and lower codes than at the center of the ADC transfer curve, even when testing a perfect ADC. This is shown in figure 5.a. This can be compensated by using an uneven distribution of voltages inherent to sinusoidal waveforms, shown in figure 5.b. The effects of the nonuniform voltage distribution can be removed after normalization.

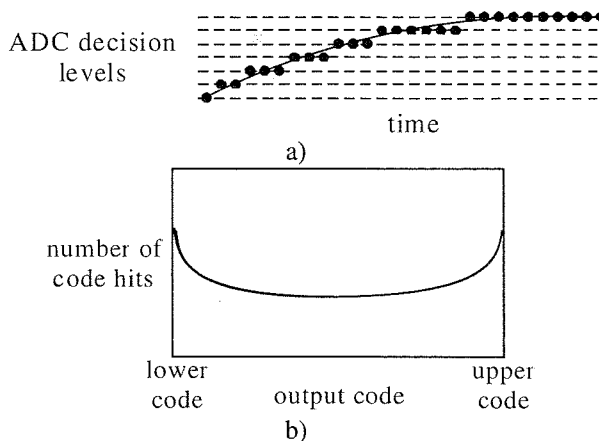


Fig.5. a) ADC samples from sinusoidal histogram test  
b) Sinusoidal histogram for an ideal ADC

#### DC Tests and Transfer Curve Tests

DC Tests and Transfer Curve Tests comprise:

- DC Gain
- DC offset,
- INL,
- DNL,
- monotonicity and
- missing codes tests.

Once the ideal transfer curve has been established, DC gain and offset can be measured. The gain and offset are measured by calculating the slope and offset of the best-fit line. Sometimes, offset is defined simply as the offset of the first code edge from its ideal position while the gain is defined as the ratio of the actual voltage range divided by the ideal voltage range [6].

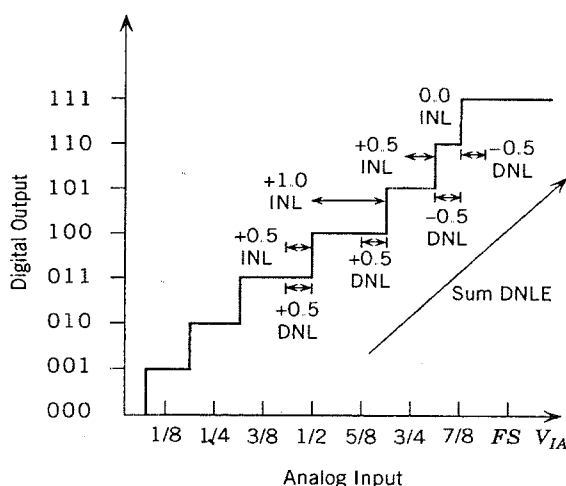


Fig.6. DNL and INL of an ADC

DNL is the difference between each analog increment step and the calculated device LSB increment.

INL is the worst-case variation in any of the code boundaries with respect to an ideal straight line drawn through the endpoints. It is also sometimes defined in comparison to a "best fit" straight line. These two parameters are shown in figure 6 [7].

In order to obtain DNL and INL one has to determine LSB step. Device LSB step is calculated by dividing the total span of the ADC by the number of corresponding analog input transition steps, or code transitions.

ADC can be nonmonotonic when one or more of its code widths is negative. However, this failure mechanism is quite rare. Nevertheless, ADC can appear to be nonmonotonic when its input is changing rapidly. ADCs are not tested for monotonicity with a slowly changing input. Monotonicity errors show up as signal-to-noise ratio failures and as a sparkling.

The code whose voltage width is zero is recognized as a missing code. This means that the missing code can never be hit, regardless of the ADC's input voltage. A missing code appears as a missing step on an ADC transfer curve. Although a true missing code is one that has zero width, missing codes are often defined as any code having a code width smaller than some specified value.

#### Dynamic ADC Tests

Dynamic ADC parameters are:

- maximum sampling frequency,
- maximum conversion time, and
- minimum recovery time.

Maximum conversion time is the maximum amount of time it takes an ADC to produce a digital output after the stable input signal is asserted. The ADC is guaranteed to produce a valid output within the maximum conversion time.

It is tempting to say that an ADC's maximum sampling frequency is simply the inverse of the maximum conversion time. Some ADCs require a minimum recovery time, which is the minimum amount of time the system must wait before asserting the next input signal level to be converted. This definition also changes the maximal sampling frequency as the inverse of the maximum conversion and minimum recovery time sum.

Typically, aperture jitter is guaranteed by acceptable signal-to-noise ratio (SNR) performance. It introduces noise in a digitized signal. This test must be performed in very high-frequencies ADCs.

Sparkling is the next occurrence to be tested. This is a phenomenon that happens most often in high-speed converters. It is the tendency for an ADC to occasionally produce a conversion with an offset larger than the expected value. The sparkling shows up in time-domain as an abrupt variation from the expected values. Though, sparkling is specified as a maximum acceptable deviation from the expected conversion result. For example, one might find in an ADC datasheet that sparkling is specified as less than 2 LSBs. This means that a sample greater than 2 LSBs never occurs. Since it is a random digital failure process, sparkling often produces intermittent test results.

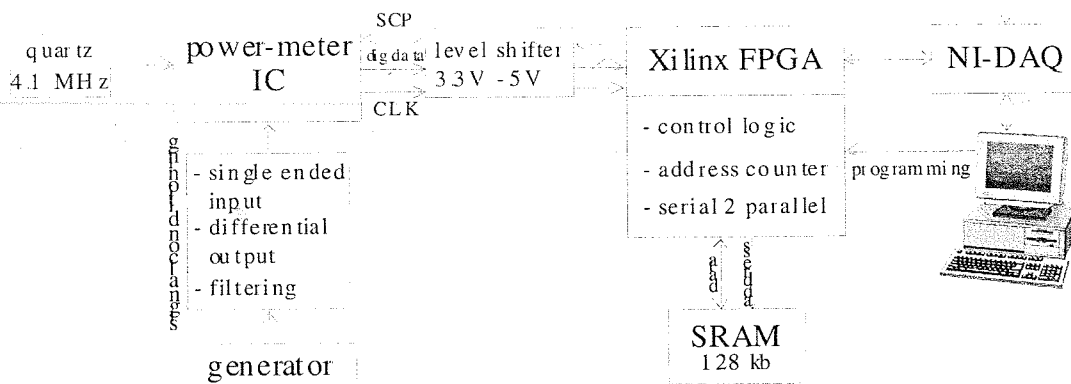


Fig.7. ADC test set-up

ADC sparkling tests are often added to a test program as a quick sanity check, making use of samples collected for one of the required parametric tests.

Considering all tests listed and an existing architecture of the ADC, it is very important to establish the significance of tests to be performed. Tests such as INL and DNL are not well suited for sigma-delta converters. Instead, channel tests like gain, offset, signal-to-noise ratio, idle channel noise, etc., are commonly specified. Additionally, sigma-delta ADCs may produce self-tones when their inputs are set to certain DC levels. Self-tones appear as spikes in the frequency spectrum of an ADC output. Unfortunately, self-tones do not occur at predictable frequencies. This makes worst-case self-tone testing very difficult.

ADC resolution puts a new scope into testing. When the resolution exceeds 12 or 13 bits, it becomes very expensive to perform transfer curve test such as INL and DNL because of the large number of code edges that must be measured. Fortunately, transmission parameters such as frequency response signal to distortion ratio and idle channel tests are much less time-consuming to measure. It is also impractical to test self-tones at every possible DC input level. Self-tones should at least be tested with the analog input tied to ground. When characterization indicates that a particular ADC design is not prone to self-tones generation, then this test is often eliminated in production [1].

A limited budget also limits the list of tests that can be performed in the laboratory environment. By performing a further industry testing, a detailed view of the correct ADC design can be carried out.

#### 4. ADC DIAGNOSTIC

Another important issue in ADC testing arises when a fault is detected. Actually the main designer's task is to determine the cause of the malfunction and to remove it. This is especially important during the prototyping phase. The problem is very complex because different types of soft (parametric) and hard (catastrophic) faults in analog part are likely to manifest similar behavior.

Technical diagnosis is one of the most attractive research subjects today. Modern, powerful concepts allow for new breakthroughs to be done in this area. One of these concepts is application of artificial neural networks (ANNs) for the purpose of fault detection.

Such an application is shown on an example of analog nonlinear dynamic electronic circuit with no restriction to the number and type of faults [8]. An integrated CMOS operational amplifier was used as a case study of implementation.

The concept is based on fault dictionary creation and application of ANN as both the system for data compression that memorizes the table representing the fault dictionary, and as the mapping machine that looks-up the table to find the most probable fault-code. Exhaustive list of soft and hard faults is easily modelled and isolated, such as open-circuited faults, short-circuited faults, faulty values for every transistor channel length, and for every channel width.

This approach is very promising since it allows mixing domains, which can be extremely useful to establish methods for diagnosis in mixed signal circuits, in order to cover faults in both analog and digital part of the circuit.

#### 5. TEST SET-UP STRUCTURE

According to the DFT techniques applied during sigma-delta ADC design, and to available acquisition hardware, original test set-ups for two kinds of data acquiring were developed.

One test set-up was developed for collecting high frequency small resolution digital data at the output of the sigma-delta modulator in real-time. This test set-up is shown in figure 7 [9]. It consists of a signal conditioning block, memory block, control block, level shifter and acquisition hardware.

The control logic block is implemented on FPGA Xilinx XC4003E [10]. It is designed to generate control and address signals during the real-time data loading from the sigma-delta modulator into the memory block (128kb SRAM) in one direction, and the corresponding hand-shake protocol needed to transfer data from RAM to the PC using NI-DAQ PC-DIO-96-PnP acquisition card [11].

In addition, this set-up includes quartz oscillator, microswitches, level-shifting circuits that adjust the logic level between different blocks of the set-up and sine-wave generator.

The same test set-up was rearranged for acquiring digital data at the output of the ADC (dashed lines). These data have low data-rate as well as high resolution. They are available at the output of the chip and are approachable only through two SCP (serial communication port) pins.

Since both test set-ups use the PC for storing data, it was necessary to develop software that enables communication between embedded protocols of different parts of the testing systems.

## 6. TEST PROCEDURES

Developed test set-ups are capable to provide:

- DC and transfer curve tests: gain, offset, linearity, monotonicity
- Tests in frequency domain: idle channel tests and SNR measurement

DC and transfer curve tests require set-up that enables reading digital data stored in one register of the chip. During the testing, the ADC is differentially fed with a very slow linear ramp (few Hz at most). Data from the register are stored in the PC where they can be further analyzed. After adjusting the input voltage range of the ramp, and after applying it to the input of the ADC, digital values at the output of the converter are read as well as the absolute time of reading, which corresponds to the instantaneous voltage level at the input.

The high resolution of 24 output bits obstructed INL and DNL measurement. Obtained ADC transfer curve does not show edge or level but gain and offset can be calculated.

Frequency domain tests are convenient to determine parameters of ADCs based on sigma-delta modulator [9]. These tests require higher frequencies and lower resolution.

During this test it is important to collect digital data from the output of the sigma-delta modulator. ADC is stimulated with differential sinewave (50Hz) signal with amplitude of up to 250 mVpp. The single bit output of sigma-delta ADC is observable through an external bidirectional port.

SRAM stores the output data for real time period of one second. Afterward the data are transferred from SRAM block into the PC for further analysis.

This set-up can deal with different clock frequencies (up to 50MHz) and different signal waveforms. It is easy to upgrade with additional SRAM cells in order to increase the amount of collected digital data.

In order to get better insight into the ADC behavior, numerous post processing activities are available. One of most useful is FFT analysis, SNR and SFDR calculation.

Due to implemented DFT techniques, this set-up enables observing voltage levels at the output of each integrator stage in the time domain using oscilloscope.

## 7. TEST RESULTS

Figure 8, shows obtained transfer curve. It gives a clue about the monotonicity, gain and offset of the ADC. The statistics of this graphic are shown in figure 9. The input voltage varies from -250mV to 250mV, while the output is signed 24-bit digital word. It should be noted that full scale input voltage range does not drive the output into saturation. Figure 8 represents transfer curve without gain and offset correction that can be provided with DSP part of the power meter.

Obtained results indicate that within the required input voltage range (from -125mV to +125mV), ADC gain has a value of 1.18, while offset is 8.66% of the full scale.

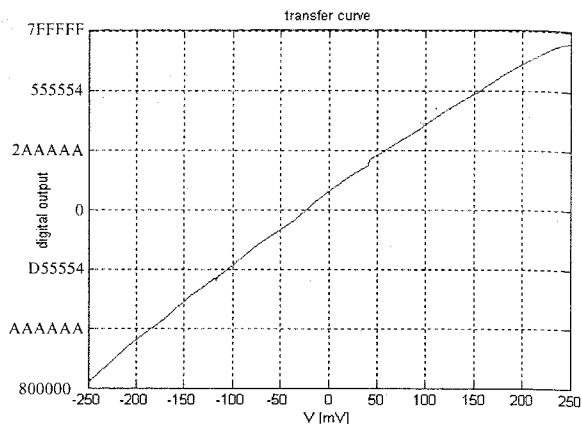


Fig. 8. Test results of a transfer curve ADC testing

	X		Y	
min	-250	□	-405.5	□
max	250	□	391.4	□
mean	0.7738	□	27.67	□
median	-3.054	□	36.6	□
std	145.8	□	237.1	□
range	500		796.8	

Fig. 9. Statistics of the obtained ADC transfer curve

Figures 10 and 11 show results of the obtained power spectra. The output spectrum of the idle channel (no input signal) obtained applying FFT over the acquired output of the second order modulator channel is shown in figure 8. The output spectrum of the modulator supplied with a sinewave of 50Hz and amplitude of 125mVpp is shown in figure 9

Comparing these spectra one concludes that spurious tones are imported with the input signal. Using previous results (Fig. 10 and Fig. 11) one can extract essential ADC parameters such as SNR and SFDR. Besides, conclusions can be made about the noise shaping function.

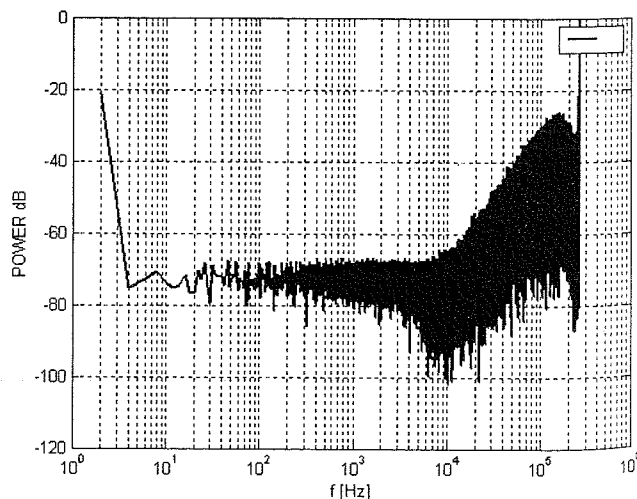


Fig. 10. Power spectrum of ADC output during idle testing condition



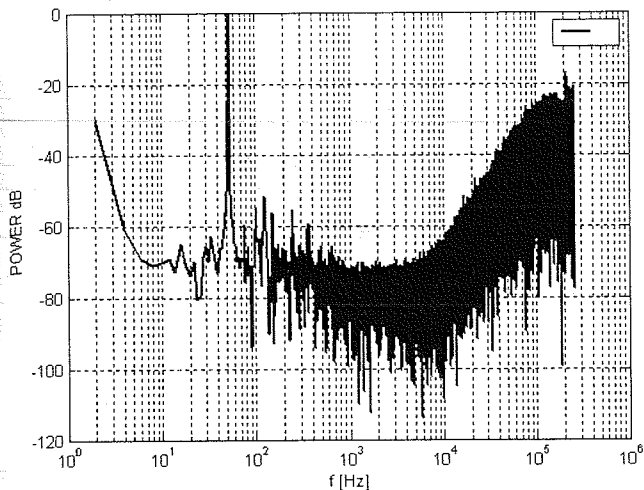


Fig. 11. Power spectrum of ADC output stimulated with a sine wave of 50Hz and 125mVpp.

For obtained spectra following sigma-delta modulator parameters are extracted:

- SFDR is -52dB, in bandwidth up to 2kHz
- SNR is -70dB in bandwidth up to 2kHz
- noise shaping slope is 40dB/decade.

## 8. CONCLUSION

ADC testing theory, DFT technique and practical measurements are presented in this paper. A special attention is paid to testing of sigma-delta ADC. All levels of tests are performed in the laboratory environment and a further industry testing is also planned. ADC testing required also the test set-up development which consists of both hardware and software solutions. The implemented testing methods are very simple and offer functional oriented testing for a very low cost and also give a good base for diagnostics.

## 9. REFERENCES

- [1] M. Burns, and G. W. Roberts., "An Introduction to Mixed-Signal IC Test and Measurement" Oxford University Press, New York, 2001.
- [2] C. J. Barrett, "Low-Power Decimation Filter Design for Multi-Standard Transceiver Application", MSC Thesis, University of California, Berkeley.
- [3] *IMPEG LEDA08 Release Notes*, Laboratory for Electronic Design Automation, Faculty of Electronic Engineering, Niš, 2004.

- [4] M. Cvetković, M. Jevtic, M. Dimitrijević, "I<sup>2</sup>C-Like Communication for the Power Meter IC", Proceedings of the 24<sup>th</sup> International Conference on Microelectronics, MIEL, pp. 781-784, May 2004.
- [5] M. Savić, D. Milovanović, "CMOS Bandgap Voltage Reference", XLVII conference of ETRAN, Herceg Novi, Serbia and Montenegro, June 2003.
- [6] M. Baker, "Demystifying Mixed-Signal Test Methods", Newnes, Elsevier Science, USA, 2003.
- [7] <http://elec-engr.okstate.edu/hutchen/classnotes>
- [8] V. Litovski, M. Andrejević, "ANN application in electronic circuit diagnosis", XLVIII conference of ETRAN, Čačak, June 2004.
- [9] M. Savić, M. Nikolić, M. Sokolović, P. Petković, "Testing Set-Up for Analog Part of the Power-Meter IC", ET'04, Sozopol, Bulgaria, September 2004.
- [10] <http://www.xilinx.com>
- [11] NI-DAQ for PC Compatibles Version 6.1, Release Notes, National Instruments, Part Number 321647C-01, April 1998.

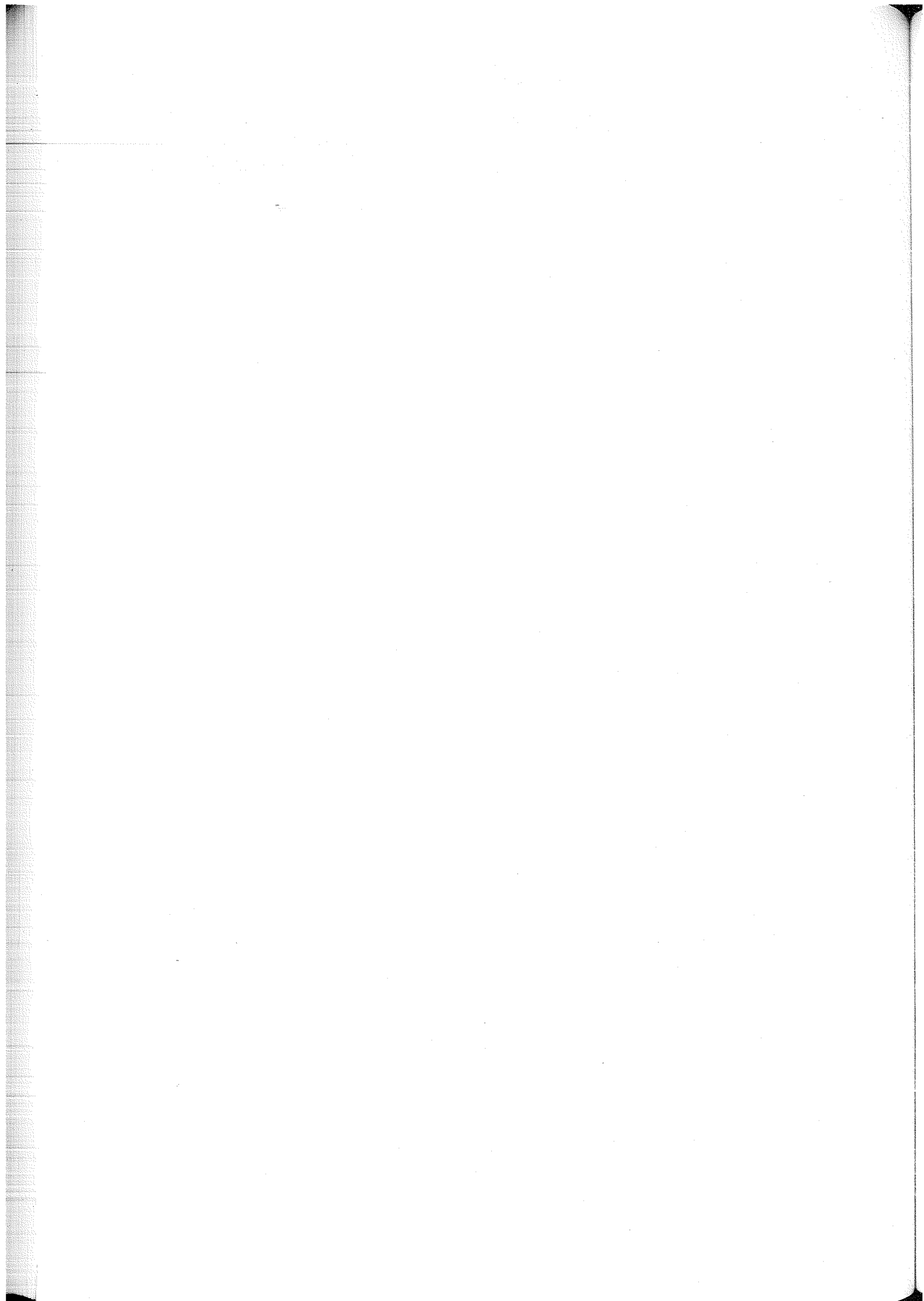
## ACKNOWLEDGEMENT

This work was supported in part by the Ministry of Science and Life Environment Protection of Serbia, through the Projects IT.1.02.0075.A and IT.1.01.0076.B realized in Technology Development area.

**Sadržaj** – U radu je opisano testiranje A/D konvertora ugrađenog u integrisani merač potrošnje električne energije, zajedno sa rezultatima testiranja. Kolo je projektovano kao ASIC i realizovano na nivou prototipa u 035μm CMOS tehnologiji. A/D konvertor, kao jedan hibridni sistem, zahteva vrlo kompleksnu testnu opremu. Pored implementiranih DFT i BIST rešenja, bilo je potrebno razviti efikasno i jeftino i testno okruženje. Time je omogućeno kvalitetno merenje performansi prototipa u laboratorijskim uslovima vršenim na prototipu bez primene skupih industrijskih testera.

## TESTIRANJE A/D KONVERTORA U INTEGRISANOM MERAČU POTROŠNJE ELEKTRIČNE ENERGIJE

Miljana Sokolović, Miljan Nikolić, Miona Andrejević,  
Predrag Petković





---

---

секција Т9

**ПРОГРАМСКА ПОДРШКА  
ЗА УПРАВЉАЊЕ И КОНТРОЛУ**

---

---

M. Slankamenac, M. Živanov, K. Knapp	
Testiranje uređaja za komunikaciju u sondi za merenje prečnika i protoka u bušotini .....	140
S. Došić, M. Jevtić	
Planiranje zadataka u sistemu za rad u realnom vremenu sa redundansom u vremenu za prevazilaženje otkaza .....	146
M. Cvetković, M. Jevtić	
RT Linux softverske funkcije za on-line nadzor procesa i događaja .....	150
M. Dimitrijević, V. Litovski, S. Jovanović	
Računarski sistem za izvođenje laboratorijskih vežbi iz elektronike .....	156

---

---

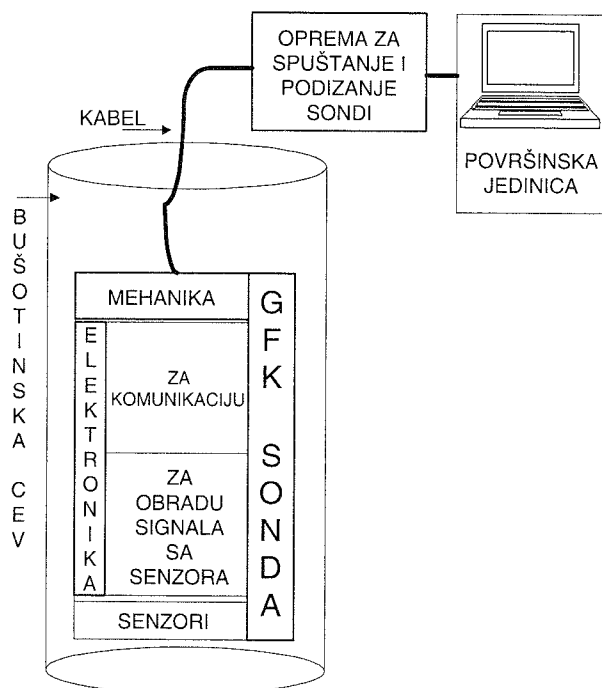
## TESTIRANJE UREĐAJA ZA KOMUNIKACIJU U SONDI ZA MERENJE PREČNIKA I PROTOKA U BUŠOTINI

Miloš Slankamenac, Miloš Živanov, *Fakultet tehničkih nauka, Univerzitet u Novom Sadu*  
Krešimir Knapp, *Hotwell Ges. m. b. H. Klingenbach, Austria*

**Sadržaj** – U ovom radu je prikazana implementacija i testiranje uređaja za komunikaciju između telemetrijske sonde i površinske jedinice sa sondom za merenje prečnika, brzine i smera protoka fluida u zacevljenim bušotinama (Calliper-Fullbore Flowmeter - CFF). Ta komunikacija se odvija po SIPLOS-ovom protokolu (Simultaneous Production Logging String) i koristi se u kompaniji Hotwell [1] kao deo većeg sistema za ispitivanje bušotina.

### 1. UVOD

Sistemi za ispitivanje bušotina u opštem slučaju se sastoje od: sonde sa mehanikom, senzora, elektronike za obradu signala sa senzora i komunikaciju, kompjuterizovane površinske jedinice za analizu i prezentaciju podataka, kabla za mehaničku i komunikacionu vezu sonde sa površinskom jedinicom i opreme za spuštanje i podizanje sonde (Sl. 1).



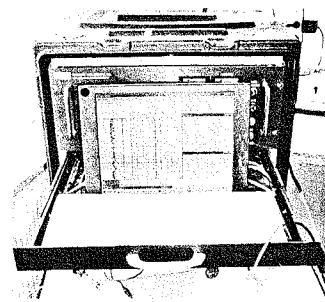
Sl. 1. Blok dijagram sistema za ispitivanje bušotina.

Digitalni sistemi za GFK merenja u poređenju sa analognim imaju mogućnost merenja više parametara u isto vreme, zbog čega je postupak merenja mnogo kraći i jeftiniji. Uvođenjem digitalnih sistema znatno se povećava kompleksnost obrade podataka sa senzora i komunikacije između sonde i površinske jedinice, jer se istovremeno meri veći broj parametara sa sondama i šalju se obrađeni podaci na površinsku jedinicu. Pošto je povećan broj senzora i elektronskih uređaja za obradu podataka, a smanjene su dimenzije sonde (u odnosu na analogne), zahtevnije je i projektovanje mehaničkih sklopova i štampanih ploča. Digitalni sistemi su znatno manji, pouzdaniji i praktičniji za obradu i čuvanje izmerenih podataka nego analogni.

Digitalni sistem za ispitivanje bušotina - SIPLOS se sastoji od: površinske jedinice (Sl. 2), telemetrijske sonde (Sl. 3) sa drugim međusobno povezanim sondama u lancu. Treba imati u vidu da se ovaj sistem projektuje za bušotine duboke do pet kilometara, gde je radna temperatura do 180 °C a pritisak do 103.4 MPa (15000 psi). Sonde moraju biti kvalitetne i pouzdane jer je važno da se merenja obave tokom prvog pokušaja.

Površinska jedinica se nalazi u specijalizovanom vozilu (Sl. 2) za ispitivanje bušotina, smeštenom u blizini same bušotine koja se ispituje. Ona obezbeđuje potreban jednosmerni napon za napajanje sonde, koji se preko kablova (koji se spuštaju u bušotinu) dovodi na njih. Površinska jedinica se sastoji od PC računara i softvera Vorior (Warrior) namenjenog za grafički i brojni prikaz podataka merenja, kao i kontrolne table za prikaz napona koji se dovodi na sonde i struje koja je potrebna sondama. Vorior je univerzalni program za prikaz podataka sa različitih tipova sonde. Takođe, postoji mogućnost kalibracije i skaliranja primljenih vrednosti iz bušotine.

Pored programa za prikupljanje i prikaz grafika i brojnih vrednosti, koristi se program za analizu prikupljenih podataka. Na osnovu te analize pravi se završni izveštaj o stanju bušotine i isplativosti njene dalje eksploatacije.



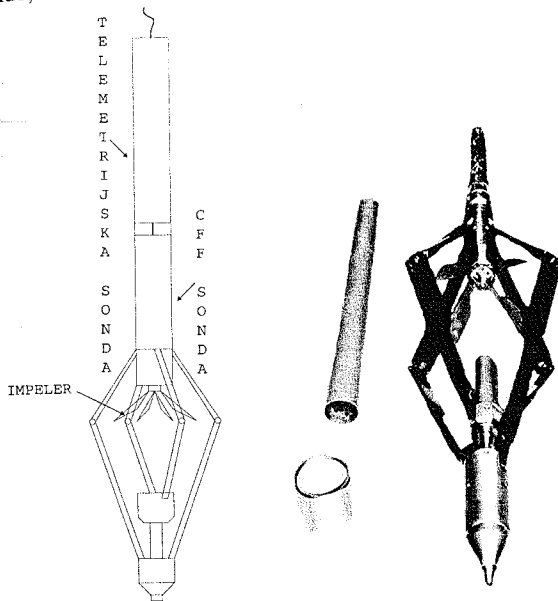
Sl. 2. Površinska jedinica digitalnog SIPLOS sistema i vozilo u koje se postavlja.

Telemetrijska sonda se nalazi na vrhu povezanih sonde i obavlja merenje šest parametara: unutrašnju temperaturu, CCL (Casing Collar Locator – detekcija spojeva u bušotinskim cevima), spoljašnju temperaturu, pritisak, vrstu fluida (detektuje vodu, naftu i vazduh) i prirodno gama zračenje, kao i slanje sinhronizacionih bita za ostale sonde.

Sl.3. Telemetrijska sonda.

Telemetrijska sonda je jedina neophodna sonda u SIPLOS sistemu, dok su sve ostale sonde opcione. Takođe, u telemetrijskoj sondi se nalaze sve neophodne elektronske komponente za merenje šest parametara i komunikaciju sa površinskom jedinicom i ostalim sondama (DC/DC konvertor, uobličavač impulsa, pojačavač i linijski drajver – line driver, itd.). Na dnu telemetrijske sonde nalazi se konektor (sa linijskim naponom sprovedenim sa površinske jedinice) na koji se priključuju ostale sonde [2].

CFF sonda sadrži u istom kućištu merač prečnika cevi (calliper) u dve ose (X-Y) i merač protoka fluida (flowmeter). Na Sl. 4. prikazana je skica spojene telemetrijske i CFF sonde, kao i slika same CFF sonde.



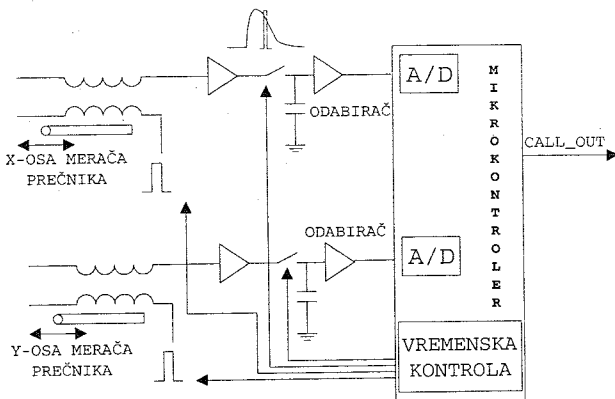
Sl. 4. Telemetrijska i CFF sonda

CFF sonda, prikazana na Sl. 4, meri prečnik cevi u opsegu 2 1/2"–7" (6.35–17.8 cm) na principu promene koeficijenta magnetne sprege namotaja transformatora. Mehaničkom spregom X i Y krakova merača prečnika cevi sa induktivnim LVDT senzorima obezbeđena je linearna zavisnost dužine prečnika cevi sa promenom koeficijenta magnetne sprege. Merač protoka fluida u cevi obavlja merenje brzine protoka fluida u oba smera sa Holovim senzorima, merenjem brzine i smera okretanja impelera [3]. Konstrukcija CFF sonde je takva da je omogućeno nezavisno pomeranje X i Y krakova merača prečnika, kao i da se impeler okreće nezavisno od položaja X i Y krakova.

Uređaj za komunikaciju treba da obezbedi pouzdanu i efikasnu komunikaciju CFF sonde, kako sa telemetrijskom sondom, tako i sa površinskom jedinicom u veoma teškim uslovima merenja u bušotini. Osnovni problem je velika i promenljiva temperatura (do 180 °C) fluida u bušotini, koja prouzrokuje značajan pad frekvencije takta u mikrokontroleru, kao i promene karakteristika pojedinih poluprovodničkih elemenata.

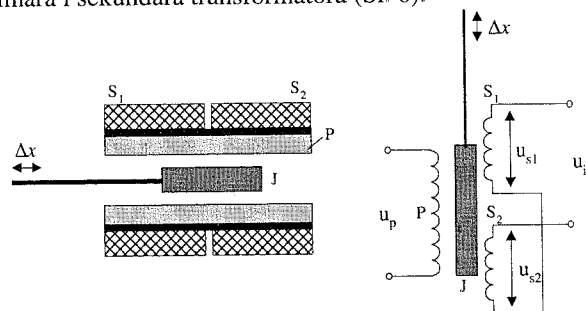
## 2. SENZORSKI DEO CFF SONDE

Na Sl. 5. prikazan je blok dijagram senzorskog dela merača prečnika cevi, kod koga pozicija četiri kraka određuje položaj metalne šipke unutar transformatorskog jezgra LVDT senzora, kog čine dva spregnuta namotaja.



Sl. 5. Blok dijagram senzorskog dela merača prečnika cevi

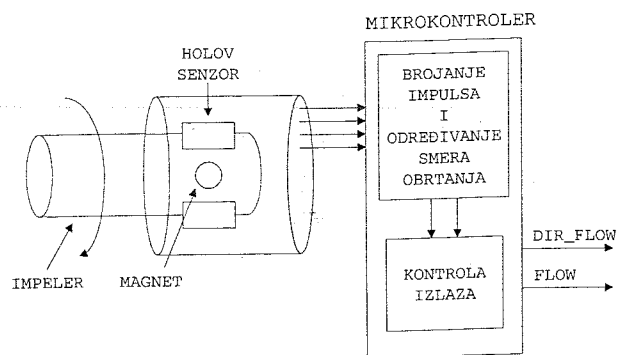
Promenom prečnika cevi pomera se metalna šipka unutar transformatorskog jezgra, što ima za posledicu promenu koeficijenta magnetne sprege između namotaja primara i sekundara transformatora (Sl. 6).



Sl. 6. Princip konstrukcije i šematski prikaz LVDT-senzora [4]

Na primar transformatora se dovodi naponski impuls fiksne amplitude, a koeficijent magnetne sprege određuje amplitudu signala na sekundaru transformatora. Ta vrednost signala je proporcionalna prečniku cevi. Mikrokontroler PIC 16F876 kontroliše: vreme pobuđivanja primara transformatora, period odabiranja signala na sekundaru transformatora i digitalizaciju odmeraka A/D konvertorom. Nakon pobuđivanja primara, napon na sekundaru naglo skoči, a zatim opada sa određenom brzinom koja zavisi od koeficijenta magnetne sprege transformatora. Ako se opadajući deo signala precizno odabire u njegovom linearnom delu, amplituda odbiraka će biti linearno proporcionalna poziciji metalne šipke. Vrednosti odbiraka se šalju na komunikacioni uređaj CFF sonde preko standardnog serijskog RS232 porta (1 start bit, 8 bita podataka i 1 stop bit) brzinom 115,2 Kbauda.

Merač protoka fluida u senzorskom delu se sastoji od pet fiksiranih Holovih senzora i magneta koji se okreće, što je prikazano na Sl. 7. Oba pola magneta utiču na Holove senzore i uzrokuju 10 impulsa po jednom obrtaju impelera. Brzina obrtanja impelera, a samim tim i brzina protoka fluida se određuje na osnovu broja impulsa sa Holovih senzora, dok se smer obrtanja impelera određuje na osnovu rasporeda Holovih senzora u kućištu. Sa senzorskog dela merača protoka fluida šalju se signali brzine i smera protoka fluida, preko mikrokontrolera PIC 16F876 na komunikacioni uređaj CFF sonde.

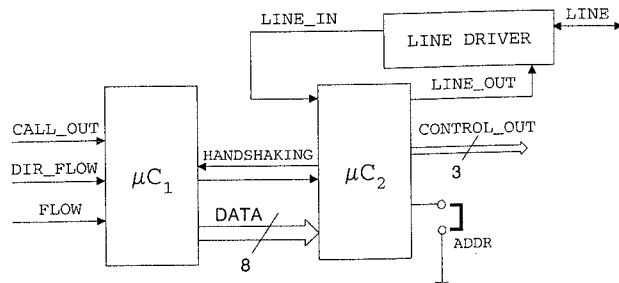


Sl. 7. Blok dijagram senzorskog dela merača protoka fluida

#### 4. KOMUNIKACIONI UREĐAJ CFF SONDE

Sve sonde koje su međusobno povezane šalju pakete obrađenih podataka sa senzora svakih 200 ms po SIPLOS protokolu, koji je detaljno prikazan u [2].

Na Sl. 8. prikazan je blok dijagram praktične realizacije dela CFF sonde koja dobija podatke sa senzorskog dela CFF sonde, obrađuje ih i šalje (po SIPLOS protokolu) ka površinskoj jedinici, u skladu sa impulsima dobijenim od telemetrijske sonde.



Sl. 8. Blok dijagram komunikacionog uređaja CFF sonde

Za realizaciju komunikacionog uređaja CFF sonde korišćen je mikrokontroler PIC 16F627 ( $\mu C_1$  i  $\mu C_2$ ) [5], zato što ima: veliki broj programabilnih pinova, serijski port, interne pull-up – ove i što je najvažnije na visokim temperaturama radi pouzdano, što je utvrđeno eksperimentalno.

LINE je bi-direkcionni komunikacioni signal koji se sastoji od linijskog jednosmernog napona (70 V) sa površinske jedinice i negativnih impulsa sa telemetrijske sonde (START, STOP i SYNC) i komunikacionog uređaja CFF sonde (DATA biti). Na osnovu START, STOP i SYNC impulsa, koje telemetrijska sonda šalje svim drugim sondama, one šalju DATA bite ka površinskoj jedinici. LINE DRIVER je uređaj koji smanjuje linijski napon na radni napon CFF sonde (12 V) i na 5 V potrebnih za napajanje CMOS kola, razdvaja impulse sa LINE i pravi signal LINE\_IN. LINE\_IN signal sadrži START, STOP i SYNC impulse koji određuju vremenske intervale za slanje podataka sa CFF sonde ka površinskoj jedinici. LINE DRIVER prima LINE\_OUT signal sa  $\mu C_2$ , čije DATA impulse postavlja u sredinu između dva SYNC impulsa i ograničava njihovo trajanje na  $50 \mu s \pm 10\%$ , nakon čega ih šalje ka površinskoj jedinici. CONTROL\_OUT su signali koji imaju verifikacionu namenu, i sadrže signal greške i dva signala za proveru sinhronizacije.  $\mu C_1$  prima signale CALL\_OUT, DIR\_FLOW i FLOW sa senzorskog dela CFF sonde. CALL\_OUT signal sadrži informaciju o prečniku cevi, koja je utisnuta u RS232

protokol. Signali DIR\_FLOW i FLOW sadrže informaciju o brzini i smeru okretanja impelera u obliku impulsa.

Algoritmi za programe oba mikrokontrolera, koji su dati u [2], uzimaju u obzir moguće smetnje i promene vremenskih intervala usled visoke temperature.

#### 5. REZULTATI SIMULACIJA

Simulacije rada mikrokontrolera PIC 16F627 obavljene su pomoću programskih paketa MPLAB IDE [6] i PIC IDE. Simulator Stimulus opcija MPLAB-a je korišćena za simulaciju ulaznih signala. Signali DIR\_FLOW, ADDR i HANDSHAKING su simulirani korišćenjem opcije Asynchronous Stimulus, kod koje je moguće menjati stanje pinova tokom simulacije.

Izgled signala LINE\_IN je zadat programiranjem, pre početka simulacije, korišćenjem opcije Pin Stimulus. LINE\_IN signal, koji predstavlja START i STOP impulse sa telemetrije i DATA impulse sa drugih sonde je simuliran pravljem datoteke u tekstualnom obliku. Tako su opisane određene sekvence nula i jedinica poznatog trajanja po SIPLOS protokolu.

Kada se određeni signal opiše programiranjem u tekstualnom obliku, on treba da se učita u simulatoru u željenom momentu. Postoji mogućnost i privremenog zaustavljanja simulacije pojedinih signala, što je veoma korisno prilikom ispitivanja funkcionalnosti pojedinih delova programa.

FLOW signal, koji predstavlja povorku impulsa sa Holovih senzora, je predstavljen kao periodičan signal impulsa jednakog trajanja. To je urađeno pomoću opcije Clock Stimulus učitavanjem više sekvenci impulsa sa različitim periodama, čime se simulira promena u brzini okretanja impelera. Pri tome su posmatrane promenljive koje beleže broj obrtaja impelera za različite smerove, asinhronim izborom vrednosti signala DIR\_FLOW.

CALL\_OUT signal je simuliran pomoću programa PIC IDE, tako da su sekvence nula i jedinica činile poznate vrednosti utisnute u RS232 protokol sa brzinom prenosa od 115,2 kbauda.

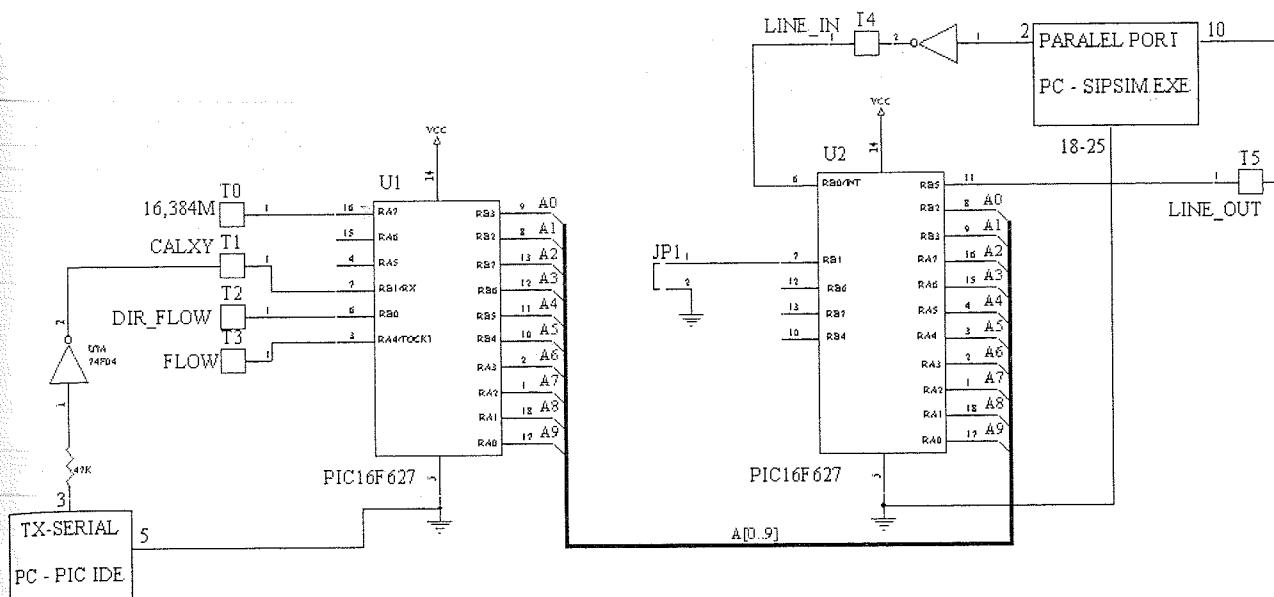
Program PIC IDE, za razliku od MPLAB-a, sadrži u sebi više opcija za simulaciju rada serijske komunikacije, A/D konverzije i simulator je dosta pregledniji.

Tokom simulacije posmatrani su izlazni signali, sadržaj SFR registara i RAM memorije. Svi ulazni signali su simulirani za idealne i najgore moguće temperaturne uslove, prikazane u [3] i dobijeni su očekivani izlazni signali.

#### 6. EKSPERIMENTALNI REZULTATI

Na Sl. 9. prikazana je šema test pločice, koja je korišćena pre nego što je napravljena finalna verzija štampane ploče (PCB). Za generisanje signala CALXY korišćen je serijski port računara i program PIC IDE, dok je za generisanje signala LINE\_IN korišćen paralelni port računara i program SIPSIM.

Ovaj način testiranja, sa generisanjem test signala koje daju senzori CFF sonde i telemetrija, je korišćen jer te sonde tokom rada nisu uvek bile dostupne. Takođe, na ovaj način, je moglo da se detaljno proveru ispravnost komunikacije, za unapred poznate vrednosti sekvenci.



Sl. 9. Šema test pločice

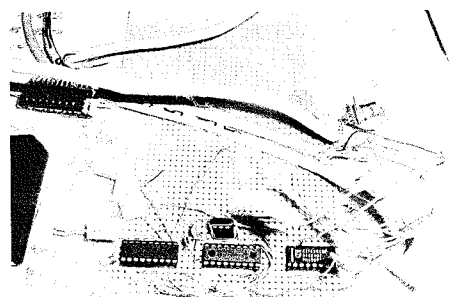
Na Sl. 10. prikazan je fizički izgled test pločice sa konektorima i kablovima za spajanje sa računarem. Takođe, se mogu videti i žice sa obeleženim nazivima signala, koji se posmatraju na osciloskopu ili se na njih dovodi signal sa funkcijskog generatora.

Preko paralelnog porta računara program SIPSIM šalje LINE\_IN signal na predajni mikrokontroler i prima od njega LINE\_OUT signal. Trajanje svih impulsa signala LINE\_IN je moguće istovremeno menjati preko tastature. Na taj način se vrši provera rada mikrokontrolera za slučaj promene frekvencije oscilatora, usled povećanja temperature. Na monitoru računara se ispisuju brojne vrednosti podataka, koje su poslate po SIPLOS protokolu. U slučaju gubitka sinhronizacije ili slanja pogrešnih impulsa, program javlja grešku. Signal FLOW je doveden preko funkcijskog generatora u obliku četvrtki. U tabeli 1. prikazan je broj impulsa u toku 200 ms, za različite frekvencije signala FLOW.

Tabela 1. Prikaz vrednosti inkrementa signala FLOW pomoću programa SIPSIM

FLOW (Hz)	INKREMENT (br. impulsa u toku 200ms)
10	1-2
50	10
100	20
300	60
500	101-102
1k	205-206

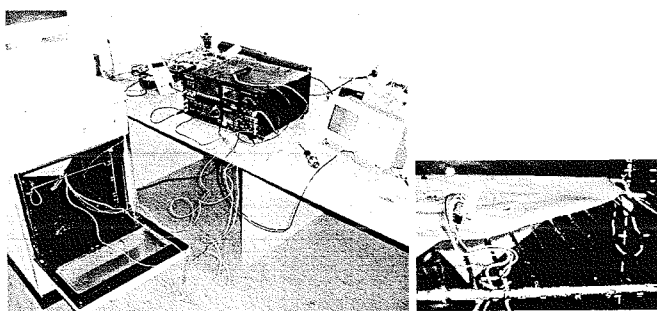
Korišćenjem opcije *PCs serial port terminal* u programu PIC IDE omogućeno je testiranje serijske komunikacije na realnom hardveru preko serijskog porta računara. Na RS232 serijski port (UART) mikrokontrolera PIC 16F627 se šalju (ili preko njega primaju) određeni bajtovi i sekvence izabranom brzinom. Tako je generisan signal CALXY i ispitana je ispravnost komunikacije sa senzorima za merenje prečnika cevi.



Sl. 10. Test pločica sa konektorima i kablovima

Na Sl. 11. prikazani su uređaji, pomoću kojih je ispitivan rad mikrokontrolera PIC 16F627 na visokim temperaturama. Mikrokontroler se postavlja u podnožje i stavlja se u peć. Nožice podnožja od interesa se zaleme sa visokotemperaturnim tinolom za žice izolovane teflonom. Te žice se dovode na izvor napona, generator takta (ako se koristi spoljašnji takt za mikrokontroler) i digitalni osciloskop. Temperatura se meri pomoću univerzalnog instrumenta, koji se teflonskom žicom spaja sa kućištem mikrokontrolera.

Program koji se učitava u mikrokontroler, šalje na izlazni pin impulse, čija je frekvencija četiri puta manja od frekvencije takta mikrokontrolera. Taj signal se posmatra na osciloskopu tokom zagrevanja mikrokontrolera.



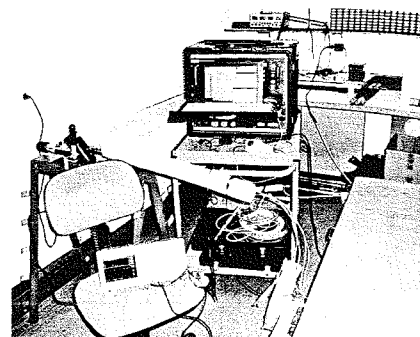
Sl. 11. Testiranje rada mikrokontrolera na visokim temperaturama

Testiranje mikrokontrolera na visokoj temperaturi se obavlja tako što se temperatura povećava postepeno do 180 °C, a onda se ta temperatura drži dva sata. U međuvremenu se uključuje i isključuje napajanje mikrokontroleru, da se proverí da li će i posle toga nastaviti ispravno da radi. To je bitno ispitati jer u bušotinama može doći do kratkotrajnih gubitaka napajanja.

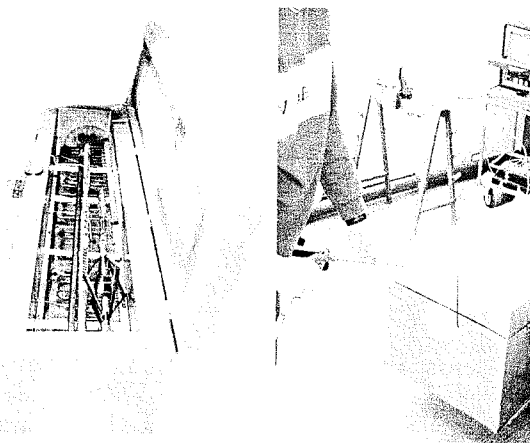
Mikrokontroler je testiran za tri različite konfiguracije radnog takta. Prva konfiguracija je bila sa internim taktom frekvencije 4 MHz, pri kojoj je mikrokontroler radio dobro, bez značajnije degradacije posmatranog signala. Kod druge konfiguracije je korišćen spoljašnji kristal frekvencije 16 MHz i to se pokazalo veoma lošim. Problemi su se javili već na 80 °C, gde je došlo do naglih promena frekvencije takta, a prilikom isključivanja i uključivanja napajanja dešavalo se da oscilator ne proosciluje. Kod treće konfiguracije je korišćen spoljašnji takt sa astabilnog multivibratora frekvencije oko 16 MHz. Ovde je radna frekvencija takta mikrokontrolera padala postepeno sa povećanjem temperature. Najveći pad frekvencije bio je 6%, dok nije bilo problema posle isključivanja i uključivanja napajanja mikrokontrolera.

Na Sl. 9. može se videti da je na prijemni mikrokontroler U1 doveden spoljašnji takt od 16,384 MHz, dok je kod predajnog mikrokontrolera U2 korišćen interni takt od 4 MHz. Prijemni mikrokontroler radi na višoj frekvenciji takta jer on vrši serijski prijem podataka sa senzorskog dela CFF sonde brzinom od 115,2 kbauda.

Na Sl. 12. i 13. prikazani su uređaji za testiranje rada telemetrijske i CFF sonde na visokim temperaturama i pritiscima. Telemetrijska i CFF sonda se prvo priključe na izvor napajanja, međusobno se povežu i spoje na površinsku jedinicu. Zatim se postave u peć, koja je poput kovčega (Sl. 13) i poseduje sklopke za postavljanje željene temperature. Karakteristični signali se posmatraju sa digitalnim osciloskopom (Sl. 12. i 14) i oni su sprovedeni teflonskim žicama sa CFF sonde iz peći. Uređaj između osciloskopa i površinske jedinice na Sl. 12. kontroliše pritisak, koji za ove sonde iznosi maksimalno 103.4 MPa (15000 psi).



Sl. 12. Uređaji za testiranje rada telemetrijske i CFF sonde

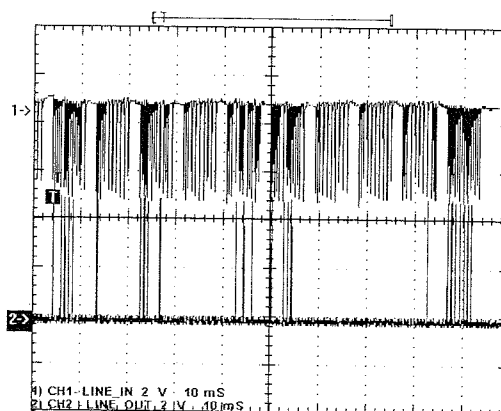
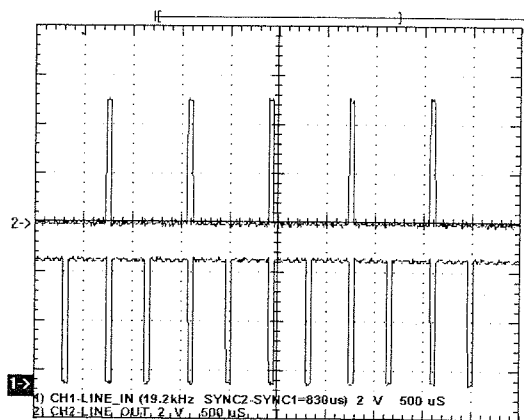


Sl. 13. Testiranje rada telemetrijske i CFF sonde

Ispitivanje rada merača brzine i smera protoka fluida u CFF sondi se obavlja uz pomoć kompresora, koji sa usmerenim vazдушnim mlazom okreće impeler. Na Sl. 13. (desnoj) je prikazan način okretanja impelera dok se sonda zagreva. Na monitoru površinske jedinice (Sl. 2) posmatrane su vrednosti izražene u broju obrtaja u sekundi za oba smera okretanja impelera. Kompresor sa duvaljkom se postavljao sa različitih strana peći, kako bi se ispitao rad za oba smera okretanja.

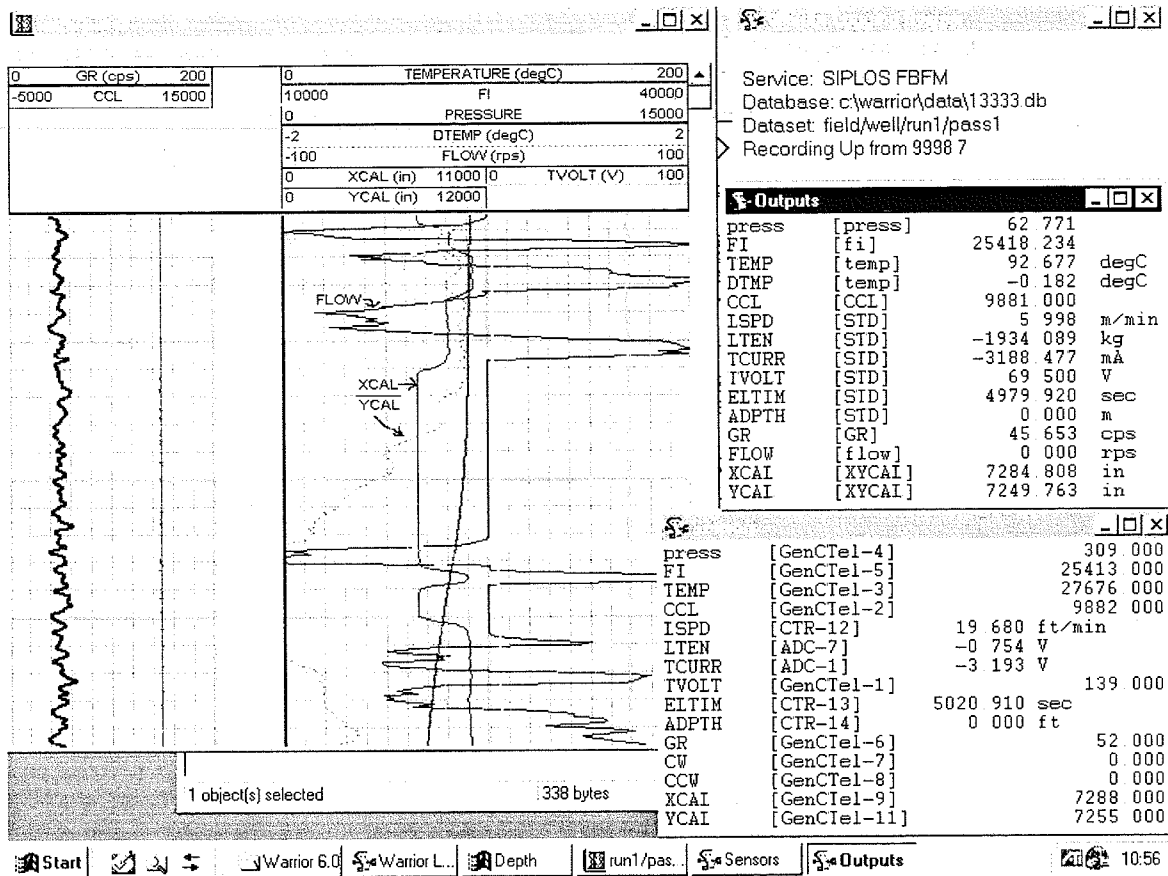
Ispitivanje rada merača prečnika cevi u CFF sondi se obavlja uz pomoć metalnih cevi poznatog prečnika, u koje se stavlja sonda. Tokom zagrevanja bitno je da površinska jedinica pokazuje na svim temperaturama istu odgovarajuću (približno konstantnu) vrednost za jednu vrstu cevi

Rezultati ispitivanja tokom dva sata, za sve karakteristične (pomenute) načine ispitivanja, su bili dobri na temperaturama do 180 °C.



Sl. 14. Prikaz signala LINE\_IN i LINE\_OUT sa digitalnim osciloskopom





Sl. 15. Prikaz grafičkih i brojnih vrednosti merenih veličina na površinskoj jedinici

## 7. ZAKLJUČAK

U radu je rešavana problematika merenja prečnika i protoka u zacevljenim bušotinama u uslovima visokih pritisaka (do 103.4 MPa) i visokih temperatura (do 180 °C).

Pri merenju u bušotinama postoji problem prenosa izmerenih podataka do površinskog računara koji služi za prikupljanje i prikaz podataka i upravljanje merenjima. Korišćen je SPILOS protokol kod koga je minimizovana mogućnost pojave greške tokom prenosa, uvođenjem sinhronizacije prilikom slanja svakog bita.

Kontrolu sinhronizacije povezanih digitalnih sondi sa površinskim sistemom obavlja telemetrijska sonda. Realizovan je komunikacioni sistem koji sakuplja i obrađuje podatke sa mernih senzora i po SIPLOS protokolu ih šalje na površinsku jedinicu. Napisan je program za komunikaciju i on je testiran pomoću simulatora i test pločice. Realizovani komunikacioni sistem je unutar CFF sonde (povezanim sa telemetrijskom sondom) testiran na sobnoj temperaturi, a zatim na visokim temperaturama (do 180 °C). Pri tome je primećeno da su dobijeni korektni rezultati, slični onima dobijenim sa simulatorom.

Napravljena je jedna serija pločica i kompletan merni sistem je počeo da se primenjuje u praksi. Prvi rezultati su veoma dobri.

## 8. LITERATURA

[1] Website: [www.hotwell.at](http://www.hotwell.at)

- [2] M. Slankamenac, Krešimir Knapp, M. Živanov, "Uređaj za komunikaciju između telemetrijske sonde i senzora u bušotinskim mernim uslovima", Konferencija ETRAN 2004, Srbija i Crna Gora, Čačak, 7-10. juna 2004. godine.
- [3] V. Bilas, D. Vasić, "SIPLOS Flowmeter – technical documentation", Hotwell Ges.m.b.H, Austria, 2003.
- [4] Dragan K. Stanković, "Fizičko tehnička merenja - senzori", Univerzitet u Beogradu, Beograd, 1997.
- [5] N. Matić, "PIC mikrokontroleri" Beograd, MikroElektronika, 2002.
- [6] Microchip Technology Inc., "MPLAB IDE User's Guide", 2001.

**Abstract** – In this paper an implementation and test of the device for communication between Telemetry system and Surface unit with the tool for measurement pipe diameter, fluid velocity and direction of flow in the borehole (Calliper-Fullbore Flowmeter - CFF) are presented. This communication is done according SIPLOS (Simultaneous Production Logging String) protocol and it is used by Hotwell company as part of larger system for borehole investigations.

## TESTING OF THE DEVICE FOR COMMUNICATION IN THE TOOL FOR MEASUREMENT PIPE DIAMETER AND FLUID FLOW IN THE BOREHOLE

Miloš Slankamenac, Krešimir Knapp, Miloš Živanov

## PLANIRANJE ZADATAKA U SISTEMU ZA RAD U REALNOM VREMENU SA REDUNDANSOM U VREMENU ZA PREVAZILAŽENJE OTKAZA

Sandra Došić, Milun Jevtić, *Elektronski fakultet u Nišu*

**Sadržaj** – U radu se razmatra jedna realizacija RTS-a otpornog na otkaze korišćenjem redundanse u vremenu. Izvršena je analiza vremenskih ograničenja u RTS-u čiji zadaci imaju fiksni prioritet dodeljen na osnovu RM ili DM algoritma planera. Analiza je posebno razmatrana za dva moguća načina oporavka sistema posle pojave greške korišćenjem vremenske redundanse za oporavak. Na osnovu rezultata ove analize izvršena je procena koliko su određeni RTS-i otporni na greške.

### 1. UVOD

Često je potrebno projektovati sisteme koji rade u realnom vremenu (RTS) i koji imaju mogućnost da nastavu sa radom čak i kada se pojavi neki otkaz. Sistemi otporni na otkaze (*fault-tolerant systems*) [1], mogu se definisati kao visoko-pouzdati sistemi koji i u vrlo nepovoljnim, pa i ekstremnim uslovima, zahvaljujući pre svega svojoj sposobnosti da tolerišu pojedinačne kvarove, nastavljaju da izvršavaju svoje funkcije, [2].

Postoji veliki broj primena ovih sistema i sve one se mogu kategorizovati u četiri primarne oblasti:

1. aplikacije sa dugim vremenom života - sistemi koji duži vremenski period moraju raditi samostalno, bez mogućnosti direktne intervencije radi popravke eventualnog kvara. Ovi sistemi treba da imaju ugrađene mehanizme koji će omogućiti da u slučaju pojave kvara, sistem samostalno preuzme odgovarajuće aktivnosti kako bi se prevazišao, pa čak i predupredio otkaz (svemirske letelice i sateliti bez ljudske posade);

2. aplikacije sa kritičnim izračunavanjima - sistemi čija su izračunavanja kritična za ljudsku bezbednost, očuvanje okoline ili zaštitu opreme (sistemi za kontrolu leta aviona, vojni sistemi i određeni tipovi industrijskih kontrolera);

3. aplikacije sa odloženim održavanjem - sistemi kod kojih su operacije održavanja (servisiranja) ekstremno skupe, neprikladne ili teške za izvodjenje tako da se tolerancija otkaza koristi za odlaganje servisiranja do prikladnijeg i ekonomičnijeg vremena (sistemi kod kojih se popravke vrše, na primer, jednom mesečno, a između ovih servisa sistem koristi toleranciju otkaza za neprekidno izvršavanje svojih zadataka);

4. aplikacije visoke dostupnosti – sistemi zasnovani na *on-line* opsluživanju korisnika, gde korisnici, nakon što su zatražili uslugu očekuju veliku verovatnoću da budu opsluženi (bankarski i drugi sistemi od kojih se zahteva visoka dostupnost).

Naša pažnja biće usmerena ka jednom od pristupa koji se uspešno može koristiti za projektovanje sistema koji rade u realnom vremenu i koji su otporni na otkaze, a to je analiza vremenskih ograničenja RTS-a. Ova analiza se efikasno može primeniti kod sistema čiji zadaci imaju poznati, fiksni prioritet dodeljen na osnovu nekog algoritma za dodeljivanje prioriteta, a posebna pažnja biće posvećena ka dva takva

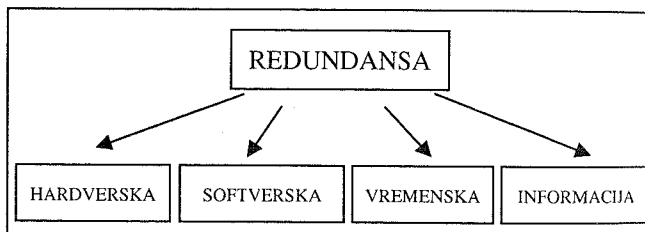
algoritma: RM (*rate monotonic*) i DM (*deadline monotonic*) algoritmu.

### 2. SISTEMI OTPORNI NA OTKAZE

Da bi jedan sistem uspešno nastavio sa radom čak i u prisustvu otkaza neophodno je da iskoristi neku od dostupnih redundansi. Redundansa se može definisati kao dodatni hardverski ili softverski izvor, dodatno vreme ili informacija, preko onoga što je potrebno za normalno funkcionisanje sistema, a sve sa ciljem postizanja što boljih performansi sistema. Kao što je prikazano na slici 1, redundansa može biti:

- hardverska,
- softverska,
- vremenska ili
- informaciona.

Hardverska redundansa podrazumeva postojanje dodatnog hardvera sa svrhom detektovanja i/ili tolerancije otkaza. Fizičko umnožavanje hardvera je najčešći oblik redundanse koji se danas koristi čemu značajno doprinosi i činjenica da poluprovodničke komponente postaju sve manje i jeftinije.



Sl. 1. Vrste redundase

Softverska redundansa predstavlja dodavanje softvera, iznad onog neophodnog za obavljanje zadatih funkcija, a u cilju detekcije i tolerancije otkaza. U aplikacijama koje koriste računare, mnoge tehnike za detekciju i toleranciju otkaza mogu biti implementirane u softveru. Osnovni oblik redundanse u softveru je realizacija više verzija softvera za isti zadatak. Ali često, zajedno sa redundansama u ostalim domenima, redundansa u softveru se može realizovati u vidu nekoliko dodatnih linija naredbi ili u vidu male programske procedure.

Informaciona redundansa je dodavanje dodatnih informacija iznad zahtevanih za izvršavanje zadate funkcije. Dobri primeri informacione redundanse su kodovi za detekciju, kao i kodovi za detekciju i korekciju grešaka, koji se formiraju dodavanjem redundantnih informacija rečima, ili prevodjenjem reči u neki novi oblik koji sadrži redundantne informacije.

Vremenska redundansa koristi dodatno vreme za izvršavanje funkcija oporavka sistema pri nastanku otkaza. Često se vremenskom redundansom omogućava detektovanje grešaka (na primer ponovljenim izračunavanjem). Metodi vremenske redundanse nastoje da smanje količinu dodatnog hardvera po ceni korišćenja dodatnog vremena jer je u

mnogim aplikacijama značajno smanjiti težinu, veličinu, potrošnju, pa i cenu hardvera.

### 3. ANALIZA VREMENA ODZIVA

Često se analiza vremenskih ograničenja sistema koristila za projektovanje sistema pod pretpostavkom da se u toku rada sistema ne javljaju greške odnosno otkazi. Realno, ovakva pretpostavka je nemoguća jer "sistemi koji rade bez greške ne postoje, postoje samo sistemi kod kojih se greška još uvek nije pojavila", [3].

Od nedavno je analiza vremenskih ograničenja sistema proširena uzimanjem u obzir i mogućnost pojave grešaka u toku rada sistema, [4].

Ova analiza može se koristiti kod metoda sa tolerancijom greške zasnovanih na tehnikama koje grešku predstavljaju ili kao alternativni zadatak koji je neophodno izvršiti kako bi se sistem oporavio ili ponavljanjem zadatka u toku čijeg izvršenja je došlo do pojave greške. Treba naglasiti da je oporavak zadatka usled pojave greške na račun vremenske redundanse i da su u oba slučaja prioritet alternativnog ili ponovljenog zadatka isti kao prioritet primarnog zadatka (zadatka u toku čijeg izvršenja je došlo do pojave greške). Mi ćemo analizirati slučajeve kada se prioritet zadatka dodeljuje na osnovu RM i DM algoritma [5].

RM i DM algoritmi spadaju u grupu vremenski baziranih algoritama čiji je osnovni kriterijum prilikom određivanja rasporeda izvršenja zadatka period (za RM algoritam) odnosno rok zadatka (za DM algoritam). To znači da ako se neki od ova dva algoritma primene na skup periodičnih zadatka onda se kod RM algoritma zadatku sa kraćim periodom pojavljivanja dodeljuje veći prioritet, dok se veći prioritet kod DM algoritma dodeljuje zadatku sa kraćim rokom za izvršenje, [6]. Ovi algoritmi, kao i drugi algoritmi planera RTS-a sa tolerisanjem greške, razmatrani su ranije i rezultati analiza se mogu naći u [7] i [8].

Pretpostavimo da postoji skup od  $n$  primarnih zadatka,  $\Gamma = \{\tau_1, \dots, \tau_n\}$ , koje sistem izvršava u skladu sa RM ili DM algoritmom. Za svaki zadatak,  $\tau_i$ , u skupu  $\Gamma$ , poznat je period zadatka  $T_i$ , rok za izvršenje zadatka  $D_i$  ( $D_i \leq T_i$ ), kao i najgore vreme izvršenja zadatka  $C_i$ .

Svaki primarni zadatak  $\tau_i$  može imati svoj alternativni zadatak,  $\bar{\tau}_i$ . Alternativni zadatak predstavlja određenu akciju tj. zadatak koji je neophodno izvršiti pre roka primarnog zadatka kako bi se zadatak  $\tau_i$  oporavio usled nastale greške. Za svaki alternativni zadatak poznato je još i njegovo najgore vreme izvršenja zadatka,  $\bar{C}_i$ , koje se još zove i najgore vreme oporavka zadatka.

Pretpostavimo još da postoji i  $n$  nivoa prioriteta (1, 2, ..., n), pri čemu je sa 1 označen najniži prioritet. Sa  $p_i$  je označen prioritet zadatka  $\tau_i$  a sa  $\bar{p}_i$  prioritet zadatka  $\bar{\tau}_i$ .

Neka je sa  $T_E$  označeno minimalno vreme između pojave dve uzastopne greške. Nalaženjem minimalnog vremena  $T_E$ , za koje sistem može tolerisati greške, može se zaključiti koliko je sistem otporan na greške, što je bitna činjenica kako za funkcionisanje sistema tako i za projektante u procesu projektovanja sistema.

Ulazni parametri analize vremena odziva su: karakteristike zadatka ( $T_i, D_i, C_i$  i  $\bar{C}_i$ ), prioritet primarnog zadatka ( $p_i$ ), i pretpostavljena vrednost  $T_E$ . Pretpostavlja se

još i da su prioriteti alternativnih zadataka isti kao i prioriteti njihovih odgovarajućih primarnih zadatka tj da je  $p_i = \bar{p}_i$ .

Izlazni parametar je najgore vreme odziva zadatka  $\tau_i$  označeno sa  $R_i$ , koje se može definisati kao vremeski interval od trenutka kada stigne zahtev za izvršenje zadatka do momenta njegovog izvršenja.

Ako pretpostavimo da u sistemu nema grešaka, onda u skladu sa ovom metodom, najgore vreme odziva zadatka  $R_i$  je vreme potrebno da se izvrši zadatak  $\tau_i$  i svi zadaci  $\tau_j$  za koje važi  $p_j > p_i$ . Ako se u sistemu jave greške, onda je neophodno prilikom izračunavanja najgoreg vremena odziva zadatka uzeti u obzir vreme neophodno za oporavak zadatka usled nastale greške.

Pretpostavimo da se u toku izvršenja zadatka  $\tau_i$  može javiti samo jedna greška i da ta greška može prekinuti izvršenje zadatka  $\tau_i$  kao i izvršenje bilo kog konkurentnog zadatka. Najgori slučaj je kada greška prekida izvršenja zadatka u trenutku kada je zadatak pri kraju sa izvršenjem kao i kada se greška javlja kod zadatka koji ima najduži alternativni zadatak među  $\tau_i$  i ostalih zadataka koji mogu prekinuti izvršenje zadatka  $\tau_i$  tj. zadataka koji imaju veći ili jednak prioritet u odnosu na prioritet  $p_i$ .

Ako pretpostavimo da je  $\tau_k$  zadatak sa takvim osobinama onda znači da vremenu odziva zadatka  $\tau_i$  treba dodati vreme oporavka zadatka  $\tau_k$  ( $\bar{C}_k$ ). Kao što je i detaljno objašnjeno u [4], sve ovo vodi ka jednačini (1):

$$R_i = C_i + \sum_{\tau_j \in hp(i)} \left\lfloor \frac{R_i}{T_j} \right\rfloor C_j + \max_{\tau_k \in hpe(i)} \bar{C}_k \quad (1)$$

gde je  $hp(i) = \{\tau_j \in \Gamma \mid p_j > p_i\}$  i  $hpe(i) = \{\tau_j \in \Gamma \mid p_j \geq p_i\}$ .

Kako se  $R_i$  nalazi sa obe strane jednačine, do rešenja se može doći iterativnim postupkom pri čemu za početnu vrednost  $R_i$  treba uzeti da je  $R_i^0 = C_i$ . Ovaj iterativni proces se završava ili kad je  $R_i^{m+1} = R_i^m$  (trenutak kada se nalazi najgore vreme odziva zadatka  $\tau_i$ ) ili kada je  $R_i^{m+1} > D_i$  (slučaj kada  $\tau_i$  ne može da zadovolji kriterijume trenutno aktivnog algoritma po kome se zadaci izvršavaju).

Ako greška može prekinuti izvršenje zadatka  $\tau_k$  više puta i ako je u najgorem slučaju period pojavljivanja greške  $T_E$  onda je maksimalni broj grešaka koje se mogu javiti u toku izvršenja zadatka  $\tau_i$   $\left\lfloor \frac{R_i(T_E)}{T_E} \right\rfloor$ , što vodi ka izrazu (2).

$$R_i(T_E) = C_i + \sum_{\tau_j \in hp(i)} \left\lfloor \frac{R_i(T_E)}{T_j} \right\rfloor C_j + \left\lfloor \frac{R_i(T_E)}{T_E} \right\rfloor \max_{\tau_k \in hpe(i)} \bar{C}_k \quad (2)$$

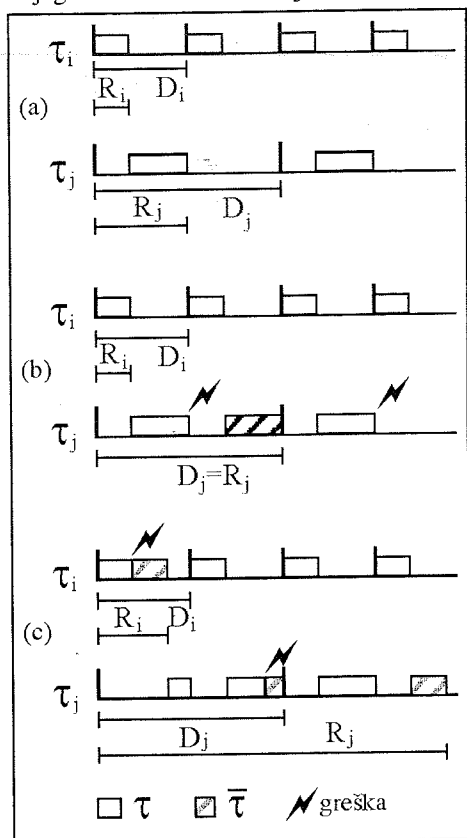
Kako je  $T_E$  ulazna veličina ove analize, onda se  $R_i$  daje kao funkcija  $T_E$  tj.  $R_i(T_E)$ .

Analiza vremena odziva može se ilustrovati sledećim primerom prikazanim na slici 2.

Na slici 2 a) prikazan je jednostavan primer dva periodična zadatka i njihovi karakteristični parametri: rok za izvršenje zadatka  $D$  i vreme odziva zadatka  $R$ . Pretpostavljeno je da zadatak  $\tau_i$  ima veći prioritet od zadatka  $\tau_j$ , da se zadaci izvršavaju u skladu sa RM algoritmom i da se sistem oporavlja od eventualne greške ponovnim izvršenjem zadatka u tok čijeg izvršenja se greška javila.

Pretpostavimo da dolazi do greške, pri čemu je minimalno vreme između dve uzastopne pojave greške (odnosno  $T_E$ ) takvo da nakon oporavka sistema nijedan od zadataka ne prekorači svoj rok. Ovaj slučaj prikazan je na

slici 2 b). Sa slike se može videti da je vreme odziva zadatka  $\tau_j$  jednako njegovom roku za izvršenje, odnosno da je  $D_j=R_j$ .



Sl. 2. Analiza vremena odziva:

a) primer dva zadatka, b) nema prekoračenja zbog greške, c) greška dovodi do prekoračenja roka

Izračunati minimalno  $T_E$  za koje se sistem može oporaviti a da ne dođe do prekoračenja roka za izvršenje zadatka je i cilj analize vremena odziva.

Na slici 2 c) može se videti slučaj kada dolazi do pojave greške ali je  $T_E$  suviše malo tako da se sistem može oporaviti samo ako neki od zadataka prekorači svoj rok. U našem slučaju zadatak  $\tau_j$  se ne izvršava na vreme, odnosno  $R_j > D_j$ . Pošto je ovo neprihvatljivo kod sistema koji rade u realnom vremenu, može se reći da u ovom slučaju sistem nije otporan na otkaze.

#### 4. REZULTATI ANALIZE VREMENA ODZIVA

Posmatrajmo prvo slučaj tri periodična zadatka koji se izvršavaju u skladu sa RM algoritmom i čije su karakteristike date u tabeli 1. Pretpostavimo da se u toku izvršenja zadataka greška može javiti više puta i da se sistem oporavlja tako što se zadatak u toku čijeg izvršenja je došlo do pojave greške ponavlja ( $C_i = \bar{C}_i$ ).

Tabela 1: Karakteristike zadataka i rezultati analize za RM algoritam planera i  $C_i = \bar{C}_i$

Zadaci	Parametri zadataka					$R_i(11)$	$R_i(10)$
	$T_i$	$C_i$	$\bar{C}_i$	$D_i$	$p_i$		
$\tau_1$	13	2	2	13	3	4	4
$\tau_2$	25	3	3	25	2	8	8
$\tau_3$	30	5	5	30	1	22	37

Na osnovu jednačine (2) može se uzračunati vreme odziva zadataka za različite vrednosti parametra  $T_E$ . Na

osnovu rezultata analize dolazi se do zaključka da se ovi zadaci mogu uspešno izvršiti za  $T_E=11$  dok to nije moguće za  $T_E=10$  jer se u tom slučaju zadatak  $\tau_3$  ne izvršava u roku jer je  $R_3(10) > D_3$ . Međutim, kod zadataka prioriteta  $p_1$  i  $p_2$  postoji neko slobodno vreme koje se može iskoristiti za izvršenje zadatka  $\tau_3$ .

Analizirajmo sada slučaj tri periodična zadatka koji se izvršavaju u skladu sa DM algoritmom (kod koga je  $T_i \neq D_i$ ) i čije su karakteristike date u tabeli 2. Iz tabele 2 se može videti da su parametri zadataka  $T_i$ ,  $C_i$ ,  $\bar{C}_i$  i  $p_i$  identični prethodnom slučaju i da se jedino razlikuje parametar  $D_i$  što je i u skladu sa DM algoritmom. Pretpostavimo opet da se u toku izvršenja zadataka greška može javiti više puta i da se sistem oporavlja tako što se zadatak u toku čijeg izvršenja je došlo do pojave greške ponavlja.

Tabela 2: Karakteristike zadataka i rezultati analize za DM algoritam planera i  $C_i = \bar{C}_i$

Zadaci	Parametri zadataka					$R_i(17)$	$R_i(16)$
	$T_i$	$C_i$	$\bar{C}_i$	$D_i$	$p_i$		
$\tau_1$	13	2	2	9	3	4	4
$\tau_2$	25	3	3	17	2	8	8
$\tau_3$	30	5	5	21	1	17	22

Vremena odziva zadataka u najgorem slučaju, za različite vrednosti parametra  $T_E$ , izračunata su u skladu sa jednačinom (2). Na osnovu rezultata analize dolazi se do zaključka da se ovi zadaci mogu uspešno izvršiti za  $T_E=17$  dok to nije moguće za  $T_E=16$  jer u tom slučaju dolazi do prekoračenja roka za izvršenje zadatka  $\tau_3$  tj. ( $22 > 21$ ).

Ako uporedimo prethodna dva slučaja, lako se može zaključiti da se smanjenjem roka za izvršenje zadataka povećava  $T_E$ , odnosno povećava se minimalno vreme između pojave dve uzastopne greške. Samo povećanje parametra  $T_E$ , u odnosu na prethodni slučaj, je loše jer ukazuje na činjenicu da se otpornost sistema na greške smanjuje.

Pošto se sistem može oporaviti od greške i izvršavanjem nekog alternativnog zadatka, koji obično ima kraće vreme izvršenja od primarnog zadatka, razmotrićemo i ovaj slučaj za oba algoritma planera.

Razmotrimo prvo slučaj tri periodična zadatka koji se izvršavaju u skladu sa RM algoritmom i čije su karakteristike date u tabeli 3. I u ovom slučaju pretpostavljamo da se u toku izvršenja zadataka greška može javiti više puta.

Tabela 3: Karakteristike zadataka i rezultati analize za RM algoritam planera i  $C_i \neq \bar{C}_i$

Zadaci	Parametri zadataka					$R_i(6)$	$R_i(5)$
	$T_i$	$C_i$	$\bar{C}_i$	$D_i$	$p_i$		
$\tau_1$	13	2	1	13	3	3	3
$\tau_2$	25	3	2	25	2	9	9
$\tau_3$	30	5	3	30	1	24	35

I ovde je za računanje vremena odziva zadataka korišćena jednačina (2) za različite vrednosti  $T_E$ . Na osnovu rezultata analize dolazi se do zaključka da se ovaj skup zadataka može uspešno izvršiti za  $T_E=6$  dok to nije moguće za  $T_E=5$  jer se u tom slučaju zadatak  $\tau_3$  ne izvršava u roku.

Uporedimo rezultate analize ovog slučaja i skupa zadataka sa karakteristikama datim u tabeli 1. Jedini parametar koji se razlikuje je vreme izvršenja alternativnog zadatka koji je u slučaju skupa zadataka datim u tabeli 3

kraći. Upoređivanjem rezultata analize u oba slučaja može se zaključiti da se smanjenjem vremena izvršenja zadataka smanjuje i minimalno vreme između pojave dve uzastopne greške. Ovo smanjenje parametra  $T_E$  ukazuje na povećanje otpornosti sistema na greške, što je dobro.

Ostao je još slučaj tri periodična zadatka koji se izvršavaju u skladu sa DM algoritmom, čije su karakteristike date u tabeli 4. Jedina razlika između tabele 3 i tabele 4 jeste parametar  $D_i$  što je i u skladu sa DM algoritmom. Pretpostavimo opet da se u toku izvršenja zadataka greška može javiti više puta i da se sistem oporavlja od greške izvršavanjem alternativnog zadatka.

Tabela 4: Karakteristike zadataka i rezultati analize za DM algoritam planera i  $C_i \neq \bar{C}_i$

Zadaci	Parametri zadataka					$R_i(7)$	$R_i(6)$
	$T_i$	$C_i$	$\bar{C}_i$	$D_i$	$p_i$		
$\tau_1$	13	2	1	9	3	3	3
$\tau_2$	25	3	2	17	2	7	9
$\tau_3$	30	5	3	21	1	21	24

Na osnovu rezultata analize za ovaj slučaj, dolazi se do zaključka da se zadaci mogu uspešno izvršiti za  $T_E=7$  dok to nije moguće za  $T_E=6$  zbog prekoračenja roka za izvršenje zadatka  $\tau_3$ .

U odnosu na prethodni slučaj može se uočiti povećanje minimalnog vremena između pojave dve uzastopne greške odnosno smanjenje otpornost sistema na greške.

## 5. ZAKLJUČAK

Razmatrali smo rezultate analize vremena odziva primenjene kod sistema koji rade u realnom vremenu i otporni su na otkaze, a čiji zadaci imaju fiksni prioritet dodeljen RM odnosno DM algoritmom za dodeljivanje prioriteta. Posebno su analizirana dva načina oporavka sistema usled pojave greške, pri čemu oba koriste vremensku redundansu za oporavak:

- prvi, ponovnim izvršavanjem zadatka u toku čijeg izvršenja se greška javila i
- drugi, izvršavanjem alternativnog zadatka.

Kombinacijom dva algoritma i dva načina oporavka sistema, ukupno smo analizu vremena odziva primenili na četiri moguća slučaja:

1. kada je aktivan RM algoritam i oporavak sistema ponovnim izvršavanjem zadatka u toku čijeg izvršenja se greška javila,
2. kada je aktivan DM algoritam i oporavak sistema ponovnim izvršavanjem zadatka u toku čijeg izvršenja se greška javila,
3. kada je aktivan RM algoritam i oporavak sistema izvršavanjem alternativnog zadatka,
4. kada je aktivan DM algoritam i oporavak sistema izvršavanjem alternativnog zadatka.

Na osnovu rezultata analize sva četiri slučaja može se doći do zaključka u kojoj meri je sistem otporan na greške i koji algoritam odnosno način oporavka sistema je bolje koristiti.

Ako uporedimo prva dva slučaja, zaključujemo da se smanjenjem roka za izvršenje zadataka povećava minimalno vreme između pojave dve uzastopne greške odnosno

otpornost sistema na greške se smanjuje. Ovo znači da ako se primeni prvi način oporavka sistema, odnosno oporavak sistema ponovnim izvršavanjem zadatka u toku čijeg izvršenja se greška javila, RM algoritam planera daje bolje rezultate.

Do istog zaključka dolazimo i upoređivanjem trećeg i četvrtog slučaja. Znači, i kada se primeni drugi način oporavka sistema, odnosno oporavak sistema izvršavanjem alternativnog zadatka, RM algoritam daje bolje rezultate u odnosu na DM.

Moguće je vršiti i poređenje rezultata slučajeva kada su aktivni isti algoritmi a menja se način oporavka sistema. Odnosno, moguće je vršiti poređenje prvog i trećeg slučaja, kada je aktivan RM, odnosno drugog i četvrtog slučaja, kada je aktivan DM algoritam. Kako, u našem slučaju, alternativni zadatak ima kraće vreme izvršenja od primarnog, logično je da će i sistem biti otporniji na greške ako se primeni drugi način oporavka sistema, odnosno oporavak sistema izvršavanjem alternativnog zadatka, bez obzira na trenutno aktivan algoritam. Do istog zaključka se dolazi i na osnovu rezultata analize primenjene na konkretne slučajeve.

## LITERATURA

- [1] N. Nisanke, "Realtime Systems", Prentice Hall, 1997.
- [2] B. Johnson, "Design Analysis of Fault-Tolerant Digital Systems", Addison-Wesley Publishing Company, 1988.
- [3] J.C. Laprie, "Dependability: Basic Concepts and Terminology, vol.5, Dependable Computing and Fault-Tolerant Systems", Springer-Verlag, 1992.
- [4] M. George de A. Lima and Alan Burns, "An Optimal Fixed-Priority Assignment Algorithm for Supporting Fault-Tolerant Hard Real-Time Systems", IEEE Trans. Computers, vol.52, no.10, pp. 1332-1346, Oct. 2003.
- [5] K. Juvva, "Real-Time Systems", Carnegie Mellon University 18-849b Dependable Embedded Systems ili [http://www2.cs.cmu.edu/~koopman/des\\_s99/real\\_time/](http://www2.cs.cmu.edu/~koopman/des_s99/real_time/)
- [6] F. Cottet, J. Delacroix, Z. Mameri, "Scheduling in Real-Time Systems", John Wiley & Sons, 2002.
- [7] S. Brankov, M. Jevtić, "Algoritmi planera HRTS-a sa tolerisanjem greške", Zbornik XLVI konferencije za elektroniku, telekomunikacije, računarstvo, automatiku i nuklearnu tehniku, ETRAN 2002, juni 2002, Banja Vrućica, pp. I.70-I.73.
- [8] S. Brankov, M. Jevtić, "Izbor algoritama vremenskog planiranja izvršavanja zadataka u sistemima za upravljanje i nadzor industrijskih procesa", Zbornik radova IV simpozijuma industrijske elektronike, INDEL 2002, Banja Luka, novembar 2002, pp. 250-254.

**Abstract** – One realization of fault tolerant real time systems using time redundancy is discussed in this paper. We analyze time requirement in real time systems with fixed priority tasks assignment by rate monotonic or deadline monotonic scheduling algorithm. We applied this analysis on two different ways of system recovery, after faults appearance, using time redundancy. On the basis of analysis results we estimate how much is the system fault tolerant.

## SCHEDULING IN RTS USING TIME REDUNDANCY FOR SYSTEM RECOVERY AFTER FAULTS

Sandra Došić, Milun Jevtić

## RT LINUX SOFTVERСКЕ FUNKCIJE ZA ON-LINE NADZOR PROCESA I DOGAĐAJA

Marko Cvetković, Milun Jevtić, *Elektronski fakultet Niš*

**Sadržaj** – U ovom radu prikazana je realizacija softverskih funkcija za on-line nadzor procesa i događaja u jednom sistemu za rad u realnom vremenu koji radi pod RT Linux-om. Softverske funkcije za nadzor ugrađene su u jezgro RT Linux-a i zajedno sa ugrađenim multitajmerskim hardverskim modulom realizuju hibridni on-line nadzor. U radu su predstavljene i potrebne modifikacije kôda planera, kako bi se korišćenjem nadzornih funkcija realizovao nadzor zadataka u RTS-u. Predloženo rešenje pored testiranja vremenskih karakteristika sistema u toku razvoja, omogućava i nadzor u cilju detekcije vremenskih nekorektnosti u toku rada sistema.

### 1. UVOD

Implementacija sistema on-line nadzora je veoma značajna za sisteme za rad u realnom vremenu, kako zbog dokazivanja korektnog zadovoljavanja vremenskih ograničenja sistema u fazi projektovanja, tako i zbog obezbeđivanja njegovog vremenski korektnog funkcionisanja u fazi eksploatacije.

U fazi projektovanja sistema za rad u realnom vremenu (*real-time system* - RTS) prave se pretpostavke o ponašanju sistema u radnom okruženju. Među tim pretpostavkama, poseban značaj imaju one koje se odnose na vremenska ograničenja. Izražavanje vremenskih ograničenja može biti u obliku krajnjeg roka za izvršenje zadataka, gornje granice kašnjenja u međuprocenoj komunikaciji ili minimalnog intervala između pojave dva događaja. Krajnji cilj njihovog definisanja je da se postigne predvidivo ponašanje sistema u njegovom radnom okruženju. Međutim, i pored uvođenja metoda formalne specifikacije, kao i testiranja sistema neposredno posle faze integracije, pre faze eksploatacije nije moguće u potpunosti sagledati sve aspekte ponašanja sistema u radnom okruženju. Zbog toga, potreba za nadzorom u realnom vremenu nije umanjena, a za njegovu primenu postoji više razloga, kao što su nepredvidivosti koje u sistem unosi okolina i pojava nekih neočekivanih uslova pri radu [1].

Sistem on-line nadzora (*On-line Monitoring System*) se definiše kao proces ili skup mogućih distribuiranih procesa čija je funkcija dinamičko prikupljanje i interpretacija informacija koje se tiču aplikacije, kao i preduzimanje odgovarajućih akcija u skladu sa dobijenim informacijama, za vreme dok se ta aplikacija izvršava [2]. Primarne funkcije nadzora mogu se videti na Sl. 1.

Informacije koje se prikupljaju na sistem nadzora dolaze u obliku događaja. U skladu s tim, funkcija nadzora može se ostvariti na dva nivoa:

- Nadzor na niskom nivou (*low-level monitoring*) detektuje sve signale na nivou hardvera;
- Nadzor na visokom nivou (*high-level monitoring*) detektuje samo signale na nivou procesa.

Pored toga nadzor se može vršiti sinhrono ili asinhrono u odnosu na izvršenje aplikacije. Kod sinhronog nadzora u aplikacioni kôd se ubacuju tačke nadzora, u kojima

se ispituje da li je u određenom delu softvera stanje sistema u okviru granica, potrebnih za ispravno funkcionisanje sistema. Asinhroni nadzor se obavlja u okviru eksternog procesa, koji prihvata događaje iz ciljne aplikacije, analizira ih i eventualno preduzima dalje akcije u skladu sa rezultatima analize.



Sl. 1. Primarne funkcije nadzora

Postoje tri generalna pristupa nadzoru: hardverski, softverski i hibridni. Za realizaciju nadzora u RTS-ima neophodne su metode i alati, koji će omogućiti jednostavan i efikasan nadzor, a da pri tome uticaj na ukupne performanse ciljnog sistema bude sveden na minimum. Hibridni pristup objedinjuje nenametljivu prirodu hardverskih pristupa i fleksibilnost softverskog pristupa realizaciji nadzora. Jedno hibridno rešenje sastoji se od softverske implementacije funkcije nadzora i hardverske detekcije odgovarajućih događaja. Softver sistema, bilo ciljani program, bilo sam operativni sistem, se prvo instrumentalizuje kako bi generisao događaje, a zatim se hardverski deo nadzornog sistema koristi za detekciju događaja i prikupljanje odgovarajućih podataka o njima.

Zbog pomenutih prednosti, u našoj realizaciji smo se opredelili za hibridni pristup nadzoru procesa, gde se detekcija prekoračenja vremena izvršenja procesa obavlja pomoću nadzornih tajmera u okviru specijalizovanog multitajmerskog hardverskog modula, a funkcija nadzora je implementirana pomoću softverskih funkcija. Multitajmerski modul poseduje N nadzornih tajmera i N-ulazni kontroler prekida, što omogućava nadzor do N procesa koji se istovremeno izvršavaju. Softverske funkcije ugrađene su u jezgro ciljnog operativnog sistema, RT Linux-a [3], a mogu se pozivati iz planera ili real-time zadataka. Ovakva implementacija nadzora je moguća pošto je RT Linux operativni sistem sa otvorenim kôdom (*Open Source*), što omogućava kako proširenje operativnog sistema dodavanjem novih sistemskih funkcija, tako i modifikaciju izvornog kôda njegovih, već postojećih, softverskih modula. Najvažnije modifikacije koje treba načiniti odnose se na izvorni kôd planera (*scheduler*) RT Linux-a, i biće takođe prikazane u radu.

Predloženo rešenje omogućava testiranje vremenskih karakteristika RTS-a u fazi projektovanja i on-line detekciju prekoračenja vremena izvršenja real-time zadataka tokom rada ciljnog sistema.

## 2. PREDLOŽENI SISTEM ON-LINE NADZORA

Predloženo rešenje *on-line* nadzora ograničava se na funkcije *debugiranja i testiranja, evaluacije performansi i provere ispravnosti* (sa Sl.1). Drugim rečima, obezbeđene su funkcije procene vremenskih karakteristika sistema (pre svega vremena izvršenja zadataka) i detekcije prekoračenja krajnjeg roka (*deadline*) za izvršenje *real-time* zadatka. (Ovde ćemo umesto termina proces koristiti termin zadatak (*task*), što je uobičajeno kada se govori o procesima u RTS-ima.) Ciljni operativni sistem pod kojim se izvršava *real-time* aplikacija je RT Linux, koji predstavlja *real-time* operativni sistem (RTOS) baziran na Linux-u. RT Linux, kao i standardni Linux, omogućava multitasking obradu, tako da se celokupna aplikacija sastoji od više *real-time* zadataka. Sistem omogućava *on-line* nadzor većeg broja *real-time* zadataka, koji se kvazi-paralelno izvršavaju na jednom PC-u. Princip rada pretpostavlja da se funkcije pomoću kojih se ostvaruje nadzor, realizuju softverski i ugrađuju u jezgro RT Linux-a. Ove funkcije se pozivaju iz planera (*scheduler*) RT Linux-a ili *real-time* zadataka, a multitajmerska kartica sa N nadzornih tajmera (*watchdog*), od kojih se svaki pridružuje jednom *real-time* zadatku ili događaju, obezbeđuje detekciju događaja. Nadzorni tajmeri nadgledaju izvršenje *real-time* zadataka i, u slučaju detekcije prekoračenja zadatog vremena izvršenja (zadatka ili nekog programskog segmenta), generišu zahtev za prekid, koji se preko N-ulaznog kontrolera prekida vodi na PC bus logiku, kako bi se sistem obavestio o pojavi greške u izvršenju. Multitajmerski modul takođe pruža i informaciju o tome koji nadzorni tajmer je detektovao prekoračenje. Arhitektura i način rada ovog modula detaljno su objašnjeni u [1].

Postoje dva režima rada predloženog sistema:

- Režim debugiranja i testiranja
- Režim ugrađenog samotestiranja

Režim debugiranja i testiranja, odnosi se na analizu sistema u fazi testiranja sistema, kako bi se dobile informacije o trajanju izvršenja zadataka u najgorem slučaju (*Worst Case Execution Time - WCET*). U ovom režimu rada sistema za nadzor, svaki zadatak ciljne aplikacije inicira proceduru za nadzor kako bi se utvrdilo vreme izvršenja zadatka. Tom prilikom se beleže vremena početka i završetka izvršenja zadatka, utvrđuje se vreme izvršenja, a kasnijom analizom se utvrđuje i maksimalno vreme potrebno za izvršenje zadatka (*WCET*). Osim *WCET*, utvrđuju se i minimalna vremena izvršenja zadataka (*Best Case Execution Time - BCET*). Dobijene informacije se arhiviraju, a kasnije, u fazi eksploatacije, koriste se za detekciju prekoračenja vremena izvršenja zadataka.

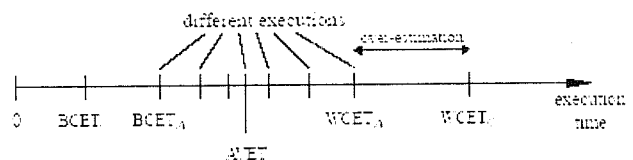
U režimu ugrađenog samotestiranja sistem vrši funkciju nadzora, gde je svaki nadzorni tajmer pridružen jednom od zadataka, kako bi se detektovalo eventualno prekoračenje krajnjeg roka za izvršenje tog zadatka. Drugim rečima, ovo je režimu u kome se vrši funkciju kontinualnog *on-line* nadzora. Dodaćemo još i da se u predloženom rešenju ne proverava samo da li je zadatak prekoračio krajnji rok, nego i da li je vreme izvršenja datog zadatka bilo manje od minimalnog specificiranog vremena za izvršenje tog zadatka.

U drugom režimu, tajmeri sa kartice imaju funkciju nadzornih tajmera na nivou zadataka. Kako u sistemu postoje unapred definisane vrednosti *WCET* za svaki od zadataka, te informacije se mogu koristiti za kontrolu rada sistema. Na početku izvršenja svakog zadatka inicira se procedura koja postavlja nadzorni tajmer u inicijalno stanje, tj. na *WCET*. Nadzorni tajmer se taktuje impulsima iz kola za generisanje takta i on broji unazad, odbrojavajući vreme izvršenja zadatka. Ukoliko se iz nekog razloga prekorači vreme izvršenja zadatka, brojač stiže do kraja i aktivira se njegov izlaz. Promena na izlazu nadzornog tajmera izaziva promenu na izlazu kontrolera prekida, aktivira se njegov *interrupt request* izlaz, i na taj način se ciljni sistem obavestava da je došlo do prekoračenja krajnjeg roka u toku izvršenja zadatka.

## 3. IMPLEMENTACIJA SOFTVERSKIH FUNKCIJA

Da bi rad hardverskog modula za nadzor uopšte bio moguć, neophodno je implementirati i softverske funkcije koje obezbeđuju startovanje rada nadzornih tajmera i detekciju signala greške sa hardverskog modula. Kako smo već pomenuli, u predloženom rešenju, funkcije za nadzor se ugrađuju u jezgro ciljnog operativnog sistema (RT Linux).

Polazna pretpostavka u realizaciji našeg rešenja je da je izvorni kôd planera operativnog sistema moguće modifikovati, da se politika planiranja bazira na prioritetima i da je moguće istiskivanje (svaki od zadataka se može istisnuti iz izvršenja ukoliko je zadatak višeg prioriteta spreman za izvršenje). Planer (*scheduler*) je deo operativnog sistema koji obavlja funkcije planiranja redosleda izvršenja zadataka, startovanja izvršenja zadataka, kao i blokiranja ili nastavka izvršenja nekog zadatka. Politika planiranja u RT Linux-u bazirana je na prioritetima, a sam dizajn ovog RTOS-a omogućava istiskivanje, kako na korisničkom nivou, tako i na nivou kernela [3]. Na Sl. 2. naznačena su osnovne mere vremena izvršenja zadatka u RTS-ima, koja se svakako odnose i na RT Linux.



Sl. 2. Karakteristična vremena pri izvršenju *real-time* zadatka

Značenja pojedinih oznaka sa Sl 2 data su u sledećoj tabeli:

Tabela 1: Definicije pojedinih mera vremena izvršenja zadataka u *real-time* sistemima

Oznaka	Objašnjenje
$BCET_C$	Vreme izvršenje u najboljem slučaju (izračunato)
$BCET_A$	Vreme izvršenje u najboljem slučaju (stvarno)
AVET	Srednje vreme izvršenja zadatka
$WCET_A$	Vreme izvršenje u najgorem slučaju (stvarno)
$WCET_C$	Vreme izvršenje u najgorem slučaju (izračunato)

Na vreme izvršenja *real-time* zadataka ne utiče samo izvršni kôd zadatka nego i mnogi drugi faktori, kao što su ulazni podaci, kompajler i sam hardver. Iako ovi faktori utiču pre svega na određivanje WCET, i BCET može biti od velikog značaja za rad ciljne aplikacije. Osim toga, treba pomenuti i da se analiza izvršenja obavlja statistički, tj da se karakteristična vremena izračunavaju (na to ukazuje indeks C) i njihova vrednost je uvećana u odnosu na stvarna vremena izvršenja. Ovo je potrebno jer analiza mora da bude pesimistična, kako bi se uključile i nepredviđene okolnosti i uticaji radnog okruženja.

### 3.1 Događaji

Obrada u sistemu se može posmatrati kao niz pojavljivanja događaja. Pojava događaja predstavlja vremenski trenutak kada se neki događaj desio. Zbog toga se vremenske karakteristike ciljnog sistema mogu iskazati kroz relacije između pojava događaja tokom obrade.

Da bi se nadzirao rad sistema korišćenjem tačaka osmatranja potrebna je funkcija *events* [4]. Iniciranje i dovršenje niza programskih instrukcija može se označiti ubacivanjem ovih funkcija u izvorni kôd zadatka (Sl.3).

$$E_i \rightarrow (e_k, t_{\min}, t_{\max})$$

$$\text{statement}_S$$

$$E_k \leftarrow (e_j, t_{\min}, t_{\max})$$

Sl. 3 Fragment kôda sa oznakama događaja

Strelica na desno je sintaksni marker koji definiše  $E_i$  kao događaj koji označava početak naredbe  $\text{statement}_S$ . Slično, strelica na levo povezuje događaj  $E_k$  sa krajem pomenute naredbe. Ukoliko je  $t_{\min}=t_{\max}$ , ova funkcija samo inicira merenje vremena do pojave događaja  $e_k$ , dok za  $t_{\min}$  i  $t_{\max}$  koji su različiti od 0, funkcija proverava da li se događaj  $e_k$  javlja u okviru intervala  $[t_{\min}, t_{\max}]$ .

Moguće je osmatrati još jedan poseban tip događaja. U pitanju je promena vrednosti promenljivih, koje su deklarisanе kao tzv. osmotrivе (*watchable*) promenljive [4]. Ako je promenljiva V deklarisanа pomoću:

$$\text{watchable}_V V(v_{\min}, v_{\max}, \Delta v)$$

onda se bilo koja dodela vrednosti ovoj promenljivoj posmatra kao događaj. Ukoliko je definisano  $v_{\min}$ ,  $v_{\max}$  i  $\Delta v$ , tako da su svi različiti od 0, proverа vrednosti promenljive je izvršena bez detekcije greške ukoliko je: vrednost promenljive ostala unutar specificiranog intervala, i ako je apsolutna promena vrednosti promenljive u odnosu na prethodnu vrednost manja od  $\Delta v$ .

### 3.2 Realizovane softverske funkcije

Softverski deo realizovanog sistema nadzora podrazumeva realizaciju funkcija koje će omogućiti inicijalizaciju nadzornih tajmera sa multitajmerske kartice, postavljanje početne vrednosti i startovanje merenja vremena, detekciju prekoračenja krajnjeg roka, kao i detekciju da je vreme izvršenja zadatka bilo kraće od dozvoljenog. Kôd svih realizovanih softverskih funkcija nalazi se u fajlu *wdtimer.c*, a deklaracije funkcija mogu smeštene su u fajl *wdtimer.h*. Ovaj fajl je neophodno deklarirati u kôdu planera ili *real-time* zadatka kako bi se omogućili pozivi ovih funkcija. Realizovane su sledeće funkcije:

- **int timer\_create(timer\_t \*timer\_id);**

Funkcija koja kreira i inicijalizuje nadzorni tajmer. Poziva se prilikom inicijalizacije *real-time* zadatka (funkcija *init\_module*) [5]. Argument koji se prenosi, *timer\_id*, je struktura koja je definisana u fajlu *wdtimer.h*, prikazana u listingu na Sl. 4. Preko ove strukture omogućeno je dodeljivanje datog nadzornog tajmera *real-time* zadatku.

- **int timer\_delete(timer\_t timer\_id)**

Ovo je funkcija koja omogućava da *real-time* zadatak oslobodi nadzorni tajmer. Poziva se iz funkcije za deaktivaciju *real-time* zadatka (*cleanup\_module*).

- **int timer\_settime(timer\_t timer\_id, const struct wdtimerspec \*new\_setting, struct wdtimerspec \*old\_setting)**

Ova funkcija se poziva iz planera. Prilikom poziva ove funkcije nadzornom tajmeru se dodeljuje vremenski kvant i maksimalno vreme izvršenja [1]. Ovi parametri se prenose preko strukture *wdtimerspec*, čije je implementacija takođe prikazana u listingu na Sl. 4. Vrednosti *wdt\_value* i *wdt\_interval* se odnose na maksimalno vreme izvršenja (krajnji rok) i vremenski kvant, respektivno.

- **int timer\_start(timer\_t timer\_id)**

Funkcija *timer\_start* koristi se za startovanje rada nadzornog tajmera. Njen poziv obično sledi posle poziva funkcije *timer\_settime*.

- **int timer\_stop(timer\_t timer\_id)**

Ova funkcija se poziva iz planera pri završetku izvršenja *real-time* zadatka, u slučaju da nije došlo do prekoračenja krajnjeg roka i generisanja greške. Funkcija omogućava merenje vremena izvršenja tokom faze debugiranja i testiranja, kao i utvrđivanje da li je vreme izvršenja *real-time* zadatka bilo kraće od specificiranog BCET. Principijelni algoritam ove funkcije dat je na Sl. 5 a).

- **int timer\_gettime(timer\_t timer\_id, struct wdtimerspec \*ts\_set)**

Ovu funkciju je moguće pozivati iz planera ili *real-time* zadatka, ukoliko je u njemu potrebno proveriti stanje nadzornog tajmera, tj. ukoliko želimo proveru koliko vremena je ostalo do isteka krajnjeg roka ili koliko dugo traje izvršenje određenog segmenta.

```

struct rtl_wdtimerspec {
    int wdt_value;
    int wdt_interval;
};

struct rtl_timer_struct {
    int id;
    clockid_t clock_id;
    struct rtl_wdtimerspec expires;
    pthread_t owner;
    int irq;
    int magic;
};

typedef struct rtl_timer_struct *timer_t;

```

Sl. 4. Strukture *timer\_id* i *wdtspec* iz fajla *wdtimer.h*



• **void timer\_intr(int irq)**

Ova funkcija predstavlja rutinu za obradu prekida sa multitajmerske kartice. Njen principijelni algoritam dat je na Sl. 5 b). Kada istekne krajnji rok zadatka (nadzorni tajmer izbroji do nule), generiše se prekid sa multitajmerskog modula, a ova rutina se odmah aktivira. Kako multitajmerski modul daje informaciju sa kog nadzornog tajmera je došla poruka o grešci (prekid), u okviru ove rutine se pribavlja ta informacija, i notifikuje planer o tome koji zadatak je prokeračio svoje WCET.

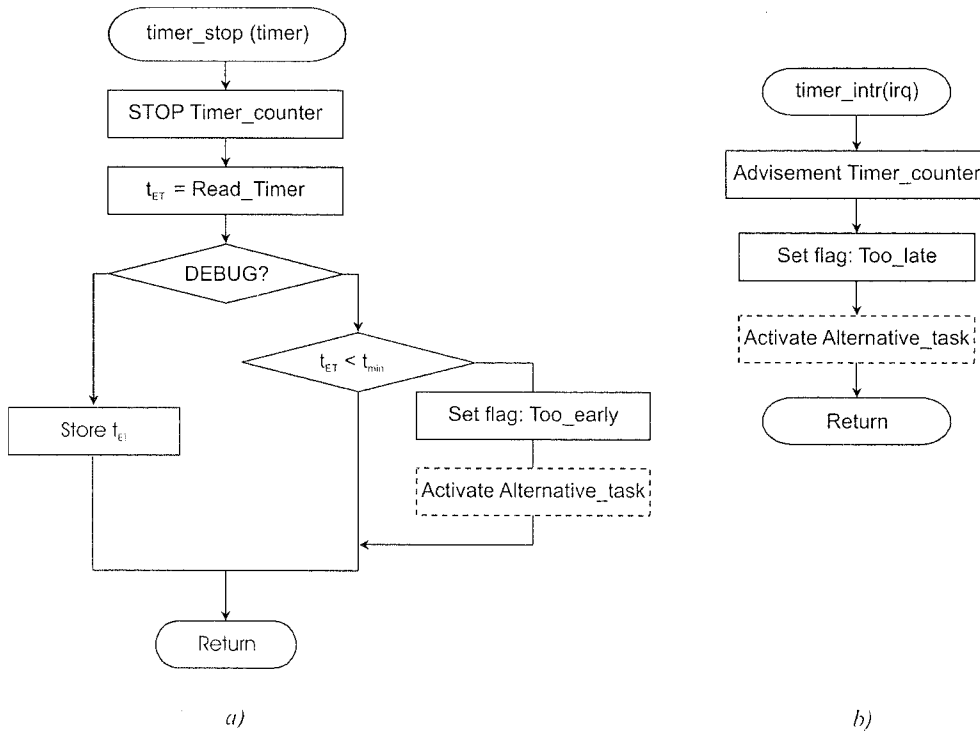
**3.3 Detekcija grešaka**

U realizovanom rešenju nadzora, detektuje se greška usled preranog završetka izvršenja zadatka ( $BCET_C$ ) i prekoračenje krajnjeg roka za izvršenje  $WCET_C$ . Ove dve greške detektuju se kroz dve softverske funkcije, a konkretna realizacija ovih funkcija prikazana je na algoritmima na Sl. 5. U najkraćim crtama ćemo objasniti rad ovih funkcija.

Funkcija sa Sl. 5 a) ima dve uloge, u zavisnosti od toga u kom režimu rada je sistem nadzora. U režimu debugiranja ova funkcija se koristi za izračunavanje vremena izvršenja zadatka. U režimu samotestiranja, tj. *on-line* nadzora, ova funkcija kada se pozove, prvo zaustavlja nadzorni tajmer, zatim se očitano vreme izvršenja zadatka ( $t_{ET}$ ) poredi sa unapred definisanim minimalnim vremenom izvršenja ( $BCET$ ), i, ukoliko je izmereno vreme manje, postavlja se fleg greške (*too\_early*) i aktivira alternativni zadatak.

Funkcija sa Sl. 5 b) se aktivira kada istekne krajnji rok. Ova funkcija predstavlja zapravo rukovaoc prekidom, koji se okida kada se generiše prekid sa odgovarajućeg nadzornog tajmera. U funkciji se prvo proverava stanje nadzornog tajmera, a zatim se postavlja fleg *too\_late*, i na kraju se eventualno aktivira alternativni zadatak.

Obe funkcije se realizuju kao C-rutine i implementiraju se u kôd jezgra. To je moguće pošto je RT Linux otvoren operativni sistem, što nam dozvoljava kako proširenje tako i modifikaciju njegovog izvornog kôda.



Sl. 5. Softverske primitive nadzora:  
 a) zaustavljanje tajmera pre isteka krajnjeg roka  
 b) generisanje prekida posle prekoračenja krajnjeg roka

**3.4 Modifikacije planera RT Linux-a**

Implementacija sistema nadzora zahteva modifikaciju kôda planera, kako bi se omogućilo ažuriranje nadzornih tajmera svakog od zadataka. Ove modifikacije se realizuju dodavanjem novog kôda na dva mesta u planeru:

- u tački gde novi zadatak počinje sa izvršenjem; i
- u funkciji koja određuje koji novi zadatak će se sledeći pokrenuti.

Tačka gde novi zadatak počinje izvršenje lociran je u funkciji u glavnoj funkciji planera (*rtl\_schedule()*), i to upravo ispred mesta gde se vrši komutacija konteksta. Na

ovom mestu se pamti vreme izvršenja prethodnog zadatka i aktivira se nadzorni tajmer narednog zadatka. Drugu promenu treba obaviti u funkciji *find\_preemptor()*, kao bi se uzela u obzir situacija kada zadatak koji treba da se izvrši ima već aktiviran nadzorni tajmer. Ta modifikacija se sastoji u programiranju tajmera planera da aktivira planer u trenutku kada vreme nadzornog tajmera tog zadatka treba da istekne.

Na kraju, potrebno je načiniti još jednu izmenu u kôdu planera kako bi se omogućilo da se informacije o radu sistema dobijene u procesu *on-line* nadzora, na neki način prezentuju korisniku. Pošto se real-time zadaci i planer, sa jedne, i korisnički procesi, sa druge strane, u RT Linux-u

nalaze u različitim adresnim prostorima, za obezbeđivanje pomenutih informacija potrebno je koristiti neki od mehanizama međuprocenke komunikacije [5]. Pomenuta izmena kôda planera načinjena je takođe na mestu neposredno pre komutacije konteksta, posle očitavanja vrednosti nadzornog tajmera, ubacivanjem poziva funkcije upisa u, recimo, RT FIFO [6]. U njega se upisuje očitana informacija iz nadzornog tajmera, koja će se kasnije, na korisničkom nivou, periodično očitavati iz odgovarajućeg korisničkog procesa i upisivati u fajl.

```
pthread_t my_task;
pthread_attr_t attrib;
int priority, period, compute, OFFSET;
timer_t timer;

void *fun(void *arg){
    int id = (int)arg, x, dummy=1;
    hrtime_t now = gethrtime();

    x=pthread_make_periodic_np(pthread_self(),
now + OFFSET, period);
    while(TRUE){
        pthread_wait_np();
        for (b=0; b < compute ; b++){
            for (x=0; x<100; x++)
                dummy + = 3;
        }
    }
    pthread_exit(0);

    return( void *)0;
}

int init_module(void){
    /*Task attributes*/
    pthread_attr_init(&attrib);
    pthread_attr_setschedparam(&attrib) ,
    &priority);
    pthread_create(&(my_task), &(my_attr) ,
    fun, (void *)x);
    timer_create(&timer);
    return 0;
}

void cleanup_module(void){
    timer_delete(timer);
    pthread_kill(my_task,-9);
}
```

Sl. 6. Listing izvornog kôda jednostavnog real-time zadatka

### 3.5 Primer real-time zadatka

U listingu na Sl. 6. prikazan je način implementacije real-time zadatka, koji koristi opisanu novu funkcionalnost operativnog sistema.

Real-time zadataka se učitava u jezgro RT Linux-a pomoću komande insmod [5] Odmah po aktiviranju, kontrola toka izvršenja se prebacuje na real-time zadatak i izvršava se njegova funkcija (u primeru fun). Ovde smo kao primer naveli periodični zadatak (na šta ukazuje poziv funkcije pthread\_make\_periodic\_np). Realizovani sistem nadzora se ne ograničava samo na ovaj tip zadataka, već ga je moguće koristiti i kod zadataka vođenih događajem (koji su takođe podržani u RT Linux-u). U listingu je demonstrirano kako se pozivaju funkcije timer\_create i timer\_delete. Funkcije on-line nadzora, opisane ranije u radu, se pozivaju iz planera pre

komutacije konteksta, a rukovaoc prekidom se aktivira pri pojavi greške, tj. prekoračenja krajnjeg roka

Treba reći da je moguće i u okviru kôda real-time zadatka implementirati nadzorne tačke, kako bi se dobila informacija o trajanju izvršenja pojedinih programskih segmenata. To se ostvaruje umetanjem poziva funkcija timer\_settime i timer\_gettime u okviru glavne funkcije real-time zadatka (fun).

```
char *Events;
char *shm;
int main(){
    struct Events data;
    shm = mbuf_alloc("shm", 1024*1024);
    for (i=0; i<2000 ; i++){
        sprintf(Events, shm);
        writetofile(eventfile, Events);
    }
}
```

Sl. 7. Korisnički proces koji čita podatke iz deljive memorije

### 3.6 Komunikacija sa korisničkim procesom

Komunikacija između planera i korisničkog procesa, koji beleži informacije dobijene u toku on-line nadzora, može se obaviti preko RT FIFO-a ili deljive memorije (*shared memory*). Način komunikacije putem RT FIFO-a i deljive memorije u RT Linux-u detaljno je predstavljen u [6]. Međutim, ono što je važno napomenuti, je i činjenica da i međuprocenka komunikacija utiče na ukupne performanse sistema, što je krajnje nepovoljno sa aspekta realizacije on-line nadzora u RTS-u. U tom smislu, deljiva memorija ima prednost u odnosu na RT FIFO, s obzirom da se njenom primenom vreme komutacije konteksta smanjuje za nekoliko milisekundi, u odnosu na slučaj kada se za komunikaciju koristi RT FIFO-a.

Jedan jednostavan korisnički proces koji čita podatke iz deljive memorije prikazan je na Sl. 7. Korisnički proces periodično čita podatke iz deljive memorije i smešta ih u datoteku u kojoj se čuvaju informacije o istoriji događaja. Analiza i eventualni grafički prikaz vremenskog ponašanja zadataka, mogu se implementirati ili u okviru ovakvog programa, ili posebnog programa za analizu i vizuelizaciju rezultata nadzora. U drugom slučaju, analiza i posmatranje bi se očigledno izvodili *off-line*.

## 4. ZAKLJUČAK

U ovom radu prezentovana je implementacija softverskih funkcija za *on-line* nadzor procesa i događaja u RTS-u koji radi pod RT Linux-om. Realizovane softverske funkcije predstavljaju deo hibridnog sistema nadzora, koji obezbeđuje nadzor vremenskih karakteristika za vreme debugiranja i testiranja tokom procesa projektovanja RTS-a, kao i on-line proveravanje vremenskih karakteristika u toku rada. Nadzorne funkcije ugrađene su u jezgro RT Linux-a i pozivaju se iz planera ili real-time zadataka. Prikazano rešenje sistema nadzora je moguće dalje unaprediti implementacijom adaptivnih metoda planiranja, koje bi obezbeđivalo promenu politike planiranja na osnovu sa informacija dobijenih u procesu nadzora.

## LITERATURA

- [1] S. Brankov, M. Jevtic, "Realizacija modula za nadzor real-time procesa u VHDL-u", Zbornik radova XLVII konferencije za ETRAN, Sveska 1, str. 80-83, Herceg Novi, Jun 2003.
- [2] Beth A. Schroeder, "On-line Monitoring: A Tutorial", IEEE Computer, Vol. 28, No. 6, June 1995, pp 72-78.
- [3] M. Barabanov, "A Linux-based Real-time Operating System," *MSc. thesis*, New Mexico Institute of Mining and Technology, Socorro, New Mexico, 1997.
- [4] Milun Jevtić, Milunka Damjanović and Vladimir Živković, "A Solution to Run-time Monitoring of Real-Time Systems", Proceedings of the First Conference on Electrical Engineering & Electronics, December 1998. Gabrovo, pp. 272-277.
- [5] M. Cvetković, M. Jevtić, S. Brankov, "Task Execution in Real-time Systems for Industrial Control and Monitoring", *Electronics*, vol. 6, no. 2, pp. 56-61, Banja Luka, 2002.
- [6] Marko D. Cvetković, Milun S. Jevtić, "Interprocess Communication in Real-Time Linux", Proc. of 21st International Conference on Telecommunications in

Modern Satellite, Cable and Broadcasting Services –  
TELSIKS 2003, vol. 2, str. 618-621, Niš, oktobar 2003.

**Abstract** – *Realization of software functions for on-line monitoring of processes and events in a RT Linux based real-time system is presented in this paper. Software functions for monitoring are implemented in the RT Linux kernel and, together with the embedded multimer hardware module, realize hybrid on-line monitoring. Required modifications of the scheduler source code, in order to provide execution monitoring of the real-time tasks by means of these functions, is presented in the paper, as well. The proposed solution, beside checking for correctness of satisfying timing constraints imposed to the system during development, also provides monitoring in order to detect timing violations at run-time.*

### RT LINUX SOFTWARE FUNCTIONS FOR ON-LINE PROCESS AND EVENT MONITORING

Marko Cvetković, Milun Jevtić

## RAČUNARSKI SISTEM ZA IZVOĐENJE LABORATORIJSKIH VEŽBI IZ ELEKTRONIKE

Marko Dimitrijević, Vančo Litovski, *Elektronski fakultet Niš*,  
Slavoljub Jovanović, *IRVAS Niš*

**Sadržaj** – Računarski sistem za izvođenje laboratorijskih vežbi iz elektronike se sastoji iz hardverskog i softverskog dela. Hardverski deo sistema se sastoji od PC računara, akvizicionih kartica i maketa koje predstavljaju elektronska kola čiji se parametri mere. Softver je realizovan pomoću LABVIEW razvojnog alata. Cilj ovog sistema je da omogući jednostavniju manipulaciju instrumentima, brže izvođenje merenja i notiranje rezultata, što omogućava koncentrisanje pažnje na suštinu merenja. Softverski deo uključuje i funkcije za evidenciju studenata i praćenje rezultata vežbi.

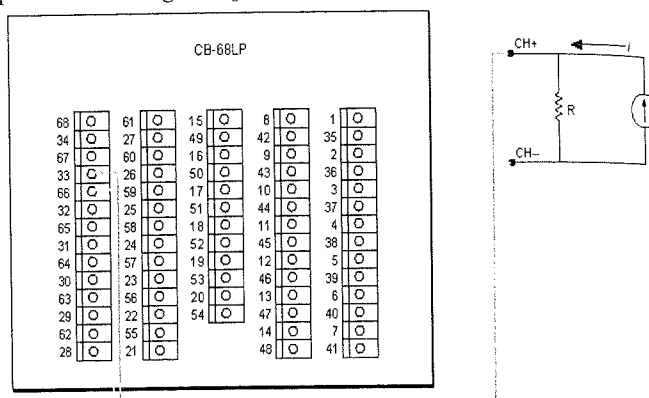
### 1. UVOD

Razvoj tehnologije personalnih računara je naročito intenzivan u prethodnih deset godina. Ovakav trend je doveo do razvoja uređaja za akviziciju i obradu podataka sa odgovarajućim interfejsom za računar. Veliki broj klasičnih mernih uređaja takođe poseduje interfejs za povezivanje sa računarnom. Ovi uređaji mogu povezati eksterno preko serijskog RS232/RS422/RS485 interfejsa, paralelnog printerskog interfejsa, ili preko brzih USB 1.1/2.0 i Ethernet interfejsa. Ethernet interfejs je naročito pogodan, jer pruža mogućnost povezivanja velikog broja različitih uređaja i računara u heterogenu mrežu. Komunikacija sa uređajima se realizuje preko standardnih OSI i TCP/IP modela. Ovakva realizacija osim skalabilnosti omogućava i povećanje distance između uređaja i računara. Ukoliko se primenjuje TCP/IP model, distanca je praktično neograničena. Uređaji koji ne mogu da rade samostalno, bez računara, su realizovani kao PCI ili PCMCIA akvizicione kartice. PCI kartice su namenjene desktop računarima, dok se PCMCIA kartice povezuju na prenosive računare i PDA uređaje. Prateći softver čine drajveri za rad sa uređajem i softver za akviziciju i obradu podataka. Funkcije uređaja se mogu i softverski definisati, tako da su ponudeni razvojni alati i okruženja za ovu namenu. Moguće je softverski definisati virtuelni instrument za različite vrste merenja.

Računarski sistem za merenja u elektronici je edukativni sistem. Osnovni cilj je maksimalno uprošćavanje procesa merenja, i stavljanje u prvi plan rezultata merenja, odnosno zaključaka koji iz tih merenja proističu. Ovakav cilj je moguće najefikasnije realizovati primenom akvizicionih kartica. Merenja su podeljena po ciklusima i vežbama: prvi ciklus se sastoji od šest vežbi koje predstavljaju određivanje statičkih i dinamičkih parametara poluprovodničkih elemenata i snimanje odgovarajućih karakteristika elemenata; drugi ciklus predstavlja merenja karakteristika i snimanje amplitudske karakteristike pojačavača sa bipolarnim tranzistorom i FET-ovima, dvostepenog i diferencijalnog pojačavača; treći ciklus sadrži vežbe vezane za linearna elektronska kola – operacioni pojačavač, oscilator, pojačavač snage i stabilizator [1].

### 2. REALIZACIJA HARDVERA SISTEMA

Za realizaciju sistema za merenja u elektronici su korišćene akvizicione kartice *National Instruments NIDAQ PCI-6013* i *PCI-6014*. Kartice imaju 16 analognih ulaza, brzine semplovanja 200KS/s, dva analogna izlaza, 8 digitalnih I/O kanala i dva 24-bitna brojača. Kartice se povezuju na PCI magistralu računara. Kartice su povezane SH68-68-EP kablom za razvodni blok CB-68LP. Merna mesta na maketama koje predstavljaju merna kola su povezane na odgovarajuće konektore bloka (slika 1).



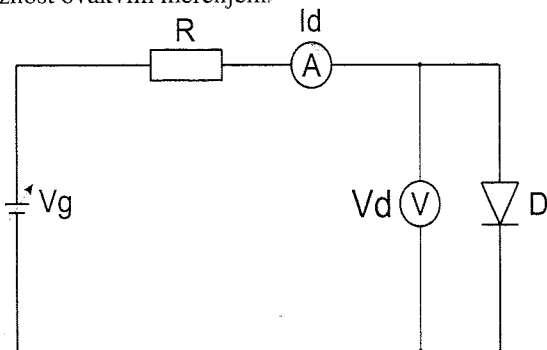
Sl. 1. Razvodni blok CB-68LP

Analogni izlazi kartice su iskorišćeni kao generatori napona napajanja i pobudnih signala. Maksimalni jednosmerni izlazni napon koji je moguće generisati je 10V. Ovaj napon je dovoljan za polarizaciju, napajanje maketa i merenje statičkih karakteristika poluprovodničkih komponenti (slika 2).

Analogni ulazi kartice se mogu povezati na tri načina sa jednim priključkom bez referentne tačke (*NRSE – nonreferenced single-ended*), sa jednim priključkom i referentnom tačkom (*RSE – referenced single-ended*) i diferencijalno. U realizaciji je najčešće korišćen diferencijalni način povezivanja radi eliminacije šuma koji nastaje na liniji razvodni blok – kartica i potiskivanje srednje vrednosti signala. Ovaj šum iako mali, može da utiče na preciznost merenja kod malih veličina (na primer inverzne struje zasićenja germanijumske diode). Prilikom ovakvog povezivanja ulazni signal se povezuje na pozitivni ulaz instrumentacionog pojačavača na karici (odnosno pozitivni ulaz jednog analognog kanala), a referentni signal na negativni ulaz. Ovakvim povezivanjem broj ulaznih analognih kanala je smanjen na osam. Radi većeg potiskivanja *common-mode* šuma, može se povezati otpornik između referentne tačke (negativnog ulaza instrumentacionog pojačavača na kartici) i mase. Vrednost otpornika je stotinu puta veća od ekvivalentne *Tevenin*-ove otpornosti kola između tačaka na kojima se vrši merenje. Moguća je i konfiguracija sa drugim otpornikom koji se vezuje između mase i pozitivnog terminala analognog kanala, čime se

ostvaruje neznatno bolje potiskivanje srednje vrednosti, ali se unosi sistematska greška u merenje, jer smanjuje napon koji se meri zbog redne veze otpornika.

Merenje struje se vrši pretvaranjem u naponski signal pomoću šanta od  $100\Omega$ . Imajući u vidu veliku ulaznu otpornost instrumentacionog pojačavača, postiže se dovoljna preciznost ovakvim merenjem.



Sl. 2 Kolo za merenje karakteristike diode

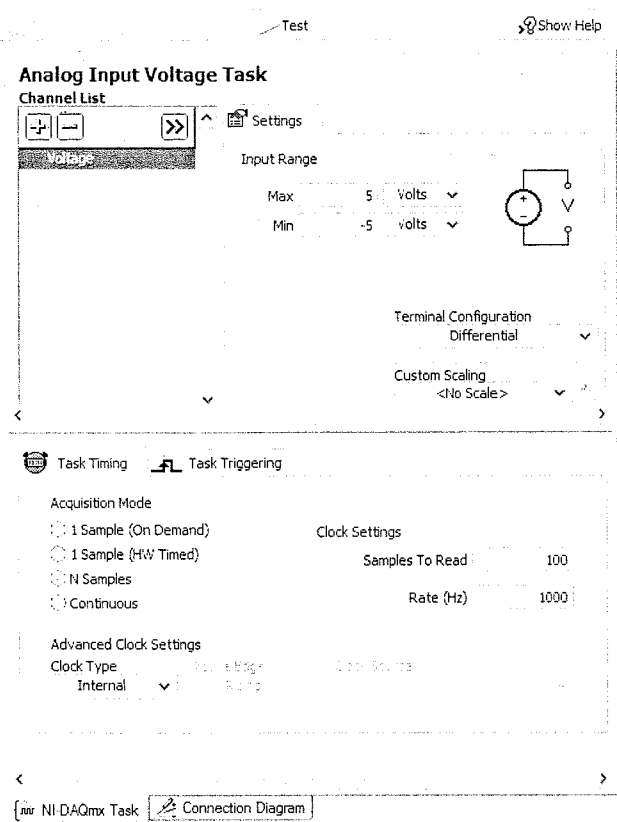
Prilikom realizacije vežbi u kojima se određuju frekventno zavisne veličine postoji ograničenje gornje granične frekvencije na  $100\text{kHz}$ , koje je određeno maksimalnom brzinom semplovanja akvizicione kartice od  $200\text{kS/s}$ . Ograničenje izlaznih analognih kanala je  $10\text{kS/s}$ , te se prilikom izvođenja ovakvih merenja mora koristiti eksterni generator.

### 3. REALIZACIJA SOFTVERA

U ponudi su različiti softverski alati za realizaciju softverskog dela sistema. Proizvođači akvizicione opreme isporučuju drajvere i razvojna okruženja za realizaciju mernih sistema. *National Instruments* nudi niz softverskih alata za razvoj aplikacija. Softverski alati mogu biti samostalna radna okruženja, kao što je *LABVIEW* i *LABWINDOWS/CVI*, ili skup klasa, *ActiveX* i *.NET* komponenti za druga razvojna okruženja kao što je *Measurement Studio*.

Softver koji upravlja procesima merenja i prikazuje rezultate je realizovan je u *LABVIEW* razvojnom okruženju, koje omogućava jednostavnu izradu virtualnih instrumenata. Virtualni instrument čine interfejs ka akvizicionoj kartici i korisnički interfejs.

*PCI 6013/6014* kartice su podržane *Traditional NI-DAQ* i *NI-DAQmx* drajverima. Interfejs ka akvizicionoj kartici je baziran na *NI-DAQmx* drajveru. Sva merenja se obavljaju preko virtualnih kanala, koji predstavljaju skup parametara kao što su ime kanala, fizički kanal, ulazni terminacioni konektori, tip merenja ili generisanja i skaliranje signala. Virtualni kanali se mogu konfigurisati globalno na nivou sistema ili programski preko aplikacionog interfejsa. Kod *NI-DAQmx* drajvera moguće je izvršiti agregaciju više različitih kanala u jedan proces (*task*) koji predstavlja merenje, odnosno generisanje signala (slika 3), pri čemu će svi kanali imati isti način akvizicije. Analogno kanalima, procesi se mogu kreirati globalno na nivou sistema, i preko aplikacionog interfejsa iz programa.

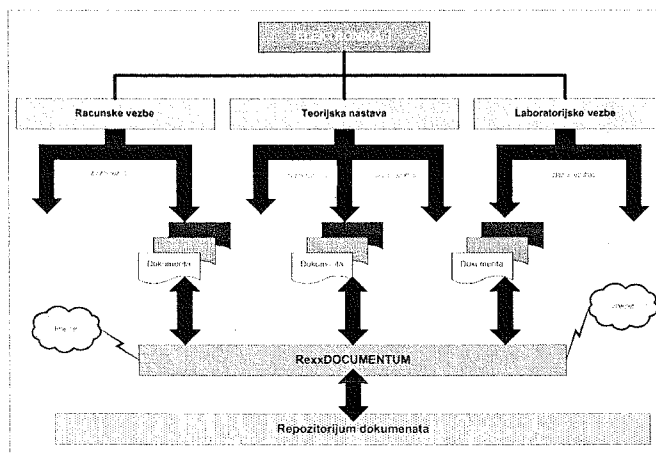


Sl. 3 Proces koji sadrži jedan virtualni kanal

Korisnički interfejs sadrži kontrole kojima se upravlja procesom merenja (napon napajanja, frekvencija i amplituda pobudnog napona, itd.) i indikatora sa kojih se očitavaju izmerene vrednosti.

### 4. INFORMACIONA INFRASTRUKTURA ZA IZVOĐENJE LABORATORIJSKIH VEŽBI

Izvođenje laboratorijskih vežbi vrši se uz pomoć u potpunosti kompletirane informacione infrastrukture „*RexxNastava*“. Na sl. 4 je dat šematski prikaz arhitekture sistema. Osnovu sistema čine Sistem za upravljanje dokumentima „*RexxDokumentum*“ i web portal „*Elektronika 1*“.



Sl. 4 Arhitektura sistema

Portal je namenjen pre svega studentima. Tome odgovara i sadržaj Portala, koji obuhvata sve bitne informacije potrebne studentima za praćenje nastave. Portal ima status javnog servisa Elektronskog fakulteta. Sadržaj Portala se kompletira iz Intranet podsistema koji obezbeđuje izvođenje nastave.

„RexxDocumentum“ čini Intranet infrastrukturu sistema. Reč je o integrisanom sistemu za upravljanje Predmetima i Dokumentima (*Case & Document Management*), koji korisniku obezbeđuje sve preduslove za obuhvat, kreiranje, upravljanje tokovima kretanja, pretragu i arhiviranje dokumenta, uz mogućnost digitalnog potpisivanja. Obrada obuhvata dokumente svih kategorija. Po medijumu na kome se nalaze mogu se obrađivati materijalni (papirni, folije, mikrofilmovi, ...) i elektronski (e-mail, web formulari, fajlovi, ...) dokumenti. Prema osnovnom sadržaju obrada obuhvata tehničko-tehnološke (bez CAD funkcija) kao i administrativne dokumente (korespondencija, fin-komercijalni dokumenti, itd.).

Za potrebe izvođenja nastave Elektronike 1 „RexxDocumentum“ sadrži kompletnu dokumentaciju, koja obuhvata:

- Teorijska nastava:
  - Priprema predavanja
  - PowerPoint slide komplet
- Računske vežbe:
  - Zbornik rešenih zadataka
  - Komplet ispitnih zadataka

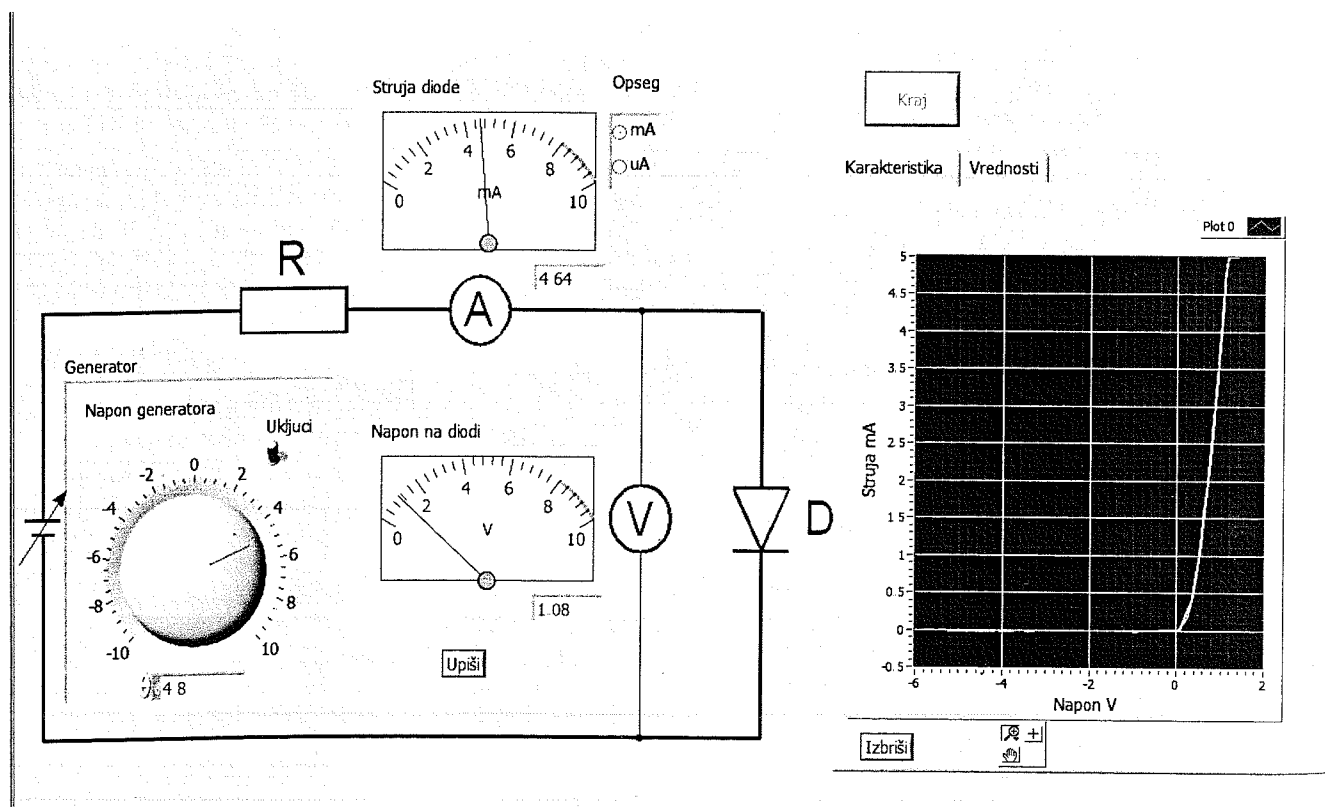
- Laboratorijske vežbe:
  - Priručnik za laboratorijske vežbe
  - Izveštaje studenata o realizovanim vežbama
- Kolokvijumi:
  - Zadaci za kolokvijume
  - Rezultati kolokvijuma
- Ispiti:
  - Zadaci za ispite
  - Rezultati ispita

## 5. DOKUMENTOVANJE LABORATORIJSKIH VEŽBI

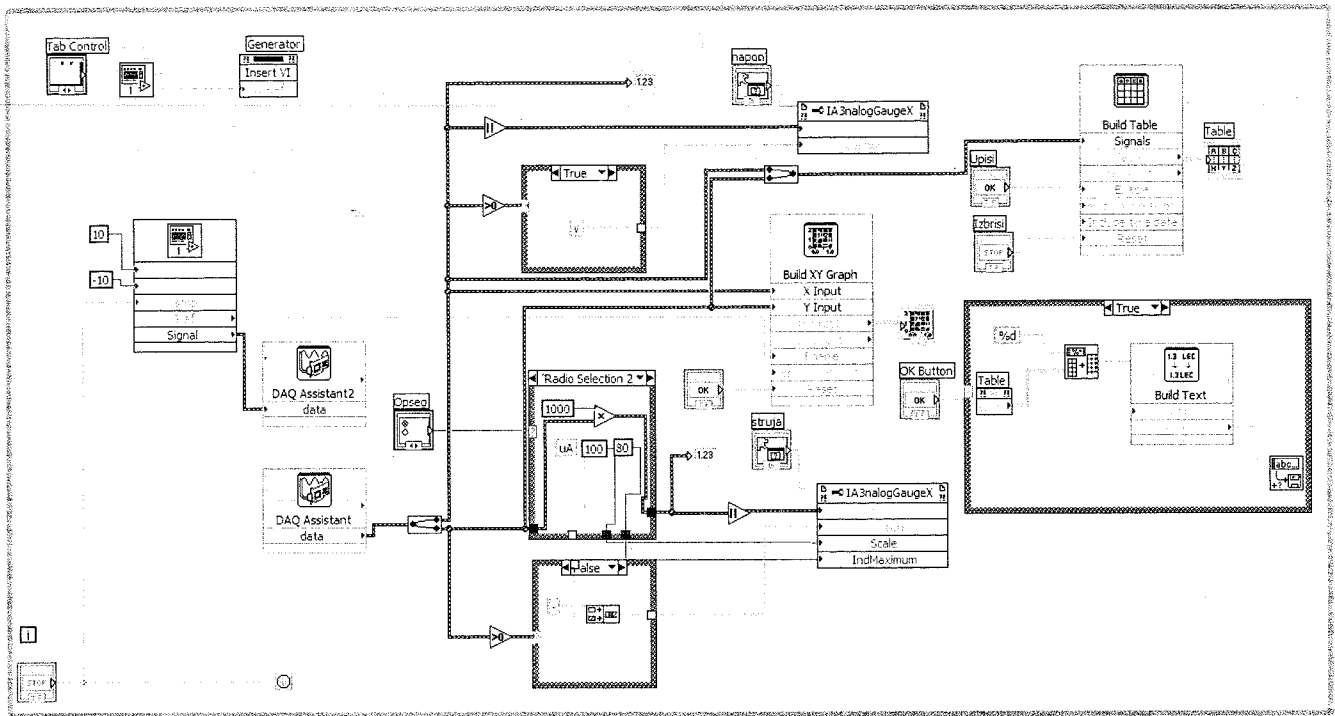
Laboratorijske vežbe se izvode na već opisanoj platformi čiju osnovu čini merni sistem LABVIEW. Pored merenja, sistem zapisuje rezultate merenja u tabelu propisanu za određeno merenje. Po završetku merenja, rezultati se kompletiraju u obliku *spreadsheet* dokumenta, za koji postoji odgovarajući šablon.

Na početku vežbe student aktivira „RexxDocumentum“ klijent, što predstavlja i zvaničnu prijavu za početak rada. U aplikaciji student može, po potrebi, konsultovati Priručnik za izvođenje vežbe.

Po završetku merenja student kompletira vežbu time što „RexxDocumentum“-om obuhvati izveštaj o vežbi u okviru svog Dosijea, kao što je ilustrovano na slici 7. Na taj način, kompletna dokumentacija o radu studenta na vežbama se kompletira u uređeni skup, koji dokumentuje rad studenta. Ti podaci su potom na raspolaganju za sve moguće potrebe.



Sl. 5 Korisnički interfejs virtuelnog instrumenta



Sl. 6. Izgled grafičkog kôda u okruženju LABVIEW

**ДОСИЈЕА: ПРЕДМЕТИ И ДОКУМЕНТА**

Хелп    Лог подаци

Предмети и Документа | Прилози и КопијеЗа | Везе

Предмети	Листа докумената
(2)612.3-4/04 Лаб вежба из Елект...	Датум:    BrDk:    Predmet:    Вез:
	07.09.2004    612.3-4/1/04    Вежба бр 1: Мерење статичких карактеристика диоде
	14.09.2004    612.3-4/2/04    Вежба бр 2: Мерење статичких карактеристика транзистора
Лаб вежба из Електронике 1: Извештаји студената - Група 1	612.3-4/3/04    Вежба бр 3: Мерење динамичких карактеристика диоде

01.01.2004 од ... до 10.10.2004

Loaded

Група Докумената  
Студенти и Наставници

Јевид Весна, Студент друге године

Тражи    Принт-Сенд    Крај

Ред:    3    од: 3    Линк на Док    Рутер >>    Мз    Нови Документ

**Ток обраде предмета**

Поз    ДатСлања:    ДатПријем    ТОБ    ДатумРок:    Напомена за обраду    Извеш

Текст Документа >>    Картица предмета

Sl. 7 REXXDocumentum

## 6. ZAKLJUČAK

Računarski sistem za izvođenje laboratorijskih vežbi iz elektronike će omogućiti jednostavniji i efikasniji edukativni proces. Sistem ima za cilj kako olakšanje procesa savladavanja materije iz oblasti linearne elektronike studentima, tako i jednostavan proces evidencije pohađanja nastave.

Dosadašnja iskustva pokazuju da se najveći deo vremena u procesu izvođenja laboratorijskih vežbi izgubi na proveru pripremljenosti studenata i pregledu izveštaja o urađenim vežbama. Naredni zadatak će biti integrisanje interaktivnog testa koji će dodatno poboljšati efikasnost nastave.

## LITERATURA

- [1] Litovski V., Petković P., Milenković S., Milovanović D., Glozić D., Mrčarica Ž., Maksimović D., Randelović Z., „Praktikum laboratorijskih vežbi iz Elektronike I“, šesto izdanje, Elektronski fakultet Niš, 1998

[2] Litovski V., Lazović S., „Osnovi elektronike“, Prosveta Niš, 1996.

[3] *National Instruments PCI 6014 Product Data Sheet*, <http://ni.com>.

**Abstract** – *Computer system for laboratory exercises in electronics consists of hardware and software part. The hardware part is based on PC computers with acquisition cards and circuits which parameters are measured. The software part is realized using LABVIEW programming tool. The main goal of this system is to simplify manipulation of instruments, faster measurement and notation of the results, providing students to concentrate on measurement essence. The software part includes functions for record of students and control of exercises.*

## COMPUTER SYSTEM FOR LABORATORY EXERCISES IN ELECTRONICS

Marko Dimitrijević, Vančo Litovski, Slavoljub Jovanović





---

---

секција T10

**ТЕЛЕКОМУНИКАЦИОНЕ ТЕХНОЛОГИЈЕ**

---

---

М. Стефановић, Д. Драча, А. Панајотовић, Д. Миловић Перформансе оптичких телекомуникационих система у присуству чирповане временски померене интерференције .....	162
В. Зрнић, Г. Димитријевић Анализа детекционих карактеристика радарског система у реалним условима .....	166
М. Јевтовић, М. Митровић Анализа мултикаст протокола за рутирање у мобилним ad hoc мрежама .....	172
Г. Гардашевић Преглед језика за спецификацију квалитета услуга у телекомуникационим мрежама .....	177
В. Гардашевић Могућности анализе квалитета услуга у комуникацији преко повезаних UMTS и IP мрежа .....	181

---

---

## ПЕРФОРМАНСЕ ОПТИЧКИХ ТЕЛЕКОМУНИКАЦИОНИХ СИСТЕМА У ПРИСУСТВУ ЧИРПОВАНЕ ВРЕМЕНСКИ ПОМЕРЕНОЕ ИНТЕРФЕРЕНЦИЈЕ

Михајло Стефановић, Драган Драча, Александра Панајотовић, Даниела Миловић, *Електронски факултет у Нишу*

**Садржај** - Циљ свих телекомуникационих система је да се сигнал што верније пренесе од предајника до пријемника. У оптичким телекомуникационим системима постоје многи ограничавајући фактори који онемогућавају овакав пренос. Један од њих је дисперзија. Оптичко влакно може радити у нормалном и аномалном дисперзивном режиму, али је за вернији пренос сигнала много захвалнији аномални дисперзивни режим. То је и разлог зашто се у овом раду проучавају перформансе оптичких телекомуникационих система који раде у аномалном дисперзивном режиму. Различите врсте сметњи су још један од ограничавајућих фактора у оптичким телекомуникационим системима. Утицај кохерентне интерференције, као једне врсте сметње, на перформансе, како линеарних тако и нелинеарних, оптичких телекомуникационих система је такође проучен у овом раду.

### 1. УВОД

Услед фреквенцијеске зависности индекса преламања и фазног коефицијента долази до унутармодне дисперзије која деформише импулс при његовом простирању кроз оптичко влакно, тј. шири га [1]. Дисперзивни коефицијент  $\beta_2$  показује величину дисперзије и дефинише дисперзивни режим рада оптичког влакна. Уколико је  $\beta_2 > 0$ , тада оптичко влакно ради у нормалном, а у супротном, тј. за  $\beta_2 < 0$ , кажемо да оптичко влакно ради у аномалном дисперзивном режиму [1]. Пожељније је да оптичко влакно ради у аномалном дисперзивном режиму јер се тада може смањити утицај дисперзије и под одређеним условима остварити солитонски пренос. Керове нелинеарности, као врста нелинеарних ефеката, су одговорне за смањивање утицаја дисперзије. Оне су последица зависности индекса преламања од интензитета сигнала [1]. Ови нелинеарни ефекти се узимају у разматрање у оптичким телекомуникационим системима који преносе информацију на дуга растојања, јер је код њих интензитет сигнала довољно велики да се интензитетска зависност индекса преламања не може занемарити.

Кохерентна интерференција је врста сметњи која се појављује у оптичким телекомуникационим системима и може бити последица преслушавања, рефлексије, итд [2,3,4]. Кохерентна интерференција је у односу на некохерентну интерференцију проблематичнија при процесу детекције, јер се не може издвојити филтрирањем. То је и разлог зашто је утицај ове врсте сметњи на перформансе IM-DD (Intensity Modulation and Direct Detection) оптичких телекомуникационих система проучен у овом раду.

### 2. ПРОСТИРАЊЕ СИГНАЛА КРОЗ НЕЛИНЕАРНО ОПТИЧКО ВЛАКНО У ПРИСУСТВУ ЧИРПОВАНЕ ИНТЕРФЕРЕНЦИЈЕ

Да би одредили перформансе IM-DD оптичких телекомуникационих система неопходно познавати, тј. детектовати сигнал на пријемнику. У оптичким телекомуникационим системима се као корисни сигнал често среће сигнал чија је анvelopа Gauss-овог облика [4,5]:

$$U(0, \tau) = a \exp(-\tau^2 / 2) \quad (1)$$

где вредност параметра  $a$  зависи од тога да ли се шаље јединица или нула. Корисни сигнал на почетку влакна може се представити као:

$$s(0, \tau) = U(0, \tau) \cos \omega, \tau \quad (2)$$

$\omega, = \omega T_0$  је нормализована кружна фреквенција при чему је  $T_0$  такозвана ширина импулса, тј. half-width.

Кохерентна интерференција је исте фреквенције као и корисни сигнал али је временски и фазно померена у односу на корисни сигнал. Интерференција на месту њеног појављивања се може написати као:

$$s_i(z_i, \tau) = U_i(z_i, \tau) \cos(\omega, \tau + \varphi), \quad (3)$$

$$U_i(z_i, \tau) = a_i \exp(-(1 + iC_i)(\tau - b)^2 / 2)$$

где су  $b$  и  $\varphi$  временски и фазни померај, респективно.  $z_i$  је место појављивања интерференције дуж влакна,  $C_i$  је чирп интерференције, а вредност параметра  $a_i$  зависи од величине интерференције. Чак и у случају када корисни сигнал није линеарно чирпован може се догодити да интерференција буде чирпована, што зависи од њене природе.

У литератури је добро позната нелинеарна Schrödinger-ова једначина која описује простирање сигнала кроз нелинеарно-дисперзивно оптичко влакно:

$$\frac{\partial U}{\partial z} = -i \frac{\text{sgn}(\beta_2)}{2L_D} \frac{\partial^2 U}{\partial \tau^2} + \frac{i}{L_{NL}} |U|^2 U \quad (4)$$

при чему смо у једначини (4) занемарили губитке у влакноу, тј.  $\alpha=0$ .  $L_D$  је дисперзивна а  $L_{NL}$  нелинеарна дужина влакна.

Да би одредили међусобни утицај нелинеарних и дисперзивних ефеката у оптичком влакноу, увешћемо нову величину:

$$N^2 = L_D / L_{NL} = \gamma P_0 T_0^2 / |\beta_2| \quad (5)$$

Наиме, уколико је  $N^2 \ll 1$ , тада у оптичком влакноу доминирају дисперзивни ефекти, док за случај када важи  $N^2 \approx 1$  долази до успостављања равнотеже између дисперзивних и нелинеарних ефеката [1].

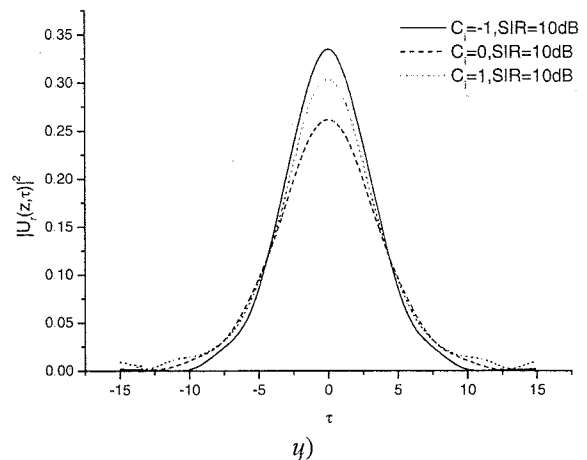
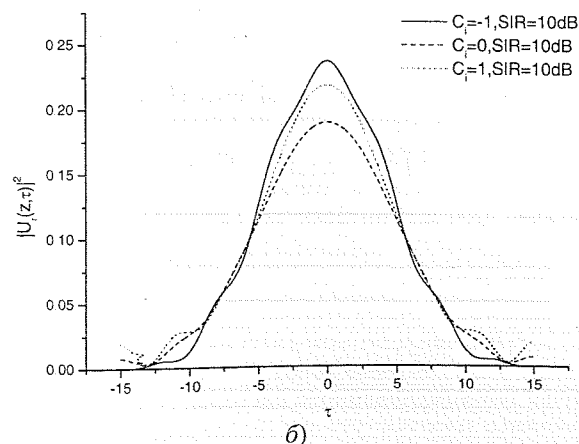
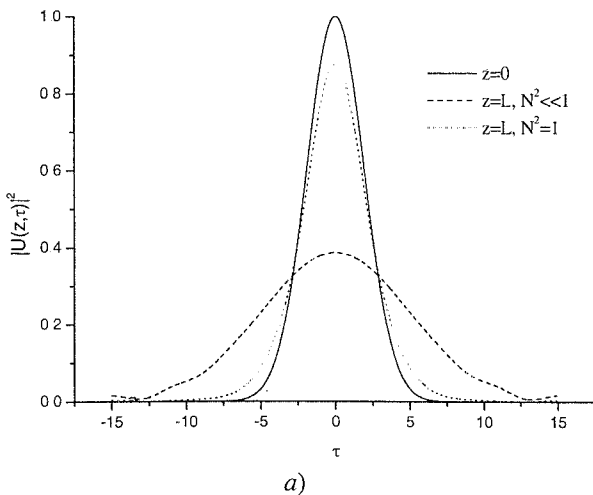
Постоје многобројни методи за решавање Schrödinger-ове једначине, нумеричко или аналитичко, али смо у овом раду искористили нумерички метод који

има велику тачност а при томе је и јако брз. То је такозвани "split-step" Fourier-ов метод [1]. Решавањем једначине (4) овим методом добија се облик сигнала било где дуж оптичког влакна. У случају присуства интерференције, долази до промене почетних услова при решавању Schrödinger-ове једначине на месту појаве интерференције. Анvelopа и фаза резултујућег сигнала на месту појављивања интерференције је [4,5,6]:

$$U_i(z_i, \tau) = \sqrt{U^2(z_i, \tau) + 2U(z_i, \tau)U_i(z_i, \tau)\cos\varphi + U_i^2(z_i, \tau)} \quad (6)$$

$$\psi(z_i, \tau) = \arctg \frac{U_i(z_i, \tau)\sin\varphi}{U(z_i, \tau) + U_i(z_i, \tau)\cos\varphi} \quad (7)$$

На слици 1 је приказан облик Gauss-овог сигнала на крају оптичког влакна у присуству интерференције на почетку влакна, при чему смо разматрали најгори могући случај, тј.  $b=0$  и  $\varphi=\pi$ . Овај резултат је већ презентован у раду [7] али је овде урађен за друге вредности параметара, тј. за  $T_0=4$  ps,  $\beta_2=-23$  ps<sup>2</sup>/km и  $L=6L_D$  и служи као репер. Слика 1 (а) потврђује напред споменути чињеницу да нелинеарни ефекти могу смањити утицај дисперзије у аномалном дисперзивном оптичком влакну. Поређењем слика 1(а), 1(б) и 1(ц) можемо уочити да нелинеарни ефекти немају тако велики позитиван утицај у случају присуства интерференције на почетку оптичког влакна. Како су временски и фазни померај случајне величине, да би стекли праву представу о утицају чирповане временски померене интерференције на перформансе оптичких IM-DD система неопходно је одредити вероватноћу грешке ових система.



Сл. 1. (а) Облик Gauss-овог сигнала на крају оптичког влакна у одсуству интерференције  
(б) Облик Gauss-овог сигнала на крају линеарног оптичког влакна у присуству интерференције ( $z_i=0$ )  
(ц) Облик Gauss-овог сигнала на крају нелинеарног оптичког влакна у присуству интерференције ( $z_i=0$ )

### 3. ВЕРОВАТНОЋА ГРЕШКЕ IM-DD ОПТИЧКИХ СИСТЕМА У ПРИСУСТВУ ЧИРПОВАНЕ ВРЕМЕНСКИ ПОМЕРЕНЕ ИНТЕРФЕРЕНЦИЈЕ

Оптички телекомуникациони системи са интензитетском модулацијом и директном детекцијом, тз. IM-DD системи, су данас јако распрострањени због своје једноставности и економске исплативости. Код оваквих система на месту пријема, осим сигнала јављају се и шумови (квантни шум, термички шумови, интензитетски шум ласера). Према "централној граничној теорему" сума великог броја независних случајних променљивих тежи Gauss-овој расподели вероватноће, без обзира на индивидуалне расподеле појединих сабирака. На основу ове теореме, расподела укупног шума на месту пријема је Gauss-ова. Поштујући ово правило и правило за одређивање функције густине расподеле статички независних процеса, у овом случају сигнала на месту пријема, интерференције и шума, добијамо [8]:

$$p_1(y/\xi) = \frac{1}{\sqrt{2\pi}\sigma_1} \exp\left(-\frac{(y-\bar{y}_1)^2}{2\sigma_1^2}\right) \quad (8)$$

$$p_0(y/\xi) = \frac{1}{\sqrt{2\pi}\sigma_0} \exp\left(-\frac{(y-\bar{y}_0)^2}{2\sigma_0^2}\right) \quad (9)$$

Под претпоставком да је вероватноћа слања јединице једнака вероватноћи слања нуле, условна вероватноћа грешке је:

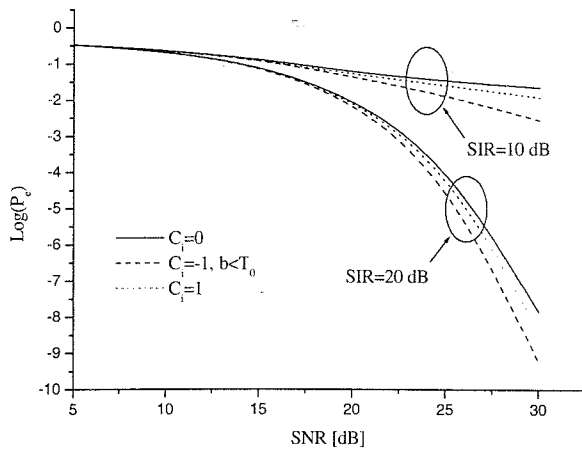
$$P_{e/\varphi} = \frac{1}{2} \left[ \int_{V_p}^{+\infty} p_0(y/\varphi) dy + \int_{-\infty}^{-V_p} p_1(y/\varphi) dy \right] \quad (10)$$

при чему је праг одлуке дефинисан као:

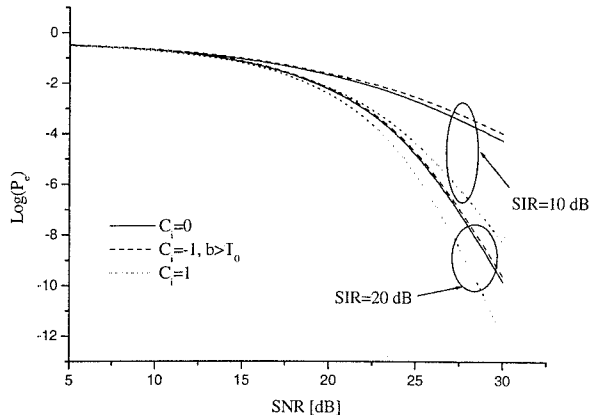
$$V_p = \frac{\bar{y}_1\sigma_0 + \bar{y}_0\sigma_1}{\sigma_0 + \sigma_1} \quad (11)$$

Да би добили безусловну вероватноћу грешке неопходно је извршити усредњавање релације (10), при чему је расподела  $p(\varphi)$  униформна:

$$P_e = \int_{-\pi}^{\pi} P_{e|\varphi} p(\varphi) d\varphi \quad (12)$$

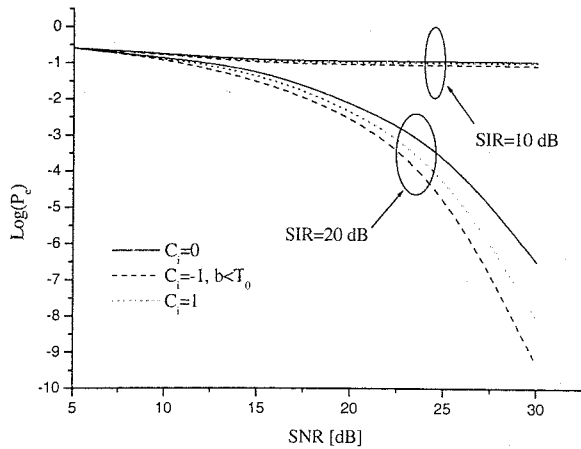


a)

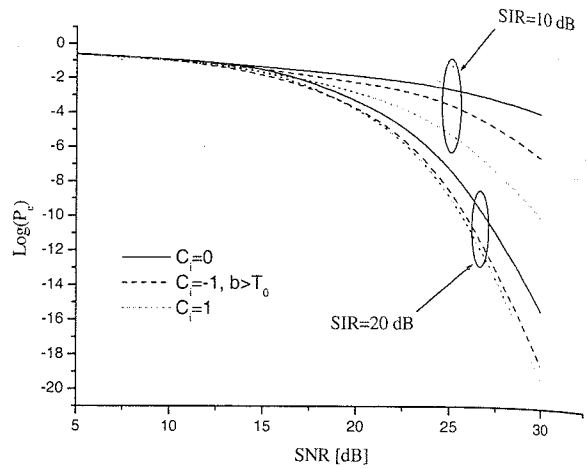


б)

Сл. 2. Вероватноћа грешке у функцији SNR за случај доминације дисперзивних ефеката ( $N^2 \ll 1$ ). (a)  $b < T_0$ ; (б)  $b > T_0$



a)



б)

Сл. 3. Вероватноћа грешке у функцији SNR за случај равнотеже између нелинеарних и дисперзивних ефеката ( $N^2 \approx 1$ ). (a)  $b < T_0$ ; (б)  $b > T_0$

На слици 2 и 3 приказана је вероватноће грешке IM-DD оптичких система у функцији SNR (signal-to-noise ratio) и то за случај доминације дисперзивних ефеката, тј. равнотеже између дисперзивних и нелинеарних ефеката, респективно. Из литературе [1] је познато да у случају простирања чирпованог корисног сигнала већа деформација сигнала се догађа за случај  $\beta_2 C > 0$  него за  $\beta_2 C < 0$ . Најмања деформација импулса се догађа за случај простирања нечирпованог корисног сигнала. Међутим у присуству интерференције долази до одступања од овог правила јер у присуству нечирповане интерференције, на почетку оптичког влакна, оштрина ивице резултујућег импулса се повећава што утиче на ширину спектра тј. ширење импулса. На слици 1 је приказан облик сигнала на крају оптичког влакна за случај SIR (Signal-to-Interference ratio)=10 dB и она је у потпуности у сагласности са приказаним графицима вероватноће грешке. Без обзира у ком режиму ради оптичко влакно, за случај када је  $b < T_0$  највећа деформација импулса се догађа за присуство нечирповане интерференције, а најмања за случај присуства интерференције са негативним чирпом. Поређењем слика 2 (a) и 3(a) можемо донети закључак да без обзира на позитиван утицај нелинеарних ефеката при простирању Gauss-овог сигнала кроз оптичко влакно, њихов утицај у случају присуства интерференције је занемарљив. Међутим, уколико је временски померај интерференције већи од ширине импулса, позитива утицај Керн-ових нелинеарности је још увек уочљив (сл. 2 (б) и сл. 3 (б)). За овај случај се већа деформација импулса догађа за негативан него за позитиван чирп интерференције.

#### 4. ЗАКЉУЧАК

Дисперзија и интерференција су један од највећих фактора који онемогућавају "идеалан" пренос кроз оптичке телекомуникационе системе. То је био разлог за проучавање њиховог утицаја на перформансе оптичког система у овом раду. Облици сигнала приказани на слици

1 су потврдили да нелинеарни ефекти могу смањити утицај дисперзије а слике 2 и 3 су показале да тај позитиван утицај се смањује са смањивањем временског помераја интерференције и вредности SIR. Такође је овај рад показао да се највеће деформације импулса догађају у случају присуства нечирповане интерференције на почетку влакна, док утицај чирповане интерференције зависи од величине временског помераја интерференције. Сви напред наведени резултати су добијени решавањем нелинеарне Schrödinger-ове једначине "split-step" Fourier-вим методом [9].

## ЛИТЕРАТУРА

- [1] Govind P. Agrawal, *Nonlinear Fiber Optics*, Academic Press INC., Boston-San Diego-New York-London-Tokyo-Toronto, 1995.
- [2] P. J. Legg, M. Tur, I. Andonović, "Solution Paths to Limit Interferometric Noise Induced Performance Degradation in ASK/Direct Detection Lightwave Networks", *Journal of Lightwave Technology*, Vol. 14, No. 9, p. 1943-1954, September, 1996.
- [3] J. Wang, A. Yongacoglu, "Performance of Trellis Coded-8PSK with Cochannel Interference", *Transaction on Communications*, Vol. 42, No. 1, p. 6-10, January, 1994.
- [4] Стефановић М., Перформансе дигиталних телекомуникационих система, Едиција: Монографија, Универзитет у Нишу, 2000.
- [5] Лукатела Г, Статистичка теорија телекомуникација и теорија информација, Грађевинска књига, Београд, 1981.
- [6] Stefanović M., Drača D., Panajotović A., Spalević P., "The influence of crosstalk signal interference to signal propagation along nonlinear and dispersive fiber",

*Journal of Optical Communications*, German, 2002 (прихваћен за штампу ЈОС #844).

- [7] Стефановић М., Драча Д., Панајотовић А., "Утицај чирпа интерференције на простирање Gauss-овог сигнала кроз нелинеарно-дисперзивно оптичко влакно", ТЕЛФОР 2003, Београд, 2003.
- [8] Маринчић А., Spalević P., "Оптичке телекомуникације", Универзитет у Београду, Београд, 1997.
- [9] Крејић Н., Херцег Ђ, *Matematika i Mathematica*, Рачунари у Универзитетској пракси, Нови Сад, 1993.

**Abstract** - *The positive influence of nonlinear effects in optical fiber that works under anomalous dispersive regime are presented in this paper. Interferences are often present in an optical systems and their influence can be great and it is reason for studing interference chirp influence on performance of IM-DD optical systems when interference appears at the beginning of optical fiber. All these influences are considered by pulse shape at the end of nonlinear-dispersive optical fiber for SIR (signal-to-interference ratio)=10dB and by bit error probability for SIR=10dB and 20 dB. The pulse shape along the optical fiber is determined by solving Schrödinger equation by "split-step" Fourier method.*

## PERFORMANCE OF OPTICAL TELECOMMUNICATION SYSTEM IN THE PRESENCE OF CHIRPED AND TIME SHIFTED INTERFERENCE

Mihajlo Stefanović, Dragan Drača, Aleksandra Panajotović, Daniela Milović

## ANALIZA DETEKCIONIH KARAKTERISTIKA RADARSKOG SISTEMA U REALNIM USLOVIMA

Bojan Zrnić, Goran Dimitrijević, *Vojna akademija, Ratka Resanovića 1, 11000 Beograd, SCG*

**Sadržaj** – U radu je dat računarski model za analizu karakteristika radarskog sistema koji omogućava detaljno modelovanje različitih uticaja koji se formiraju u radarskom okruženju. Računarski model je zasnovan na konceptu poznatom kao funkcionalna simulacija koji pretpostavlja da radarska jednačina predstavlja dovoljan okvir za opis uticaja pojedinih parametara i procesa na sistemske karakteristike radara.

### 1. UVOD

Radari su eholoacioni uređaji koji su najveću primenu našli u sistemima koji se koriste za detekciju, merenje koordinata i praćenja objekata u vazдушnom prostoru. Ukupne performanse radarskog sistema zavise od različitih internih i eksternih faktora. Interni faktori se odnose na tehničke parametre radarskog sistema, a eksterni faktori na karakteristike objekta koji se posmatra, propagacione uslove i interferenciju usled klatera ili ometanja. Eksterni faktori opisuju realne uslove u kojima radi jedan radarski sistem. Analizu uticaja pojedinih faktora, kao i međusobne veze tih faktora, na detekcione karakteristike radarskog sistema moguće je provesti u analitičkoj formi, ali je to složen i nekomforan proces. Da bi se taj proces olakšao, razvijena je i u ovom radu prikazan računarski model za analizu performansi osmatračkog radara impulsnog tipa.

Računarski model je zasnovan na konceptu poznatom kao funkcionalna simulacija. Naime, pretpostavlja se da radarska jednačina predstavlja dovoljan okvir za opis uticaja pojedinih parametara i procesa na sistemske karakteristike radara kao što su npr. snaga u prijemnom kanalu, domet detekcije za različite tipove cilja ili domet u uslovima delovanja ometačkog signala. Stohastički fenomeni proistekli iz prirode radarske refleksne površine cilja i atmosfere modeliraju se odgovarajućim raspodelama i empirijskim relacijama.

Korisnik unosi skup osnovnih parametara radara, cilja i okruženja, a domet detekcije se računa uz pretpostavku da je prisutan samo termički šum ili da postoji ometački signal koji izaziva interferencijski šum. Zahtevani odnos signal/šum i gubici mogu biti zadati ili se proračunavaju unutar programa.

### 2. MODEL RADARSKOG SISTEMA I OKRUŽENJA

Fundamentalna relacija koja opisuje zavisnost dometa radarskog uređaja od parametara radara i cilja poznata je kao radarska jednačina i data je sledećim izrazom:

$$S = \frac{PG^2\lambda^2\sigma}{(4\pi)^3 R^4}, \quad (1)$$

gde je: P- impulsna snaga radarskog signala, G- dobitak radarske antene, R- rastojanje između radara i cilja, S- snaga u prijemnom kanalu radara,  $\sigma$ - efektivna refleksna površina

cilja i  $\lambda$ -talasna dužina radarskog signala. Minimalna snaga korisnog signala  $S_{min}$  koja se pod određenim kriterijumima može detektovati u smeši signal/šum određuje maksimalni domet radara. Procena dometa nekog radarskog sistema ne bazira se samo na snazi korisnog signala, već je potrebno posmatrati odnos te snage prema snazi šuma u prijemnom kanalu radara. Proces poređenja tog odnosa i donošenja odluke da li je nešto cilj ili šum naziva se detekcija.

#### Modelovanje radarskih ciljeva

Modelovanje radarskih ciljeva podrazumeva statističko opisivanje njihove efektivne refleksne površine. Treba, dakle, pronaći odgovarajuću funkciju gustine verovatnoće koja opisuje zavisnost  $\sigma$  od geometrije cilja, parametara kretanja cilja i od aspektnog ugla, koji je u opštem slučaju slučajna veličina. Na osnovu obimnih istraživanja provedenih šezdesetih godina prošlog veka, utvrđeno je da se  $\sigma$  realnih ciljeva može opisati  $\chi^2$  raspodelom sa  $2k$  stepeni slobode [2]:

$$W(\sigma) = \frac{1}{(k-1)!} \frac{k}{\sigma} \left( \frac{k\sigma}{\sigma} \right)^{k-1} e^{-\frac{k\sigma}{\sigma}} \quad (2)$$

Za analizu radarskih sistema koriste se dve funkcije iz gornje familije, koje se dobijaju za  $k=1$  i  $k=2$ . Ovakve modele prvi je predložio Sverling (Swerling). Prva funkcija se koristi za opis cilja sa većim brojem subreflektora i bez dominantnog reflektora, a druga za opis cilja sa jasno izraženim dominantnim reflektorom i nizom manjih subreflektora. U pogledu korelisanosti eho impulsa u paketu, Sverling je uveo dva granična slučaja: model sa sporim ili korelisanim fluktuacijama i model sa brzim ili nekorelisanim fluktuacijama. Na osnovu funkcija gustine raspodele kojima se opisuje  $\sigma$  cilja i oblika korelisanosti impulsa u paketu, Sverling je definisao četiri statistička modela radarskih ciljeva koji se nazivaju prema njemu i u literaturi označavaju sa: SW1, SW2, SW3 i SW4. Za analizu aviona kao tipičnih radarskih ciljeva najčešće se koristi SW1 model. Da bi se obuhvatili svi slučajevi, ovim modelima se dodaje i idealizovani model nepokretnog (nefluktuirajućeg) cilja pravilne konfiguracije, koji je opisao Markum (Marcum), i koji se označava sa M.

#### Modelovanje procesa detekcije

Prilikom osmatranja prostora radarom mogu nastati dve apriori nepoznate, ali međusobno isključive situacije. Prva situacija karakteriše se postojanjem objekta u posmatranoj rezolucionoj ćeliji radara, dok druga podrazumeva odsustvo objekta u rezolucionoj ćeliji radara.

Algoritam odlučivanja u najprostijem obliku sastoji se od komparacije izlaznog napona prijemnika  $u$  sa unapred definisanim fiksnim naponom  $U_0$ , koji predstavlja prag odlučivanja. U slučaju da je izlazni napon prijemnika veći od postavljenog napona praga, donosi se odluka o postojanju

cilja u posmatranoj rezolucionalnoj ćeliji radara, u suprotnom donosi se odluka o odsutnosti cilja. Verovatnoća prvog događaja, kada je  $u > U_0$ , naziva se verovatnoća pravilne detekcije i označava se sa  $P_d$ . Verovatnoća drugog događaja, kada je  $u < U_0$ , naziva se verovatnoća propusta cilja i označava se sa  $P_{pc}$ . Ako se u rezolucionalnoj ćeliji ne nalazi cilj, takođe nastaju dva ishoda odlučivanja, prvi kada je  $u > U_0$ , što implicira pogrešnu odluku i drugi kada je  $u < U_0$  što dovodi do pravilne odluke. Verovatnoća prvog događaja naziva se verovatnoća lažnog alarma i obeležava se sa  $P_{la}$ , a verovatnoća drugog se naziva verovatnoća pravilnog neotkrivanja cilja i obeležava se sa  $P_{pn}$ .

S obzirom da su šumovi različitog porekla inherentno prisutni u prijemnom kanalu radara, proces detekcije se mora analizirati kao statistički proces sa unapred definisanim kriterijumima. Statistički kriterijumi detekcije mogu biti različiti, ali je detekciji radarskog signala najbolje prilagođen Nojman-Pirsonov (Neyman-Pearson) kriterijum, koji zahteva da se pri fiksiranoj i unapred poznatoj verovatnoći lažnog alarma maksimizuje verovatnoća pravilne detekcije.

Šum u prijemnom kanalu radara, kao i smeša signal/šum mogu se opisati Gausovskim slučajnim procesom. Funkcija gustine verovatnoće za slučaj šuma glasi:

$$W_n = \frac{1}{\sqrt{2\pi U_{efn}}} e^{-\frac{u^2}{2U_{efn}}}, \quad (3)$$

a u slučaju smeše signal/šum :

$$W_{n+s} = \frac{1}{\sqrt{2\pi U_{efn}}} e^{-\frac{(u-A)^2}{2U_{efn}}}, \quad (4)$$

gde je  $A$  amplituda korisnog signala, a  $U_{efn}$  je efektivna vrednost šuma.

Iako se detekcija vrlo retko obavlja na osnovu jednog reflektovanog impulsa, u nastavku će biti dat model za računanje faktora detekcije za pojedinačan impuls. Ovo je neophodno, jer je za proračun faktora detekcije paketa radarskih impulsa u ovom radu korištena tkz. *Bartonova aproksimativna metoda* koja zahteva poznavanje faktora detekcije pojedinačnog radarskog impulsa. Naime, prema toj metodi, problem detekcije paketa sa proizvoljnim brojem impulsa može svesti na problem detekcije pojedinačnog impulsa od nefluktuirajućeg cilja.

Minimalna detektabilna snaga signala u prijemniku radara data je sledećim izrazom:

$$S_{min} = kT_s B q(P_d, P_{la}) \quad (5)$$

gde je:

$k$  - Bolcmanova konstanta,

$T_s$  - temperatura šuma sistema

$B$  - frekvencijski opseg prijemnika,

$q(P_d, P_{la})$  - potreban odnos signal/šum za unapred zadate verovatnoće detekcije i lažnog alarma.

Parametar  $q(P_d, P_{la})$  se naziva *faktor detekcije* i označava sa  $D$ . Da bi se naglasio model cilja kao i to da li se radi o detekciji pojedinačnog impulsa ili paketa impulsa, uvode se dopunske oznake. Na primer, za nefluktuirajući cilj i pojedinačni impuls oznaka je:  $D_0(I)$ , dok je za SWI i paket od  $n$  impulsa oznaka  $D_I(n)$ . Analogno se uvode oznake i za ostale ciljeve, indeks označava model cilja a oznaka u zagradi vrstu detekcije (detekcija pojedinačnog impulsa ili detekcija paketa od  $n$  impulsa).

Detekcija radarskog signala može se obaviti na jedan od sledeća tri načina [2]:

- sinhronim detektorom,
- I - Q kvazisinhronim detektorom,
- diodnim detektorom.

Sinhrona detekcija zahteva tačno poznavanje početne faze eho signala pa ima samo teorijski značaj jer radarski eho signali najčešće imaju slučajnu fazu. Međutim, ovaj postupak detekcije zahteva najmanji odnos signal/šum za date verovatnoće  $P_d$  i  $P_{la}$ , pa se koristi kao referentni okvir za poređenje ostalih metoda detekcije.

Ako uporedimo potrebni faktor detekcije kada koristimo sinhroni detektor (koherentna detekcija) sa rezultatima kada koristimo nekoherentni detektor tipa detektora ovojnice (bilo kvazisinhroni bilo diodni detektor) možemo doći do podataka o gubitku detektora koji se izražava empirijskom formulom koju je utvrdio Barton i koja služi kao osnova za *Bartonovu aproksimativnu metodu detekcije*[1]:

$$C_x(I) = \frac{D_0(I)}{D_{0coh}(I)} = \frac{D_0(I) + 2.3}{D_0(I)}, \quad (6)$$

gde je :

$C_x(I)$  - gubitak detektora pri detekciji jednog impulsa,

$D_0(I)$  - faktor detekcije za jedan impuls od cilja tipa  $M$  pri korišćenju detektora ovojnice,

$D_{0coh}(I)$  - faktor detekcije za jedan impulsa od cilja tipa  $M$  kada se koristi sinhroni detektor.

Gubitak detektora  $C_x$  je broj koji pokazuje koliko puta treba da bude veći odnos signal/šum  $D_0$  na ulazu nekoherentnog detektora od odnosa signal/šum  $D_{0coh}$  na ulazu koherentnog detektora da bi se u oba slučaja ostvarile iste verovatnoće  $P_d$  i  $P_{la}$ . Vrednosti  $C_x$  su realno jako male, tako da se može izvršiti aproksimacija i umesto korišćenja komplikovane Rajsove i Rejljeve raspodele funkcije gustine verovatnoće, koje opisuju smešu signala i šuma na izlazu sinhronog detektora, za proračun faktora detekcije detektora ovojnice može se koristiti Gausova raspodela koja važi u slučaju detektora ovojnice.

Ako se usvoji navedena aproksimacija, dobija se da su verovatnoće detekcije i lažnog alarma određene sledećim izrazima (na osnovu (3) i (4)):

$$P_d = \int_{U_0}^{\infty} \frac{1}{\sqrt{2\pi U_{efn}^2}} e^{-\frac{(u-A)^2}{2U_{efn}^2}} du, \quad (7)$$

$$P_{la} = \int_{U_0}^{\infty} \frac{1}{\sqrt{2\pi U_{efn}^2}} e^{-\frac{u^2}{2U_{efn}^2}} du \quad (8)$$

Ovi integrali nemaju analitičko rešenje ali se njihove vrednosti mogu odrediti na osnovu tablične funkcije  $\Phi(x)$  koja glasi:

$$\Phi(x) = \frac{1}{\sqrt{2\pi}} \int_x^{\infty} \frac{t^2}{x} e^{-\frac{t^2}{2}} dt, \quad (9)$$

tako da su sada  $P_d$  i  $P_{la}$ :

$$P_{la} = \Phi\left(\frac{U_0}{U_{efn}}\right)$$

$$P_d = \Phi\left(\frac{U_0 - A}{U_{efn}}\right) = \Phi\left(\frac{U_0}{U_{efn}} - \sqrt{2q}\right) \quad (10)$$

Iz predhodnih jednačina može se izračunati potreban odnos signal/šum u slučaju sinhrono detekcije jednog impulsa  $q=D_c(1)$  prema sledećem izrazu [1]:

$$q = \frac{1}{2} \left( \Phi^{-1}(P_d) - \Phi^{-1}(P_{la}) \right)^2 = q(P_d, P_{la}), \quad (11)$$

gde je  $\Phi^{-1}(x)$  inverzna funkcija od  $\Phi(x)$ . Funkcija  $\Phi(x)$  u direktnoj je vezi sa funkcijom koja je u teoriji verovatnoće poznata pod nazivom *funkcija greške* i koja se označava sa *erf*. Ta veza određena je relacijama datim u [1,3], čijim kombinovanjem dolazimo do potrebnog izraza za odnos signal/šum koji će biti korišćen u računarskom modelu

$$q = D_c(1) = \left[ \operatorname{erfc}^{-1}(2P_{la}) - \operatorname{erfc}^{-1}(P_d) \right]^2, \quad (12)$$

gde je *erfc*<sup>-1</sup> inverzna funkcija komplementarne funkcije greške.

Da bi se odredio faktor detekcije za pojedinačni impuls i M tip cilja kada se koristi detektor obvojnice može se primeniti Nortova (North) aproksimacija [1]:

$$D_0(1) = \left[ \sqrt{\ln\left(\frac{1}{P_{la}}\right) - \frac{1}{\sqrt{2}} \Phi^{-1}(P_d)} \right]^2 - \frac{1}{2} = \left[ \sqrt{\ln\left(\frac{1}{P_{la}}\right) - \operatorname{erfc}^{-1}(2P_d)} \right]^2 - \frac{1}{2} \quad (13)$$

Kada se proračun vrši za fluktuirajući cilj (model SW1), faktor detekcije za detekciju pojedinačnog impulsa egzaktno je dat izrazom:

$$D_1(1) = \frac{\ln P_{la}}{\ln P_d} - 1 \quad (14)$$

Upoređujući  $D_0(1)$  i  $D_1(1)$  dolazimo do iznosa gubitka usled fluktuacije koji se računa prema relaciji:

$$L_f(1) = \frac{D_1(1)}{D_0(1)} \quad (15)$$

Prilikom obasjavanja cilja radarskim snopom dolazi do refleksije radarskih impulsa čiji je broj određen jednačinom

$$n = f_{PRF} \frac{\varphi_0}{\Omega_a} = f_{PRF} t_o \quad (16)$$

gde je:

- $n$  – broj reflektovanih impulsa,
- $f_{PRF}$  – frekvencija ponavljanja impulsa,
- $\varphi_0$  – širina snopa zračenja,
- $\Omega_a$  – brzina rotiranja antene (skeniranja),
- $t_o$  – vreme zadržavanja snopa na cilju (vreme obasjavanja).

Pogodnom obradom paketa primljenih impulsa može se postići povećanje faktora detekcije tj. može se ostvariti ista verovatnoća detekcije sa manjim odnosom signal/šum po pojedinom impulsu.

Obrada primljenih impulsa naziva se integracija i ona može biti:

- koherentna integracija (impulsi se sabiraju pre detekcije envelope),
- nekoherentna (video) integracija (vrši se detekcija envelope svakog impulsa, zatim se sabiraju envelope i vrši se poređenje sa pragom),

- binarna (digitalna) integracija (svaki impuls se poredi sa analognim pragom, posle čega se posmatra da li je dovoljan broj impulsa koji su prešli analogni prag veći od digitalnog praga, ovo je procedura detekcije sa dva praga).

Pri idealnoj koherentnoj integraciji odnos signal/šum za paket impulsa dat je izrazom:

$$D_c(n) = \frac{D_c(1)}{n} \quad (17)$$

Možemo primetiti da je u ovom slučaju potrebni odnos signal/šum  $n$  puta manji, što praktično znači da imamo procesno pojačanje koje je jednako broju impulsa. Takođe nemamo gubitke integracije.

Nekoherentna integracija se češće primenjuje u konvencionalnim radarskim sistemima. U tom slučaju, proračun faktora detekcije odvija se prema proceduri koja će biti objašnjena u nastavku.

Prvo je potrebno proračunati gubitke integracije paketa impulsa (jer je potrebno više energije po impulsu zbog toga što postoje gubici pri detekciji ovojnice), a na osnovu sledećeg izraza [1]:

$$L_i = \frac{1 + \sqrt{1 + \frac{9.2n}{D_c(1)}}}{1 + \sqrt{1 + \frac{9.2}{D_c(1)}}} \quad (18)$$

Ovo je bilo potrebno da bi se odredio faktor detekcije za povorku impulsa od Markumovog tipa cilja prema izrazu

$$D_0(n) = \frac{D_0(1)L_i(n)}{n} \quad (19)$$

Ako je reč o Sverlingovim modelima ciljeva, potrebno je odrediti gubitke fluktuacije koji su za model SW1 dati izrazom:

$$10 \log L_f(n) = (1 + 0.03 \log n) 10 \log L_f(1), \quad (20)$$

gde je  $L_f(1)$  prethodno izračunato primenom izraza (15).

Nakon izračunatog gubitka flutuacije izračunava se osnovni faktor detekcije za paket od  $n$  impulsa u kome postoji  $n_e$  nezavisnih impulsa:

$$D_e(n) = \frac{D_0(1)L_i(n)L_f(n)}{n} \quad (21)$$

Gornja relacija pokazuje osnovnu ideju Bartonove aproksimativne metode detekcije (problem detekcije paketa sa proizvoljnim brojem impulsa se svodi na problem detekcije usamljenog nefluktuirajućeg impulsa).

Nakon završenog proračuna osnovnog faktora detekcije potrebno je pronaći efektivni faktor detekcije  $D_x$ . Ovaj parametar obuhvata i dodatne gubitke usled obrade signala i nesavršenosti oblika dijagrama zračenja antene

*Efektivni faktor detekcije* izračunavamo na osnovu sledećeg izraza:

$$D_x = D_e(n) M L_p L_x \quad (22)$$

gde je :

- $M$  – faktor podešenosti filtra,
- $L_p$  – gubici zbog oblika dijagrama zračenja,
- $L_x$  – ostali gubici usled obrade signala.

Karakter i uticaj ovih gubitaka biće dat u nastavku ovog rada.

Optimalni filter za detekciju signala koji je pomešan sa belim šumom (kao što je to termalni šum u prijemnom kanalu) naziva se *prilagođeni filter* (matched filter). Njegov



frekvencijski odziv  $H(f)$  je jednak kompleksno konjugovanoj vrednosti spektra radarskog signala, a impulsni odziv  $h(t)$  je jednak vremenski reverznoj ("slika u ogledalu") sekvenci signala.

Iz teorije detekcije je poznato da prilagođeni filter maksimizuje odnos signal/šum na svom izlazu, pri čemu je taj odnos jednak

$$(S/N)_{MF} = \frac{E}{N_0} \quad (23)$$

gde je  $E$  ukupna primljena energija signala, a  $N_0$  je spektralna gustina snage šuma.

U slučaju detekcije pojedinačnog impulsa sa prijemnikom podešenim na njegov spektar izraz (26) postaje:

$$(S/N)_{MF} = \frac{E_1}{N_0} = \frac{S\tau}{N_0} = \frac{P\tau G^2 \lambda^2 \sigma}{(4\pi)^3 k T_s R^4} \quad (24)$$

gde je  $S$  snaga, a  $\tau$  trajanje primljenog impulsa.

Ako se radi o detekciji paketa radarskih impulsa, ukupna energija koja se primi jednaka je

$$E = nE_1 \quad (25)$$

gde je  $n$  broj impulsa primljenih u toku jedne opservacije cilja.

Izraz za odnos signal/šum na izlazu prilagođenog filtera u tom slučaju je:

$$(S/N)_{MF} = \frac{E}{N_0} = \frac{nE_1}{N_0} = \frac{nP\tau G^2 \lambda^2 \sigma}{(4\pi)^3 k T_s R^4} = \frac{P_{sr} t_o G^2 \lambda^2 \sigma}{(4\pi)^3 k T_s R^4} \quad (26)$$

U gornjem izrazu iskorišćena je činjenica da je srednja snaga  $P_{sr}$  radarskog signala jednaka:

$$P_{sr} = P\tau f_{PRF} \quad (27)$$

i da je broj reflektovanih impulsa dat izrazom (16).

Da bi se odredio domet radara sa zahtevanom verovatnoćom detekcije i lažnog alarma, odnos signal/šum na izlazu prilagođenog filtera (26) treba da bude jednak efektivnom faktoru detekcije  $D_x$  (22).

#### Modelovanje temperature šuma sistema

Temperatura šuma sistema je koncept koji objedinjuje sva tri izvora termičkog šuma u prijemnom kanalu radara (antena-prijemni vod-prijemnik) u jedan ekvivalentni šum koji vlada na priključku antene, tako da se prijemni kanal može smatrati idealnim.

Temperatura šuma sistema se računa prema izrazu:

$$T_s = T_a + T_r + L_r T_c \quad (28)$$

gde pojedine komponente imaju sledeće značenje:

- **Temperatura šuma antene:**  $T_a = (0.88T_a - 254)/L_a + 290$   
 $T_a$  - temperatura neba,  
 $L_a$  - disipativni gubici unutar antene.
- **Temperatura prijemnog voda:**  $T_r = T_{tr}(L_r - 1)$   
 $T_{tr}$  - fizička temperatura prijemnog voda  
 $L_r$  - gubici u prijemnom vodu
- **Temperatura prijemnika:**  $T_c = T_0(F_n - 1)$   
 $T_0$  - referentna temperatura (290 K)  
 $F_n$  - faktor šuma prijemnika

#### Modelovanje gubitaka u radarskom sistemu

Posebnu vrednost razvijenog računarskog modela predstavlja mogućnost analize uticaja različitih gubitaka koji nastaju u procesu osmatranja na karakteristike radarskog sistema.

Izvori gubitaka u procesu radarskog osmatranja se mogu generalno podeliti u dve osnovne grupe:

- gubici energije signala do ulaza u prijemnik (gubici u predajniku i na prenosnom putu)
- gubici zbog neefikasnosti u obradi primljene energije (zavise od tipa prijemnika i misije koju radar obavlja)

Zbog ograničenog prostora u nastavku teksta će se taksativno pobrojati svi gubici koji su obuhvaćeni ovim računarskim modelom, uz minimalna pojašnjenja.

Postoji nekoliko uzroka koji utiču na smanjenje raspoložive energije signala na ulazu u prijemni kanal radara.

To su:

- Gubici u predajniku* ( $L_r$ ) koji obuhvataju sve gubitke između predajne cevi gde se meri predajna snaga  $P$  i antene gde se meri dobitak  $G$ .
- Gubici na anteni* su disipativni gubici ( $L_a$ ) i gubici zbog oblika dijagrama zračenja ( $L_n$ ).
- Gubici u atmosferi* ( $L_\alpha$ ) nastaju na trasi radar-cilj-radar usled uticaja atmosferskih čestica na prostiranje elektromagnetnog zračenja radara. U ovom programu je implementirana procedura za izračunavanje  $L_\alpha$  u zavisnosti od talasne dužine radarskog zračenja, kao i od vrste atmosferskih padavina.
- Gubici u prijemnom vodu* ( $L_r$ ) između antene i prijemnika se uzimaju u obzir preko temperature šuma sistema (28).
- Gubici zbog oblika dijagrama zračenja* ( $L_p$ ) su prouzrokovani time što dijagram zračenja ima zaobljen završetak, a ne idealni pravougaoni završetak.

U grupu gubitaka koji nastaju u toku obrade primljenog radarskog signala spadaju:

- Faktor podešenosti filtera* ( $M$ ) koji govori za koliko se mora povećati energija signala na ulazu u prijemnik ako se u prijemniku ne koristi optimalni (prilagođeni) filter.
- Gubitak integracije* ( $L_i$ ) nastaje ako se u prijemniku vrši nekoherentna (video, postdetektorska) integracija paketa primljenih impulsa umesto koherentne (predetektorske) integracije. Ovi gubici se uzimaju u obzir u procesu izračunavanja faktora detekcije  $D_x$ .
- Gubici propadanja* ( $L_c$ ) nastaju ako se u procesu video integracije osim odbiraka smeše signala i šuma koriste i odbirci koji sadrže samo šum.
- Gubici fluktuacije* ( $L_f$ ) se javljaju kao posledica činjenice da usled složene geometrije većine realnih radarskih ciljeva (mnogo subreflektora) amplituda eho signala fluktuiru u funkciji vremena i talasne dužine signala nosioca. Ovi gubici se uzimaju u obzir u procesu izračunavanja faktora detekcije  $D_x$ .
- Gubici usled CFAR detekcije* ( $L_g$ ) nastaju kao posledica činjenice da se u procesu CFAR (Constant False Alarm Rate) detekcije ne može uzeti veliki, već samo ograničen broj rezolucioničkih ćelija za procenu nivoa praga detekcije, usled čega prag varira oko prave vrednosti.
- Gubici usled nepoklapanja po daljini* ( $L_{er}$ ) nastaju kao posledica činjenice da u postupku uzimanja odbiraka po osi daljine položaj centra prozora daljine (range gate) ne mora da bude poklopljen sa vršnom vrednosti reflektovanog impulsa.

- g) *Gubici zbog nepoklapanja po uglu* ( $L_{ca}$ ) nastaju zbog toga što u postupku radarskog osmatranja centar ovojnice paketa reflektovanih impulsa (modulisani oblikom dijagrama zračenja) ne mora koincidirati stvarnom uglu između radara i cilja.
- h) *Gubici zbog zamračenja* ( $L_{ec}$ ) nastaju kao posledica pojave neregistrovanja (zamračenja) pojedinih eho impulsa zbog toga što je u trenutku njihovog stizanja na antenu prijemnik isključen, jer je predaja u toku.
- i) *Ostali gubici u obradi* ( $L_x$ ) obuhvataju i druge uzroke gubitaka npr. efekte kvantizacije i zaokruživanja pri digitalnoj obradi.

Svi navedeni gubici nisu uvek prisutni, najčešće se iskazuju u decibelima, sabiraju se (ako nisu prethodno uključeni u model kao npr.  $L_i$  ili  $L_f$ ) i formiraju faktor ukupnih gubitaka  $L_{uk}$  koji kao novi član ulazi u nazivnik izraza (26).

#### Modelovanje uticaja efekata propagacije na domet radara

Osnovni propagacioni fenomeni koji utiču na realni domet radara su *refrakcija i slabljenje u atmosferi, kao i refleksija od tla i difrakcija na površinskim objektima* duž putanje radarskog snopa.

Refrakcija nastaje usled nehomogenosti atmosfere a označava efekat povijanja radarskog snopa naviše ili naniže prilikom prolaska kroz troposferu i jonosferu u zavisnosti od vrednosti indeksa refrakcije. Efekat refrakcije se modeluje uvođenjem faktora efektivnog prečnika Zemlje ( $K_e$ ). Ako se nehomogena atmosfera želi zameniti homogenom (bez refrakcije) potrebno je uvesti korigovani poluprečnik Zemlje  $r_z$  koji je jednak

$$r_z = K_e r_z \quad (29)$$

gde je  $r_z=6370$  km stvarni poluprečnik Zemlje, a  $K_e$  faktor efektivnog prečnika zemlje koji u ovom slučaju treba da ima vrednost 4/3.

Atmosferske čestice (vazduh, padavine, oblaci, magla, itd.) uzrokuju gubitak energije radarskog signala usled efekata apsorpcije i raspršenja. Slabljenje radarskog signala u normalnoj atmosferi je zanemarivo na nižim radarskim frekvencijama (ispod 1 GHz), dok na višim frekvencijama postaje značajno.

Slabljenje u atmosferi je funkcija koeficijenta slabljenja  $k_a$ , daljine do cilja  $R$  i efektivne dužine putanje na nivou mora  $R_a$ . Efektivna dužina putanje na nivou mora zavisi od ugla elevacije cilja i predstavlja dužinu koja ima isto slabljenje kao putanja sa zadatom elevacijom kroz celu atmosferu. Da bi se izračunalo  $R_a$  u računarskom modelu je implementirana procedura za izračunavanje efektivne visine cilja kada leti na konstantnoj elevaciji, odnosno elevacije kada leti na konstantnoj visini pod pretpostavkom sferičnog oblika Zemlje [1].

Refleksija od tla izaziva modifikaciju oblika dijagrama zračenja (lepezasta struktura) u odnosu na dijagram zračenja u slobodnom prostoru, što utiče na domet. Takođe, usled efekta višestrukog prostiranja (multipath) javljaju se greške merenja radarskih koordinata. Difrakcija nastaje usled interakcije radarskog talasa sa površinskim objektima a manifestuje se takođe promenom oblika dijagrama zračenja, što utiče na sposobnost detekcije i tačnost radarskog merenja. Efekat difrakcije je značajan za analizu samo ako je razlika u dužini puta direktnog i od tla

reflektovanog talasa manja od  $\lambda/4$ . Efekti refleksije i difrakcije se u proračunu performansi radara modelovani su preko veličine koja se naziva faktor oblika propagacije.

Faktor oblika propagacije ( $F$ ) je odnos snage signala koja bi postojala na kraju putanje snopa zračenja u slobodnom prostoru prema trenutno postojećoj snazi. On pored efekata refleksije i difrakcije uključuje i efekat redukovano dobijta antene za ciljeve koji su izvan ose snopa dijagrama zračenja. U ovom računarskom modelu, faktor oblika propagacije se računa u funkciji daljine i visine cilja, karaktera površine na putanji radar-cilj i oblika dijagrama zračenja antene [1]. Faktor propagacije ulazi u brojnik jednačine (29) i to kao četvrti stepen ( $F^4$ ) jer se mora uzeti u obzir dvostruka putanja koju prelazi elektromagnetni talas.

Da bi se izračunao faktor propagacije potrebno je rešiti geometrijske relacije kojima se utvrđuje razlika u dužini puteva direktnog i reflektovanog talasa, od čega zavisi da li će se u faktor oblika propagacije uključiti i efekat difrakcije. Kompletan matematički model za proračun faktora propagacije dat je u literaturi [1].

#### Domet detekcije

Imajući u vidu uticaj gubitaka i efekata propagacije, a na osnovu relacije (29), dolazimo do izraza za proračun *dometa detekcije*  $R$  u zavisnosti od parametara radara, parametara cilja, zahtevanih verovatnoća detekcije i lažnog alarma (preko vrednosti efektivnog faktora detekcije), gubitaka u procesu radarskog osmatranja i efekata propagacije:

$$R = 4 \sqrt{\frac{P_{sr} t_o G^2 \lambda^2 \sigma F^4}{(4\pi)^3 k T_s D_x L_{uk}}} \quad (30)$$

#### Modelovanje uticaja ometača na domet detekcije

Radarski ometači u zavisnosti od položaja u prostoru (u odnosu na radar koji ometaju i cilj koji štite) mogu biti ometači sa distance (stand-off jammer), samozaštitni ometači (self-screening jammer) i prateći ometači (escort jammer). Jedan od najčešće primenjivanih ometačkih signala jeste slučajni šum sa širinom spektra  $B_j$  koja može biti malo veća od širine propusnog opsega radarskog prijemnika (spot jamming) ili se radi o širokopojasnom šumu (barrage jamming) kada se želi ometati više radara istovremeno.

Efekat šumnog načina ometanja se ispoljava kroz porast ukupne spektralne snage šuma u prijemnom kanalu radara sa  $N_0$  na  $N_0+J_0$  gde je  $J_0$  spektralna gustina snage ometačkog signala u prijemnom kanalu radara data izrazom [4]:

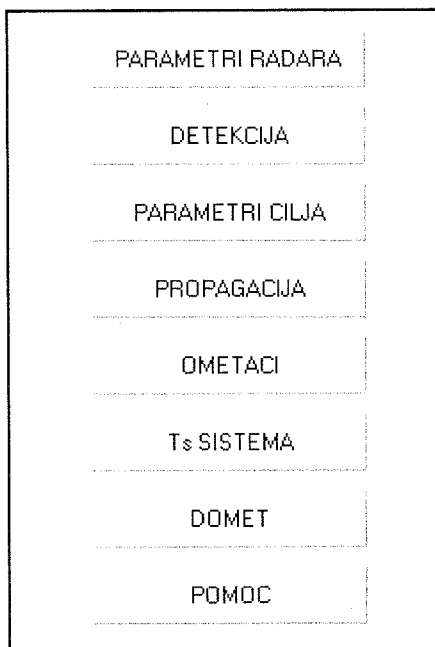
$$J_0 = \frac{P_j G_j G_r \lambda^2 F_j^2 Q_j}{16\pi^2 B_j R_j^2 L_{\alpha j}} \quad (31)$$

gde je:  $P_j$ - snaga ometača,  $G_j$ - dobijta antene ometača,  $G_r$ - dobijta prijemne antene radara,  $F_j$ - faktor oblika propagacije na trasi ometač-radar,  $Q_j$ -faktor kvaliteta ometanja,  $R_j$ -rastojanje ometač-radar i  $L_{\alpha j}$ -slabljenje u atmosferi duž trase. Preko faktora kvaliteta ometanja  $Q_j$  uzima se u obzir odstupanje statističkih karakteristika ometačkog signala od potrebne Gausovske prirode.

### 3. RAČUNARSKA SIMULACIJA KONFLIKTA RADARA I OMETAČA

Prethodno izloženi simulacioni model implementiran je u računarski program čiji je početni meni dat na slici 1. Uočava se modularna koncepcija programa čime se pojednostavljaju analize koje korisnik želi obaviti.

U cilju demonstracije rada razvijenog računarskog modela za ocenu detekcionih karakteristika radarskog sistema prikazani su rezultati koji se dobijaju prilikom analize konflikta jednog hipotetičkog radarskog sistema velikog dometa i samozaštitnog ometača srednje snage. Na slici 2. prikazan je domet kada nema uticaja ometača za različite verovatnoće lažnog alarma (od  $10^{-3}$  do  $10^{-12}$ ), a pritiskom na dugme "Domet sa ometačem" dobija se slika 3. gde se uočava značajna redukcija dometa usled dejstva ometača.



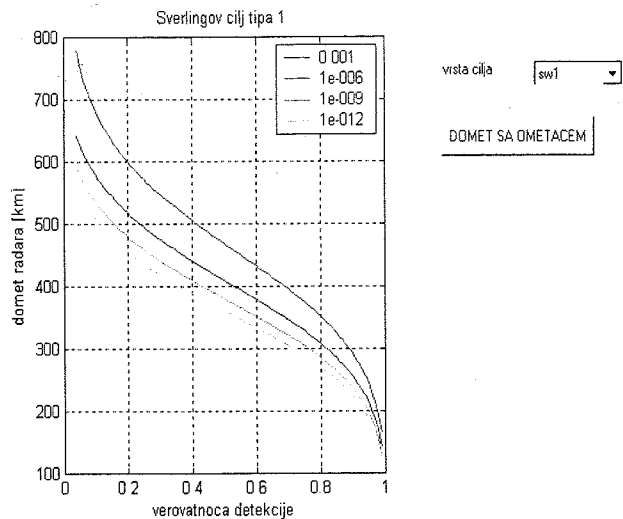
Sl. 1. Početni meni računarskog programa

### 4. ZAKLJUČAK

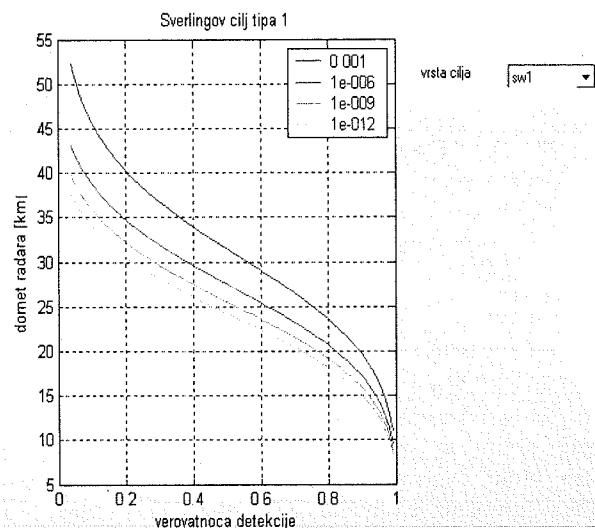
Računarski model za analizu rada osmatračkog radarskog sistema je napravljen na osnovu kombinovanja matematičkih modela koji su dati u nekoliko referentnih izvora.

Program omogućava detaljno modelovanje performansi radarskog sistema u različitim uslovima (uticaj parametara i načina kretanja cilja, propagacioni efekti, ometački uticaji, gubici u radarskom sistemu) kroz mogućnost unosa preko pedeset parametara koji opisuju ove fenomene.

Ovaj računarski program predstavlja koristan alat za analize različite namene, od edukativnih do profesionalnih. Program je modularnog karaktera i otvoren je za dalju nadogradnju.



Sl. 2. Domet detekcije bez ometanja



Sl. 3. Domet detekcije sa ometanjem

### LITERATURA

- [1] D.K. Barton, *Modern Radar System Analysis*, Artech House, Norwood, 1988
- [2] J. Zatkalik, *Radiolokacija I*, IP „Nauka”, Beograd, 1995
- [3] M. Abramovitz, I. Stegun, *Handbook of Mathematical Functions*, National Bureau of Standards, USA, 1972
- [4] C. Schleher, *Electronic Warfare*, Artech House, Norwood, 1999

**Abstract** – In this paper the computer model for the radar system performance analysis in the real conditions is presented. The model development is based on the functional simulation concept which assumes that the radar equation is sufficient framework for the radar system performance assessment.

### THE ANALYSIS OF RADAR DETECTION RANGE IN THE REAL CONDITIONS

Bojan Znić, Goran Dimitrijević

## ANALIZA MULTICAST PROTOKOLA ZA RUTIRANJE U MOBILNIM AD-HOC RAČUNARSKIM MREŽAMA

Milojko Jevtović, Mikica Mitrović  
Elektrotehnički fakultet u Banjoj Luci

**Sadržaj** - Mobilna ad-hoc računarska mreža je autonoman sistem funkcionalno ekvivalentnih mobilnih čvorova, koji komuniciraju u pokretu bez bilo koje vrste žične infrastrukture (bazne stanice ili pristupne tačke). Prilikom realizacije funkcije rutiranja otežavajuću okolnost predstavljaju mobilnost čvorova, ograničen propusni opseg i ograničene procesorske sposobnosti uređaja. U radu je data analiza osnovnih multicast protokola za rutiranje u mobilnim ad hoc računarskim mrežama.

### 1. UVOD

Mobilna ad hoc mreža predstavlja mrežu koja nema unaprijed određenu topološku strukturu niti centralnu komandu. Čvorovi u ad hoc mreži (razne mobilne platforme koje su istovremeno i hostovi i ruteri) međusobno komuniciraju bez kablovskih veza i može se reći da stvaraju svoju mrežu "u letu". Kada se želi poslati paket od izvora ka odredištu, oni se prosleđuju preko jednog ili više posrednika. Stoga, za MANET možemo reći da pripada klasi multihop bežičnih mreža. [1]

U ovom radu se razmatraju u literaturi dostupne tehnike za realizaciju funkcije multikast rutiranja u ovakvom bežičnom okruženju. Multicasting predstavlja modifikaciju koncepta broadcastinga (slanje poruke svim čvorovima na mreži), kojim se omogućava istovremeno slanje poruke većem broju čvorova na mreži. Članstvo u formiranim multikast grupama je dinamično, što znači da određeni čvor u mreži prima pakete podataka samo dok je član grupe. Naročite poteškoće pri projektovanju i implementaciji multikast protokola javljaju se zbog: mobilnosti čvorova, promjenljivih karakteristika radio linka, ograničenog propusnog opsega, fenomena "skrivenih" i "izloženih" terminala i ograničenih sposobnosti komunikacionih uređaja u pogledu napajanja i procesorske moći.

### 2. ARHITEKTURA MULTICAST PROTOKOLA ZA RUTIRANJE

U ovom dijelu je opisan referentni model arhitekture multicast protokola za rutiranje, na osnovu kojeg objašnjavamo ulogu različitih modula kod primjene ove tehnike rutiranja u mobilnim ad hoc računarskim mrežama. [2]. Za multikast rutiranje u ad hoc mrežama su bitna sledeća tri sloja steka protokola (zbog jednostavnosti izostavljen je transportni sloj):

- Sloj kontrole pristupa medijumu (MAC Layer)
- Sloj rutiranja ( Routing Layer)
- Sloj primjene ( Application Layer)

**Sloj kontrole pristupa medijumu:** Pored funkcija prenosa/prijema paketa za gornje slojeve i donošenja odluka o pristupu kanalu, ovaj sloj obavlja i sledeće funkcije specifične za bežični multicasting: detektovanje svih

susjednih čvorova (na udaljenosti od jednog skoka) i praćenje karakteristika linka. U skladu sa ovim funkcijama, možemo reći da se sloj kontrole pristupa medijumu sastoji od 3 glavna modula:

- **Prenosni modul:** Pored svoje osnovne funkcije, ovaj modul definiše i vrijeme prenosa na kanalu u zavisnosti od primjenjenog MAC protokola.
- **Prijemni modul**
- **Upravljač liste susjednih čvorova:** Ovaj modul održava listu susjednih čvorova i višim slojevima dostavlja informaciju da li se određeni čvor nalazi na listi. Proces nadgledanja mreže se izvodi slanjem signala upozorenja (beackoning), kao u Token Ring mrežama, ili osluškivanjem nosećih signala paketa na kanalu.

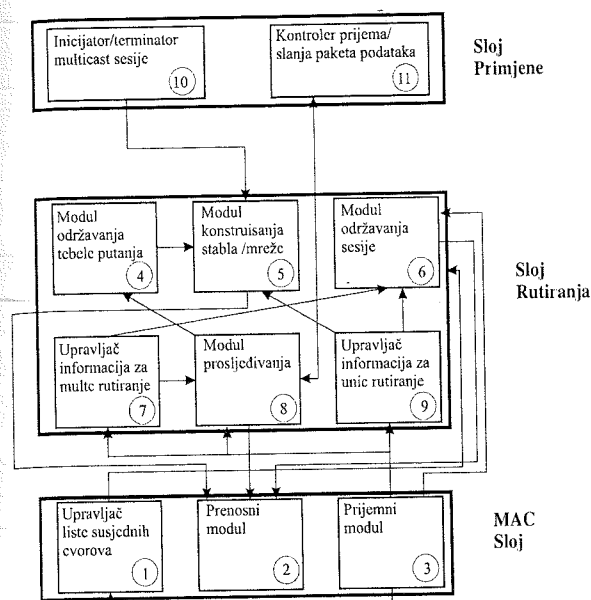
**Sloj rutiranja:** Ovaj sloj je odgovoran za održavanje unicast sesija/multicast grupa, upotrebom tabela putanja u memoriji čvora (route cache). Sloju primjene pruža usluge pri pridruživanju čvorova/napuštanju čvorova multicast grupe i prijema/prenosa multicast paketa. Sloj rutiranja se sastoji od sledećih modula:

- **Upravljač informacija za unicast rutiranje:** Ovaj modul otkriva putanje za unicast rutiranje primjenom reaktivnog ili proaktivnog pristupa. Kod reaktivnog (on-demand) pristupa putanje između čvorova se određuju samo onda kada su potrebne za prenos paketa, dok kod proaktivnog (table-driven) pristupa tabele putanja se održavaju za sve čvorove u mreži, pa i za one kojima se paketi uopšte ne šalju.
- **Upravljač informacija za multicast rutiranje:** U formi tabele, ovaj modul održava informacije kao što su liste odlaznih i dolaznih čvorova u multicast grupi i sl.
- **Modul prosljeđivanja:** Ovaj modul koristi informacije prikupljene od strane prethodnog modula pri donošenju odluke da li primljeni multicast paket treba poslati svim čvorovima, proslediti susjednom čvoru ili poslati sloju primjene.
- **Modul konstruisanja topologije stabla/mreže:** Ovaj modul se koristi za konstruisanje topologije za multicast rutiranje. Npr., ovaj modul inicira "plavljenje" mreže porukom za pridruživanje multicast grupi nakon prijema zahtjeva od sloja primjene.
- **Modul održavanja sesije:** Nakon prijema informacije od nižeg sloja o prekidu linka, ovaj modul inicira postupak obnavljanja putanje. Za to koristi informacije iz tabele za unicast i multicast rutiranje.
- **Modul održavanja tabela putanja:** Ovaj modul skuplja podatke iz zaglavlja primljenih paketa, čime se u izvjesnoj mjeri redukuje intenzitet kontrolnog saobraćaja prilikom faze inicijalizacije pridruživanja multicast grupi. Često ovako formirane tabele putanja su nedovoljno ažurirane, a time i nepouzdanе, te ovaj modul nije obavezan prilikom projektovanja protokola za multikast rutiranje.

**Sloj primjene:** Ovaj sloj koristi usluge sloja rutiranja da bi ispunio zahtjeve konkretnih aplikacija u pogledu multikastinga. U osnovi, on se sastoji iz dva modula:

- Kontrolor slanja/prijema paketa podataka
- Terminatori/inicijator multikast sesije

Svi gore opisani moduli i veze među njima su predstavljeni na Slici 1



Slika 1: Arhitektura multikast protokola za mobilne ad hoc mreže

Interakcije između ovih modula možemo posmatrati tokom trajanje jedne multikast sesije:

**Pridruživanje grupi:** Modul 10 (sloj primjene) upućuje zahtjev za pridruživanje grupi ka modulu 5 (sloj rutiranja). Ovaj modul koristi prikupljene informacije od modula 4 i informacije o unicast putanjama modula 9, pa inicira "plavljenje" (flooding) mreže ili šalje pakete sa zahtjevom za pridruživanje (JoinRequest Packet) preko prenosnog modula (2) u MAC sloju. Prijemni modul (3) nekog drugog čvora prenosi ove pakete do svoga modula prosljeđivanja (8), koji ažurira multikast tabele rutiranja i prenosi ovu poruku dalje. Tokom faze slanja paketa sa povratnom informacijom o mogućim putanjama (Replay Packet), tranzitni čvorovi u svojim tabelama za multikast rutiranje unose nove stavke za prosljeđivanje.

**Prostiranje paketa podataka:** Modul 11 (aplikacioni sloj) upravlja paketima podataka i šalje ih modulu prosljeđivanja (8), koji na osnovu informacija iz modula 7, donosi odluku o daljoj putanji paketa.

**Oporavak pitanje:** Nakon što modul 1 pošalje informaciju o prekidu linka, modul 6 inicira postupak oporavka putanje, koristeći informacije iz tabela unicast i multikast rutiranja.

Iz Tabele 1 vidimo pregled angažovanosti modula u različitim tipovima čvorova u mobilnoj ad hoc mreži.

Tabela 1: Aktivni moduli u različitim čvorovima

Vrsta čvora	Aktivan modul
Izvorni/prijemni	Svi moduli
Tranzitni	Svi moduli MAC sloja i sloja rutiranja
Ostali č.u mreži	Moduli 2,3,8 i opcionalno modul 4

### 3. KLASIFIKACIJA I ANALIZA MULTICAST PROTOKOLA ZA RUTIRANJE U AD HOC MREŽAMA

Generalno multicast protokoli za rutiranje se mogu podijeliti u tri grupe u zavisnosti od primjenjene:

- a) Multicast topologije
- b) Mehanizma inicijalizacije multikast sesije
- c) Mehanizma održavanja topologije

U zavisnosti od primjenjene **multicast topologije**, može se izvršiti dalja podjela na: multikast protokole za rutiranje zasnovane na topologiji stabla (tree-based multikast routing protocols) i multikast protokole za rutiranje zasnovane na topologiji mreže (mesh-based multikast routing protocols).

Kod prve grupe protokola između izvornog i prijemnog čvora/čvorova postoji samo jedna putanja, čime se postiže efikasnije iskorišćenje raspoloživog propusnog opsega. Kod druge grupe protokola između izvornog i odredišnog čvora postoje i alternativne putanje, tako da ad hoc mreže koje koriste ove protokole za multikast rutiranje su otpornije na iznenadne ispađe pojedinih čvorova i prekide linkova.

Osnovna razlika između ove dvije grupe protokola leži u načinu prenošenja multikast poruke. Kod multikast protokola koji koriste topologiju stabla, svaki tranzitni čvor na stablu ima precizno definisanu listu sledećih skokova za određenu multikast sesiju. To znači da on šalje kopiju primljene poruke samo sledećem susjedu iz svoj liste. S druge strane, kod multikast protokola koji koriste topologiju mreže, svaki čvor na mreži po prijemu poruke će da je prosljedi svim ostalim čvorovima. Iako ova transmisiona redundantnost dovodi do nepotrebnog povećanja saobraćaja u mreži, često je korisna zbog dinamične topologije mreže i vremenski promjenljivih karakteristika linka. Kompromis između ova dva oprečna zahtjeva nađen je u MCDAR protokolu, koji je objašnjen u nastavku rada.

Dalja podjela multikast protokola za rutiranje, zasnovanih na topologiji stabla, razlikuje protokole kod kojih putanja za prosljeđivanje podataka započinje u izvoru multikast sesije (source-tree-based) i protokole kod kojih višestruke sesije paralelno dijele zajedničko stablo pri prenosu podataka.

U zavisnosti od primjenjenog **mehanizma inicijalizacije multikast sesije**, protokoli se mogu podijeliti na one kod kojih je formiranje multikast grupe inicirano samo od strane izvornog čvora (source-initiated multikast routing protocols) i protokole kod kojih je stvaranje multikast grupe inicirano od strane prijemnih čvorova (receiver-initiated multikast routing protocols).

U zavisnosti od primjenjenog **mehanizma održavanja topologije**, multikast protokoli se mogu podijeliti na one koji koriste tzv. "soft state" pristup i one koji koriste tzv. "hard state" pristup. Kod "soft state" pristupa kontrolni paketi periodično "plave" mrežu da bi osvježili putanje. Na ovaj način povećava se broj pravilno isporučenih paketa na određenoj, uz povećanje paketa sa kontrolnim porukama u mreži. Kod "hard state" pristupa kontrolni paketi se šalju samo u slučaju prekida linka, što ima za posledicu manji intenzitet kontrolnog saobraćaja i manji broj pravilno isporučenih paketa.

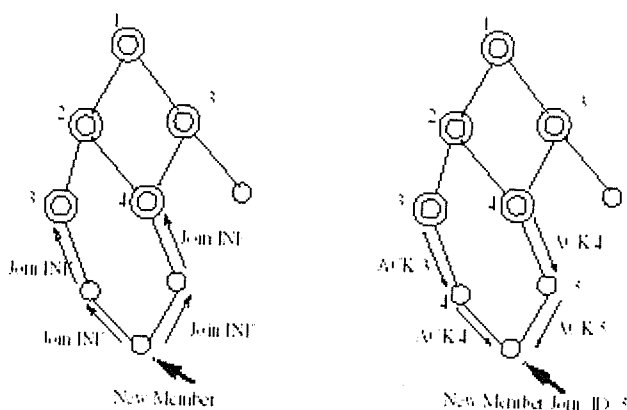
### 3.1. MULTICAST PROTOKOLI ZA RUTIRANJE ZASNOVANI NA TOPOLOGIJI STABLA

U ovu grupu protokola spadaju sledeći protokoli: Bandwidth-Efficient Multicast Routing Protocol (BEMRP), Multicast Core-Extraction Distributed Ad Hoc Routing (MCEDAR), Differential Destination Multicast Routing Protocol (DDM), Preferred Link Based Multicast Protocol (PLBM), Multicast Ad Hoc On-Demand Distance Vector Routing Protocol (MAODV), Ad Hoc Multicast Routing Protocol Utilizing Increasing ID-Numbers (AMRIS) i Ad Hoc Multicast Routing Protocol (AMRoute)

**Multicast Core-Extraction Distributed Ad Hoc Routing:** Multicast rutiranje sa osloncem na okosnicu mreže (backbone-based multicast) koristi tehniku hijerarhijskog rutiranja. Ovdje je multicast rutiranje podjeljno na dva nivoa: rutiranje u okviru okosnice mreže i rutiranje od čvora koji formira okosnicu mreže do njemu pridruženih krajnjih čvorova. Čvorovi jezgra mreže i putanje kojima su povezani formiraju virtuelnu okosnicu mreže, koja podržava i unicast i multicast rutiranje. Za formiranje ove okosnice u MCEDAR protokolu se koristi *minimum dominating set* (MDS) algoritam i kao rezultat imamo mrežu u kojoj je svaki čvor udaljen jedan skok od nekog od čvorova jezgra mreže. Čvor jezgra mreže i skup njemu pridruženih krajnjih čvorova (dominated node set) formiraju grupu ili grozd (cluster). [3]

U okviru virtuelne okosnice, od čvorova jezgra mreže, formira se takozvana *mgraph* struktura za multicast rutiranje. Na ovaj način broj čvorova uključenih u multicast rutiranje je značajno smanjene. Svako *mgraph* strukturi je pridružen faktor otpornosti R.

Dio procedure pridruživanja novih čvorova (prijemnika) u MCEDAR protokolu je prikazan na Slici 2.



Slika 2: Pridruživanje u MCEDAR protokolu

Kada novi čvor (prijemnik) želi da se pridruži multicast grupi, on se obraća svome nadređenom čvoru (dominator), koji inicira proceduru pridruživanja. Inače, svakom članu *mgraph* strukture je dodjeljena vrijednost nazvana *JoinID*, kojoj je zadana početna vrijednost beskonačno i koja se ažurira tokom konstruisanja *mgraph* strukture. *JoinID* je polje u okviru *JoinRequest* paketa, koje se koristi za sprečavanje pojave petlji u mreži. Naime, po prijemu *JoinRequest* paketa, čvor u jezgru mreže odgovara sa *JoinAck* paketom ukoliko je njegova vrijednost *JoinID* manja od vrijednost u polju *JoinID* primljenog paketa.

Kada tranzitni čvorovi na povratnoj putanji prime *JoinAck* paket, u zavisnosti od faktora otpornosti R, donose odluku o njegovom prosljeđivanju. Ako je broj primljenih *JoinAck* paketa, npr. 3, veći od faktora otpornosti R *mgraph* strukture, npr. 2, tranzitni čvor odbacuje jedan paket, a prosljeđuje dva. Prije nego što prosljeđi *JoinAck* paket, tranzitni čvor ažurira svoju vrijednost *JoinID-a*, ukoliko je njegova. U obrnutom slučaju, on ažurira *JoinID* polje *JoinAck* paketa. Kao što vidimo, iako je primjenjena mrežna multicast struktura (*mgraph*) struktura, prosljeđivanje paketa podataka vrši se samo na stablu formiranom od strane izvora primjenom tzv. "core broadcast" mehanizma.

Implimentacija MCEDAR protokola je znatno kompleksnija nego implementacija drugih multicast protokola za rutiranje u ad hoc mrežama. U uslovima pojačane mobinosti, krajnji čvorovi moraju često uspostavljati nove putanje do novih čvorova u jezgru mreže, što povećava intenzitet kontrolnog saobraćaja na uštrb prenosa paketa podataka.

S druge strane, zbog bazne mrežne strukture, ovaj protokol je znatno otporniji na ispađe pojedinih čvorova iz mreže i prekide linkova nego drugi multikast protokoli za rutiranje zasnovani na topologiji stabla. Takođe, princip izvornog rutiranja preko mrežne strukture mu omogućava efikasnije prosljeđivanje paketa podataka nego ostalim protokolima iz njegove klase.

### 3.2. MULTICAST PROTOKOLI ZA RUTIRANJE ZASNOVANI NA TOPOLOGIJI MREŽE

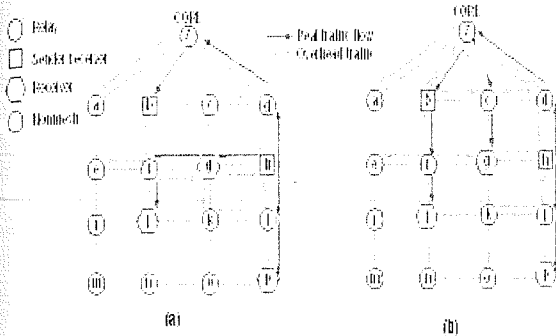
U ovu grupu protokola spadaju sledeći protokoli: On Demand Multicast Routing Protocol (ODMRP), Core-Assisted Mesh Protocol (CAMP), Dynamic Core-Based Multicast Routing Protocol (DCMP), Forwarding Group Multicast Protocol (FGMP) i Neighbor Supporting Ad Hoc Multicast Routing Protocol (NSMP).

**Core-Assisted Mesh Protocol:** Poznato je da protokoli za multikast rutiranje zasnovani na topologiji mreže podržavaju dostavljanje većeg broja paketa podataka u odnosu na multikast protokole koji koriste topologiju stabla, zbog postojanja višestrukih putanja između izvora i odredišta. Međutim, neki od ovih protokola, kao što su ODMRP i FGMP, koriste princip "plavljenja" mreže kontrolnim porukama pri uspostavljanju i održavanju putanja. Ovo dovodi do redukovanja raspoloživog propusnog opsega za prenos paketa podataka. Kao kompromis između ova dva zahtjeva, primjenjuje se CAMP protokol koji koristi čvorove jezgra mreže. [4]

Kod CAMP protokola zahtjev za uspostavljanje veze dolazi od strane prijemnog čvora (receiver-initiated). Prilikom pridruživanja multicast grupi, prijemni čvor prvo provjerava da li je neki od susjednih čvorova član grupe. Ukoliko pronađe takav čvor, on jednostavno ažurira svoju tabelu multicast rutiranja (MRT) i korištenjem standardnih multicast procedura za ažuriranje oglašava svoje članstvo u grupi.

Ukoliko ne pronađe takav čvor, prvo pretražuje tabelu povezanih adresa čvorova jezgra mreže i ostalih čvorova u mreži (CAM - core-to-group address mapping table), koja sadrži identifikacione brojeve (ID) čvorova jezgra mreže. Nakon što pronađe željeni ID čvora jezgra mreže, upućuje *JoinReq* kontrolni paket kao unicast poruku. Tranzitni

čvorovi primjenom protokola za unicast rutiranje prosljeđuju ovaj paket do traženog čvora jezgra mreže, koji istom putanjom šalje paket potvrde pridruživanja *JoinAck*. Zahvaljujući podršci unicast protokola za rutiranje, ovakva mrežna struktura se sastoji od najkraćih putanja između svih prijemnih čvorova do izvora. Na Slici 3 je prikazano kako se paketi podataka prosljeđuju od čvora *h* do ostalih članova grupe primjenom CAMP protokola (3a) i protokola zasnovanog na topologiji zajedničkog stabla (3b)



Slika 3: Tok saobraćaja od h: (a) U CAMP mreži, (b) U ekvivalentnoj STB topologiji

Kao što vidimo CAMP protokol koristi čvorove jezgra mreže samo da ograniči intenzitet kontrolnog saobraćaja potrebnog za konstruisanje multicast mreže. Za razliku od protokola zasnovanog na topologiji zajedničkog stabla (STB), CAMP protokol ne zahtjeva da kompletan tok saobraćaja mora ići preko čvora jezgra mreže.

Glavna prednost CAMP protokola je u tome što ne primjenjujući princip "plavljenja" mreže kontrolnim paketima, smanjuje kontrolni saobraćaj u mreži, uz istovremeno relativno veliki broj pravilno ispručenih paketa podataka.

Loša strana ovog protokola je što ispadom čvorova jezgra mreže se gubi značajan broj paketa. Takođe, kontrolni saobraćaj u značajnoj mjeri zavisi od unicast protokola za rutiranje, koji u slučaju ispada pojedinih čvorova-rutera ne funkcionišu pravilno.

**On-Demand Multicast Routing Protocol:** Ovaj protokol unapređuje koncept mrežne topologije primjenom koncepta grupe za prosljeđivanje. Grupa za prosljeđivanje je set čvorova koji su odgovorni za prenošenje multicast podataka po najkraćoj putanji između bili kojih parova u mreži. [3]

U ODMRP protokolu, svaki čvor se pridružuje grupi i formira svoju multicast mrežu na zahtjev. Plavljenjem mreže *JoinQuery* paketom, izvorni čvor istovremeno započinje konstruisanje mreže prosljeđivanja za svoju multicast grupu i prikuplja informacije o članovima grupe. Kada izvorni čvor treba da šalje pakete podataka, a nema putanju do odredišta, on inicira slanje *JoinQuery* paketa. Na Slici 4. je prikazan format *JoinQuery* paketa.

Izvor zadaje polju "Type" vrijednost 01, što znači da se radi o paketu tipa *JoinQuery*. Polje "Hop Count" je inicijalno podešeno na vrijednost 0. Vrijednost polja "Time to Live" treba biti podešena u skladu sa pokrivanjem i veličinom mreže. Vrijednost u polju "Sequence Number" mora biti dovoljno velika da bi se izbjegle petlje u mreži. Kada čvor primi *JoinQuery* paket, procedura je sledeća:

1. Provjerava da li je paket već primljen poređenjem polja "Sequence Number" i "Source IP Address" sa informacijama iz svoje tabele poruka. Ako je već primljen, odbacuje ga.
2. Ako paket nije već primljen, unosi stavku u svoju tabelu poruka sa "Sequence Number" i "Source IP Address" informacijama i ubacuje novu stavku u svoju tabelu rutiranja.
3. Ukoliko je ovaj čvor član multicast grupe, inicira slanje *JoinReply* paketa
4. Povećava vrijednost u "Hop Count" polju za jedan i smanjuje vrijednost u TTL polju za jedan.
5. Ukoliko čvor koji je primio paket nije član grupe i ako je vrijednost u TTL polju veća od nula, on unosi svoju IP adresu u polje "Previous Hop IP Address" i šalje ga dalje.

Type	Reserved	Time To Live	Hop Count
Multicast Group Address			
Sequence Number			
Source IP Address			
Previous Hop IP Address			

Slika 4: Format *JoinQuery* paketa

Type	Count	IP	Reserved
Multicast Group Address			
Previous Hop IP Address			
Sequence Number			
Sender IP Address [1]			
Next Hop IP Address [1]			
...			
Sender IP Address [n]			
Next Hop IP Address [n]			

Slika 5: Format *JoinReply* paketa

Kada tranzitni čvor primi *JoinReply* paket postupak je sledeći:

1. Pregleda "Next Hop IP Address" polje primljenog paketa, i ako ni jedna od ovih IP adresa nije njegova, ne preduzima ništa
2. Ukoliko se jedna ili više IP adresa iz ovog polja poklapa sa njegovom adresom, postavlja FG\_FLAG i kreira svoj *JoinReply* paket.
3. Odašilje paket svim susjednim čvorovima.

#### 4. BUDUĆA ISTRAŽIVANJA

Prethodna analiza pokazuje da ni jedan od pomenutih algoritama rutiranja poruka u ad hoc mrežama, ne obezbeđuje ispunjenje dva vrlo važna zahtjeva, koje ad hoc mreže treba da zadovolje. Ti zahtjevi se odnose na:

- Funkcionalnu otpornost ad hoc mreža (Network Survivability),
- Kvalitet usluga ad hoc mreža (Quality of Service - QoS).

Funkcionalna otpornost je jedna od najvažnijih karakteristika ad hoc mreža, koje mogu biti izložene elektronskom ometanju, fizičkoj destrukciji, prirodnim smetnjama, otkazima komunikacione opreme itd. Funkcionalna otpornost se definiše kao sposobnost mreže da održi prihvatljivi nivo kvaliteta usluga u slučaju otkaza segmenata mreže, ili dijela komunikacione opreme (linkovi, mrežni čvorovi).

Prema definicijama ITU-T i ETSI, QoS se definiše kao skup karakteristika usluge koje određuju stepen zadovoljstva korisnika ponuđenom uslugom. Mrežni parametri telekomunikacione mreže se direktno preslikavaju na parametre kvaliteta usluga. To znači da QoS parametri ad hoc mreže direktno zavise od mrežnih parametara u trenutku kada se koristi neka telekomunikaciona usluga.

Problemi obezbeđenja QoS-a ad hoc mreža mogu se rješavati primjenom multipoint uređaja umjesto multicast rutera, koji unose kašnjenje u prenosu. Primjenom multipoint uređaja, ad hoc mreža bi se mogla koristiti kao telekomunikaciona platforma, odnosno kao transmisioni medijum za prenos u realnom vremenu: govora, štampanog i pisanog teksta, podataka, grafičkih dokumenata i video slike.

Autori ovog rada su se opredelili da u rješavanju pomenutih problema koriste softverske alate i različite tipove mrežnih simulatora, koji se inače koriste prilikom simulacionih analiza telekomunikacionih mreža

## 5. ZAKLJUČAK

Problemi sa kojim se susreću protokoli za multicast rutiranje u mobilnim ad hoc računarskim mrežama zbog stalnih promjena u topologiji mreže i ograničenog propusnog opsega su daleko kompleksniji od problema multicast protokola u žičnim mrežama. Nakon definisanja neophodnih elemenata u dizajniranju jednog multicast protokola, u radu je data klasifikacija osnovnih protokola sa detaljnom analizom postupaka pridruživanja multicast grupi i prenošenja podataka unutar iste za karakteristične predstavnike pojedinih grupa multicast protokola.

Kao polazna osnova u odabiru multicast protokola za datu mobilnu ad hoc računarsku mrežu analizirana je veličina multicast grupe i sa tog stanovišta predložena su dva pristupa. Kako je u ovakvom mobilnom okruženju svaki tranzitni čvor moguć razlog prekida putanje, uključivanjem većeg broja

čvorova u multicast infrastrukturu se postiže bolja povezanost između članova grupe i veća je mogućnost izbora alternativne putanje. Drugim riječima, za svaki pojedinačni prekid linka nije potrebno inicirati procedure za oporavak putanje, a i redundantnost u prenosu može neutralizovati uticaj nepouzdanih bežičnih linkova. ODMRP protokol i koncept grupe za prosljeđivanje kod CAMP protokola su neki od primjera primjene ovog pristupa.

Drugi pristup polazi od pretpostavke da smanjenjem broja čvorova, koji su uključeni u proces uspostavljanja i održavanja putanja, se postiže značajna ušteda u pogledu raspoloživih resursa. Praktično ovakav pristup se realizuje kreiranjem virtuelne okosnice u jezgru mreže, gdje samo čvorovi jezgra mreže učestvuju u konstruisanju multicast putanja. Primjer ovakvog pristupa nalazimo u MCDAR protokolu gdje je stablo za prosljeđivanje podataka izdvojeno na vrhu mrežne topologije ad hoc mreže.

Težište daljeg rada treba biti na iznalaženju tehnika multicast rutiranja koje podržavaju QoS i rad u realnom vremenu.

## LITERATURA

- [1] Mohammad Illyas, *Handbook on Ad Hoc Networks*, CRS Press, 2003.
- [2] C.Siva Ram Murthy i B.S.Manoj, *Ad Hoc Wireless Networks: Architectures and Protocols*, Prentice Hall Comunicatios, 2004.
- [3] P. Mohapatra, Jian Li i Chao Gui "Multicasting in Ad Hoc Networks" Special Issues on Wireless Ad-Hoc Networks, IEEE JSAC, Aug.1999

**Abstract** - *This paper examines the problem of multicast routing protocols for mobile ad-hoc networks. The analysis of some of them in terms of performing reliable multicast routing function has been given.*

## ANALYSIS OF MULTICAST ROUTING PROTOCOLS FOR MOBILE AD HOC COMPUTER NETWORKS.

Milojko Jevtović, Mikica Mitrović



## PREGLED JEZIKA ZA SPECIFIKACIJU KVALITETA USLUGA U TELEKOMUNIKACIONIM MREŽAMA

Gordana Gardašević, *Elektrotehnički fakultet, Banja Luka*

**Sadržaj** – U radu je dat pregled jezika za specifikaciju QoS zahtjeva u telekomunikacionim mrežama. Analizirani su jezici korisničkog i aplikacionog sloja i dati su primjeri njihove realizacije.

### 1. UVOD

Razvoj i uvođenje multimedijalnih aplikacija u savremene telekomunikacione mreže uticao je uslozňjavanje arhitekture i modela protokola za opis kvaliteta usluga QoS (Quality of Service). Posljednjih godina je poseban značaj posvećen prenosu multimedijalnih informacija baziranom na Internet protokolu (IP - Internet Protocol). Standardni transportni protokoli kao što su TCP (Transmission Control Protocol) i UDP (User Datagram Protocol) ne obezbjeđuju adekvatnu podršku QoS-u multimedijalnih aplikacija. Problem predstavlja i tradicionalno tzv. "best effort" mrežno okruženje, kao i sadašnja struktura IP protokola koja još uvijek nema sve potrebne elemente za integrisanje QoS zahtjeva. Pomenuta ograničenja, kao i potreba za podrškom novim aplikacijama, pokrenula je niz istraživačkih aktivnosti u oblasti generisanja univerzalnog jezika za opis QoS specifikacija.

Prenos multimedijalnih poruka zahtjeva obezbjeđivanje značajnih resursa u smislu potrebnog memorijskog kapaciteta i propusnog opsega, pa je neophodno odgovarajuće upravljanje resursima na različitim slojevima komunikacionih protokola. Ovo upravljanje, pored osnovnih funkcija kao što su kontrola pristupa, rezervacija resursa, adaptacija i dr., mora omogućiti definisanje zahtjeva za realizaciju QoS-a "od kraja do kraja", te QoS skaliranje i adaptaciju. Složenost obezbjeđivanja QoS-a ogleda se i u specifičnostima svake pojedine aplikacije, karakteristikama performansi, problemima pouzdanosti, sigurnosti i adaptivnosti.

U opštem slučaju, QoS specifikacije treba da omoguće:

- ❖ Opis *kvantitativnih* QoS parametara (kašnjenje, džiter, širina propusnog opsega i dr.) i *kvalitativnih* QoS parametara (CPU karakteristike, mehanizmi zaštite od grešaka i dr.);
- ❖ *Deklarativni* opis u smislu da se jasno definišu zahtjevi, ali ne i način njihove realizacije;
- ❖ *Dinamičko mapiranje* (preslikavanje) aplikacionih QoS zahtjeva na transportne, mrežne i sistemske QoS zahtjeve (parametre).

U cilju postizanja optimalnog mapiranja, QoS zahtjevi se moraju u potpunosti specificirati primjenom jedinstvene opisne strukture. Na korisničkom nivou, QoS specifikacije se opisuju primjenom subjektivnih parametara koji odgovaraju percepciji krajnjeg korisnika i koji predstavljaju opisne karakteristike kvaliteta pridružene određenom medijumu (kao

npr. odličan, dobar, zadovoljavajući, loš, neprihvatljiv i dr.). QoS specifikacije na nivou aplikacije moraju sadržavati zahtjeve pojedinih medija u prenosu, koji bi trebali biti orjentisani ka komunikacionim uslugama (karakteristike kodeka, struktura ADU – Application Data Unit i sl.). Na transportnom i mrežnom nivou QoS se definiše primjenom parametara kao što su kašnjenje, pouzdanost, propusni opseg, cijena i dr.

Uzimajući u obzir heterogenost multimedijalnih aplikacija, korisničkih zahtjeva, karakteristika mreže, operativnog sistema (OS), uređaja, kao i dinamike korišćenja resursa, neophodno je na odgovarajući način obraditi QoS zahtjeve i usvojiti kriterijume za klasifikaciju i valorizaciju jezika za QoS specifikaciju.

U nastavku je dat pregled jezika za QoS specifikaciju, koji se međusobno razlikuju prema sloju na kojem su implementirani [1,2,3,4].

### 2. KLASIFIKACIJA QoS SPECIFIKACIJA

Jedna od osnovnih podjela s obzirom na QoS specifikacije je podjela na korisnički, aplikacioni i sistemski (mreža i operativni sistem) sloj.

❖ *Korisnički sloj*: Pri inicijalizaciji multimedijalne aplikacije, npr. videa na zahtjev, korisnik bi trebao definisati kvalitet koji očekuje od aktivne aplikacije, što predstavlja tzv. *QoS specifikaciju korisničkog sloja*.

❖ *Aplikacioni sloj*: Sljedeći korak je translacija korisničkih zahtjeva u konkretne QoS parametre koji predstavljaju *QoS specifikaciju aplikacionog sloja*. Ovo mapiranje između korisničkih i aplikacionih zahtjeva ne obuhvata podatke o OS i uslovima u mreži.

❖ *Sistemska sloj*: Da bi se aplikacija mogla izvršiti na određenoj OS platformi i mreži određenih karakteristika, moraju se dodatno analizirati QoS parametri aplikacionog sloja. To znači da se moraju implementirati u formi parametara koji detaljnije opisuju sistemske resurse (propusni opseg, memorijski kapaciteti, i dr.), tj. kao *QoS specifikacije sistemskog sloja*.

Tabela 1. QoS zahtjevi za korisnički, aplikacioni i sistemski sloj

QoS sloj	QoS zahtjevi
korisnički	percepcijski kvalitet medija (odličan, dobar, prihvatljiv, loš) veličina prozora – GUI (veliki, srednji, mali) model tarifiranja (flat rate, po prenešenom bajtu) opseg cijena (visok, srednji, mali)
aplikacioni	kvantitativni parametri (brzina prenosa rama, audio/video rezolucija) kvalitativni parametri (šeme sinhronizacije) adaptaciona pravila
sistemska	kvantitativni parametri (efektivni protok, kašnjenje, džiter, tajming) kvalitativni parametri (OS resursi, rezervacija, mehanizmi detekcije i korekcije grešaka) adaptaciona pravila

U nastavku su dati primjeri QoS jezika za specifikaciju korisničkog i aplikacionog sloja.

### 3. KORISNIČKI SLOJ

Specifikacije korisničkog sloja moraju ispuniti dva osnovna uslova:

- ❖ opis kvaliteta određenog medijuma preko percepcijskih QoS parametara, uključujući i pridružene specifikacije kao npr. vrijeme odziva, sigurnost i dr.;

- ❖ uspostavljanje cijena za pojedine vrste usluga u skladu sa nivoom željenih performansi i kvaliteta.

Primjeri opisnih alata za definisanje korisničkih zahtjeva su *INDEX* (INternet DEMand EXperiment) QoS arhitektura i *QoSStalk* model.

*INDEX* je baziran na primjeni inteligentnog *agenta* koji prikuplja korisničke informacije u formi QoS zahtjeva i cijene, a zatim ih mapira u odgovarajući QoS Internet usluga kako bi se optimizovao odnos cijena-kvalitet performanse. Ova arhitektura koristi GUI interfejs za prijem informacija i prikazivanje izlaznih rezultata analize.

*QoSStalk* model koristi hijerarhijsko predstavljanje komponenti određene aplikacije, pri čemu se svakoj komponenti dodjeljuje labela u vidu QoS opisa aplikacije. U odgovarajućem izvještaju (template) generišu se parametri kvaliteta multimedijalne aplikacije.

### 4. APLIKACIONI SLOJ

U opštem slučaju razlikuju se dva pristupa u generisanju QoS aplikacionih zahtjeva:

- ❖ zahtjevi orjenisani prema karakteristikama *performansi* i
- ❖ zahtjevi orjentisani prema karakteristikama *sistema*.

Prva grupa se opisuje *kvantitativnim* QoS parametrima (brzina prenosa ramova, rezolucija, sinhronizacija, nivo sigurnosti). Drugu grupu karakterišu *kvalitativni* parametri koji opisuju ponašanje sistema/mreže u slučaju grešaka, preopterećenja i sl. U nastavku su klasifikovani QoS jezici prema svojoj strukturi i karakteristikama

#### Script-jezici

Ova grupa jezika je pogodna za opis zahtjeva na visokom nivou zbog svoje abstrakcije. Jedno od rješenja obezbjeđuje podršku QoS-u tako što se ugrađuje u Windows NT aplikacije bez modifikovanja aplikacija i operativnog sistema. U Winsock protokol stek se dodaje tzv. *protokol-agent* koji prevodi aplikacione zahtjeve u mrežne parametre. Agent potom pokreće QoS skript izražen u *SafeTcl* jeziku (proširenje Tcl jezika sa aspekta sigurnosti) sa ciljem obilježavanja paketa prema odgovarajućim prioritetima. U primjeru na sl.1 viši prioritet (sadržan u polju TOS – Type of Service) dodijeljen je konekciji koju inicira NetMeeting aplikacija.

```
# Sample 1: Give NetMeeting better network service
```

```
...
proc Socket {pid uid cmd family type protocol fd} {
    if {[string compare $cmd $NetMeetingStr] == 0} {
        if {$family == $AF_INET && $stype == $SockType}
            {return "TOS 48"}
        }
    else {return "TOS 16"}
    }
}
```

Sl.1. Primjer QoS skripta u SafeTcl jeziku [1]

Skript-jezik ima najveću primjenu u DiffServ (Differentiated Service) QoS aplikacijama.

#### Parametarski orjentisani jezici

Ova grupa jezika za opis aplikacionih zahtjeva našla je široku primjenu jer omogućava definisanje strukture podataka u standardnim jezicima (npr. C jeziku). Ovakav pristup je utemeljen na postojanju arhitekture za QoS upravljanje, kao što je npr. *QoS-A* arhitektura. Ovaj model obezbjeđuje podršku QoS zahtjevima krajnjih sistema, ali i mreže u cjelini.

Specifikacija QoS parametara treba da definiše ugovor o obezbjeđivanju usluge koji uključuje: specifikaciju saobraćajnog toka, QoS adaptaciju, QoS održavanje, način rezervacije i cijenu.

Parametarski orjentisan pristup pruža dobru podršku za razvoj API interfejsa, a omogućava i generisanje ugovora nezavisno od vrste aplikacije.

#### Procesno orjentisani jezici

Procesno orjentisani jezici za QoS specifikacije omogućavaju procesima pridruživanje QoS zahtjeva razmjenom poruka ili preko komunikacionih portova. Primjer jezika iz ove grupe je *QuAL* (Quality-of-Service Assurance Language). Forma jezika omogućava definisanje i razmjenu QoS zahtjeva, kontrolu prenosa i monitoring. Koriste se dvije vrste metrika: za opis aplikacije i za opis resursa. Na sloju aplikacije od značaja su metrike kao npr. *brzina prenosa rama* i *sinhronizacija*. *QuAL* kontroliše ove metrike preko poziva funkcija; npr. aplikacija poziva komandu *qual\_monitor* ako je potrebno da se nadzire kašnjenje dolaznog video-rama da određenom portu. Pored toga koriste se i filtri (*low\_quality*, *med\_quality* i *high\_quality*) radi kontrole kvaliteta prenosa.

#### XML orjentisani jezici

Jedan od najčešće korištenih "markup" baziranih jezika je *XML* (Extensible Markup Language). Ovaj jezik koristi mehanizme za identifikaciju strukture dokumenta.

*HQML* (Hierarchical QoS Markup Language) je XML-bazirani jezik za opis QoS-a multimedijalnih aplikacija. Na sl.2 predstavljen je primjer *HQML* specifikacije, čiji je ID označen sa 1.

Tag-ovi kao `<ServerCluster>`, `<ClientCluster>` i `<LinkList>` definišu QoS zahtjeve servera, gateway-a, klijent-mašina i karakteristika prenosnih linkova (npr. fiksni ili mobilni). HQML omogućava specifikaciju adaptacionih pravila između para tag-ova `<ReconfigRuleList>` i `</ReconfigRuleList>`. U primjeru se koristi adaptaciono pravilo "ako je propusni opseg vrlo mali, onda se izvršavanje aplikacije treba prenijeti na specifikaciju čiji je id 2". Dobra osobina HQML je mogućnost unošenja novih QoS parametara.

```

<AppConfig id = "1">
  <ServerCluster>
    ...
  </ServerCluster>
  <ClientCluster>
    <Client type = "required">
      <Hardware> Pentium PC 500 </Hardware>
      <Software> Windows XP </Software>
      ...
    </Client>
  </ClientCluster>
  ... <LinkList>
    <Link type = "FixedLink">
      <Start > Server </Start >
      <End > Client </End >
      ...
    </LinkList>
  <ReconfigRuleList>
    <ReconfigRule>
      <Condition type = "Bandwidth"> very low </Condition>
      <ReconfigAction type = "switch to"> 2 </Reconfig
Action>
    </ReconfigRule>
  </ReconfigRuleList>
</AppConfig >

```

Sl.2. Primjer HQML specifikacije [1]

### Aspektno-orjentisani jezici

Brojni distribuirani sistemi realizovani su sa *CORBA* (Common Object Request Broker Architecture) arhitekturom kao middleware-om koji obezbjeđuje osnovu za objektno-orjentisano programiranje u heterogenim, distribuiranim sistemima. Aspektno-orjentisan pristup tretira QoS zahtjeve kao *aspekte*, tj. osobine koje imaju uticaja na performanse ili semantiku komponenti. Primjer QoS jezika ove vrste je *QuO* model koji podržava QoS na *CORBA* objektnom sloju. U ovom slučaju koristi se *QDL* (QoS Description Language) opisni jezik, sl.3. U primjeru na sl.3 ugovor sa korisnikom se realizuje preko dva operaciona moda: *Low\_Cost* i *Available*. *ClientExpectedReplicas* i *MeasuredNumberReplicas* su sistemski objekti koji ukazuju na očekivani broj replika korisnika i na raspoloživi broj replika, respektivno.

```

contract repl_contract{
  ...
  negotiated regions are
  region Low_Cost : when ClientExpectedReplicas = 1 =>
  reality regions are

```

```

region Low : when MeasuredNumberReplicas < 1 =>
region High : when MeasuredNumberReplicas >= 1 =>
transitions are
transitions High → Low :
ClientCallback.availability_degraded ( ) ;
end transitions ;
end reality regions ;
region Available : when ClientExpectedReplicas >= 2 =>
reality regions are
...
transitions are
...
end transitions;
end reality transitions;
transitions are
transitions Low_Cost → Available :
  ReplMgr.adjust_degree_of_replication {
  ClientExpectedReplicas } ;
  transition Available → Low_Cost :
  ReplMgr.adjust_degree_of_replication {
  ClientExpectedReplicas } ;
end transitions;
end negotiated regions ;
end_repl_contract ;

```

Sl.3. Primjer QDL ugovorne specifikacije [1]

### Objektno-orjentisani jezici

Jezik iz ove grupe - *QML* (QoS Modeling Language) dizajniran je za *CORBA* distribuirane objekte sisteme. Posjeduje tri osnovna mehanizma za QoS specifikaciju: *tip ugovora*, *ugovore* i *profile*. Tip ugovora obuhvata specifikaciju određenog QoS aspekta, ugovori su instance tipa ugovora, a profili pridružuju ugovorima interfejsne i operacije, sl.4. Pouzdanost (*reliability*) i performanse (*performance*) su primjeri dva tipa ugovora sa pridruženim karakteristikama (broj otkaza u godini, raspoloživost sistema i dr.). Ugovor *systemReliability* predstavlja instancu tipa *Reliability*.

```

type Reliability = contract {
  NumberOfFailure: decreasing numeric no/year;
  TTR: decreasing numeric sec;
  Availability: increasing numeric;
};
type Performance = contract {
  delay: decreasing numeric msec;
  throughput: increasing numeric mb/sec;
};
systemReliability = Reliability contract {
  numberOffFailures < 10 no/year;
  TTR {
    Percentile 100 < 2000;
    Mean < 500;
    Variance < 0.3;
  };
  availability > 0.8;
};

```

Sl.4. Primjer dvije QML ugovorne specifikacije [1]

## 5. ZAKLJUČAK

Razvoj i uvođenje multimedijalnih aplikacija u savremene telekomunikacione mreže uticao je usložnjavanje arhitekture i modela protokola za opis kvaliteta usluga QoS (Quality of Service). Uzimajući u obzir heterogenost multimedijalnih aplikacija, korisničkih zahtjeva, karakteristika mreže, operativnog sistema (OS), uređaja, kao i dinamike korišćenja resursa, neophodno je na odgovarajući način obraditi QoS zahtjeve i usvojiti kriterijume za klasifikaciju i valorizaciju jezika za QoS specifikaciju.

## LITERATURA

[1] J. Jin, K. Nahrstedt, "QoS Specification Languages for Distributed Multimedia Applications: A Survey and Taxonomy", IEEE MultiMedia, vol. 11, issue 3, July

[2] T. Klie, F. Strauss, "Integrating SNMP Agents with XML-Based Management Systems", *IEEE Communications Magazine*, pp. 76-83, vol. 42, no. 7, July 2004.

[3] E. Exposito et al., "XQoS: XML-Based QoS Specification Language", 2002., <http://citeseer.ist.psu.edu/682692.html>.

[4] X. Gu et al., "An XML-Based Quality of Service Enabling Language for the Web", *J. Visual Language and Computing*, pp. 61-95, vol. 3, no. 1, Feb 2002.

**Abstract** – *This paper gives the overview of QoS specification languages in telecommunication networks. These languages are well-suited for description of user and application requirements in terms of quality of service.*

## LANGUAGES FOR QoS SPECIFICATIONS IN TELECOMMUNICATION NETWORKS

Gordana Gardašević

## MOGUĆNOSTI ANALIZE KVALITETA USLUGA U KOMUNIKACIJI PREKO POVEZANIH UMTS I IP MREŽA

Vesna Gardašević, Telekom Srpske a.d. SRJ Mobilna Srpske – MOBI'S, Banja Luka

**Sadržaj** – U radu su opisane mogućnosti za obezbjeđivanje kvaliteta usluga - QoS "s kraja na kraj" u komunikaciji preko povezanih UMTS i IP mreža. Analizirani su modeli preslikavanja QoS zahtjeva na primjeru GSS algoritma. Prikazan je pristup simulaciji mreže radi prikupljanja relevantnih parametara o mrežnom saobraćaju.

### 1. UVOD

U oblasti telekomunikacija je u toku posljednje decenije evidentan snažan razvoj Internet tehnologija i različitih arhitektura bežičnih mreža. Ove mreže su nekada bile razdvojene i nezavisne, ali sa uvođenjem mobilnih mreža 2.5G i 3G generacije, kao i "hot spots" bežičnog Interneta zasnovanog na IEEE 802.11 standardima, otpočela je realizacija tzv. konvergentnog modela Interneta [1]. Budući da IP (engl. *Internet Protocol* – IP) već dominira u žičanim mrežnim strukturama, istraživanja su usmjerena na razvoj tzv. "all-IP" mobilnih mreža, koje se ne oslanjaju na IP samo u domenu prenosa paketa, već takođe koriste protokole bazirane na IP radi realizacije fundamentalnih aktivnosti kao što su: mobilnost, kvalitet usluga QoS (engl. *Quality of Service* – QoS), signalizacija za kontrolu medija prenosa i dr.

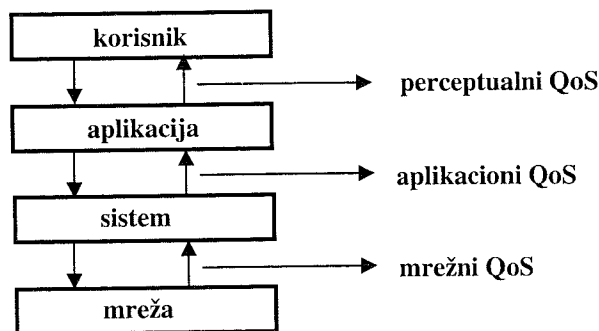
Buduće mreže će se sastojati iz poboljšanog i usavršenog kičmenog dijela (backbone) baziranog na IP koji će efikasno povezivati različite žičane i bežične topologije pristupnih mreža. Obezbeđivanje garantovanog QoS "s kraja na kraj" je od velikog značaja za komercijalni uspjeh budućih bežičnih tehnologija [1]. Čak i ako bi svaki dio planirane putanje "s kraja na kraj" imao vlastite QoS mehanizme, obezbeđivanje QoS-a predstavlja u svakom slučaju složen zadatak. Nedostatak standardizovanih protokola baziranih na IP za uspostavljanje QoS-a "s kraja na kraj", heterogenost QoS modela koji se mogu primijeniti u različitim domenima putanje i dualnost QoS-a koji se treba postići (npr. na sloju 2 i na sloju 3) dodatno otežavaju pronalaženje jedinstvenog rješenja ovog problema. Na osnovu prethodno iznesenog, može se zaključiti da je standardizacija jedini mogući pristup da se osigura QoS "s kraja na kraj" [2].

Tradicionalni modeli integrisanih i diferenciranih usluga, kao i RSVP (engl. *Resource Reservation Protocol* – RSVP) nisu optimalna rješenja za osiguravanje QoS-a u ovakvim bežičnim sistemima. Pravci rješavanja navedenih nedostataka usmjereni su prema proširenju modela integrisanih usluga, tako da oni sadrže dodatne parametre koji karakterišu ili mrežu ili princip na koji mrežni elementi trebaju obrađivati pakete [1].

### 2. MODELI PRESLIKAVANJA QoS-a

Složenost QoS-a ogleda se i u postojanju razlika između zahtjeva koji se odnose na aplikacione i mrežne QoS parametre. Poseban značaj ima veza između tih parametara, odnosno preslikavanje (mapiranje) korisničkih/aplikacionih QoS parametara u mrežne QoS parametre.

Na sl.1. prikazan je model preslikavanja precepcijskih QoS parametara u aplikacione, kao i aplikacionih u mrežne QoS parametre, i obratno. Jedna opšta klasifikacija je prikazana na sl.1, pa se može zaključiti da QoS može biti definisan u odnosu na zahtjeve određenog korisnika (percepcija, aplikacija) ili u odnosu na karakteristike konkretnog sistema (terminal, mreža, prenos). Preslikavanjem se postiže povezivanje odnosno translacija ova dva tipa QoS parametara [3].



Sl.1. – Preslikavanje QoS parametara

U heterogenim bežičnim mrežama potrebno je realizovati sljedeće aktivnosti na kojima se bazira preslikavanje QoS parametara:

- ♦ preslikavanje QoS parametara koji su u direktnoj vezi sa zahtjevima korisnika na QoS parametre bežične mreže,
- ♦ preslikavanje QoS parametara bežične mreže na QoS parametre IP jezgra,
- ♦ preslikavanje QoS parametara koji opisuju različite tipove bežičnih mreža i primjenjenih tehnologija,
- ♦ preslikavanje QoS parametara u okviru 3G mobilnih mreža, na osnovu QoS standarda koji je predložio 3GPP, i
- ♦ preslikavanje QoS parametara na različitim slojevima određene mreže.

Različite vrste bežičnih mreža koriste specifične mehanizme obezbeđivanja QoS-a, a time i različite kriterijume za izbor QoS parametara. Da bi se garantovao QoS u scenariju bežičnog "roaming-a" preko integrisanih mreža, moraju se locirati tzv. agenti inteligentnog softvera u različitim mrežnim elementima. Ovi agenti omogućavaju poređenje i razmjenu funkcionalnih QoS parametara (npr. uspostavljanje prioriteta u saobraćaju, inteligentno planiranje upravljanja mrežom, i sl.) [4].

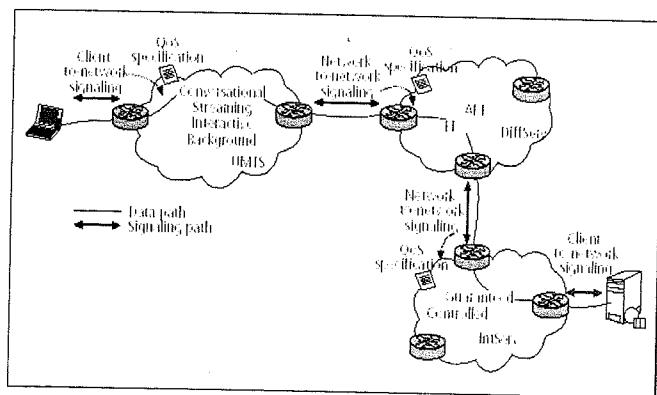
Svaki QoS model definiše vlastite mehanizme i parametre za kontrolu saobraćaja i upravljanje resursima. Uobičajeno je da se QoS model bazira na tzv. oznakama klase. U svakom pojedinom modelu definisan je veliki broj klasa usluga, pa se na osnovu toga obavlja klasifikacija aplikacija sa sličnim QoS zahtjevima.

Da bi se uspostavio QoS "s kraja na kraj", signalizacione poruke koje prenose QoS zahtjeve moraju se interpretirati u svakom pojedinom domenu mreže, u kome odgovarajući modul treba prevesti QoS zahtjeve u konkretan skup QoS parametara. Prethodno pomenute aktivnosti ukazuju na potrebu da se QoS zahtjevi interpretiraju preko univerzalnih opisnih formata.

### 3. OKVIR SPECIFIKACIJE GENERIČKE USLUGE - GSS (GENERIC SERVICE SPECIFICATION)

GSS još jedan korak u pravcu definisanja QoS zahtjeva preko univerzalnih formata. On definiše šemu specifikacije generičke klase usluga koja omogućava mrežnom administratoru da opiše klase usluga određenog domena. Ako pretpostavimo da QoS protokol "s kraja na kraj" prenosi parametre QoS sesije koja se treba uspostaviti, tada se može koristiti algoritam inteligentnog mapiranja na granicama mreže radi preslikavanja zahtjeva sesije na konkretnu klasu usluga. Šema specifikacije generičke klase usluga i algoritam inteligentnog mapiranja čine tzv. GSS okvir.

Osnovni zadatak GSS-a je opis QoS parametara konkretne sesije koja se treba uspostaviti, kao i određenog tipa usluge usvojenog QoS modela u skladu sa njegovom semantikom. Dakle, GSS šema mora definisati sve parametre, kao i njihove vrijednosti i opcije. Parametri opisuju različite karakteristike usluga, dok opcije mogu imati kvalitativne ili kvantitativne vrijednosti. Parametri pokrivaju sve aspekte realizacije željene usluge. Cilj je da se klasa odgovarajuće usluge, koja odgovara profilu opisanom u zahtjevanoj QoS specifikaciji, izabere na adekvatan način. GSS šema definiše QoS specifikaciju koja se sastoji iz sljedećih parametara: maksimalno kašnjenje u prenosu, maksimalna varijacija kašnjenja (džiter), paketski gubici i veličina propusnog opsega i dr. GSS okvir definiše 6 diskretnih vrijednosti koje opisuju relativne performanse klase usluga za svaki pojedini parametar: veoma niska, niska, srednja, visoka, veoma visoka i nespecificirana. GSS šema definiše i saobraćajnu specifikaciju koja se sastoji iz parametara koji su vezani isključivo za saobraćaj, kao što su kontrola pristupa, upravljanje resursima i tarifiranje. Parametri koji se analiziraju u ovom slučaju su bitska brzina, veličina paketa, "naletnost" saobraćaja, adaptivnost, trajanje.



Sl.2. – Primjer uspostavljanja QoS-a "s kraja na kraj" mapiranjem odgovarajućih QoS zahtjeva u različitim domenima mreže [2]

Algoritam mapiranja pretpostavlja da mrežni administrator koristi GSS okvir za definisanje detaljne specifikacije klase usluga njegovog domena. U analizi prenosa "s kraja na kraj", signalizaciona poruka će prenositi QoS zahtjeve sesije koju je potrebno uspostaviti. Algoritam mapiranja predstavlja "ulaz" specifikacije sesije i određene klase usluga, i pronalazi najbolju šemu mapiranja. Izlaz algoritma je izbor usluga klase koja najbolje odgovara. Saobraćajni parametri iz specifikacije sesije se koriste za operacije kao što je kontrola pristupa i upravljanje saobraćajem.

```

- H.264ServiceId=1,Service=Conversational
- QoSSpecification
- modelByUnit=ms,value=100,weight=10,unit=ms,by
- modelByUnit=error,weight=10,unit
- modelByUnit=unspecified,weight=0
- modelByUnit=percent,value=10,weight=10,unit=percent
- constraint=value=unspecified,weight=0
- QoSSpecification
- TrafficSpecification
- packetSizeQualifier=unspecified,weight=0
- packetSizeQualifier=unspecified,weight=0
- minimumPduSizeQualifier=unspecified,weight=0
- minimumPduSizeQualifier=unspecified,weight=0
- packetSize
- bitrateQualifier=unspecified,weight=0,unit=bits,constant
- bitrateQualifier=high,unit=bits,weight=2,unit=bits
- bitrateQualifier=unspecified,weight=0
- bitrateQualifier=high,unit=bits,weight=2,unit=bits
- bitrate
- burstinessValue=veryLow,weight=0
- qosClassValue=unspecified,weight=0
- adaptabilityValue=no,weight=2
- durationValue=unspecified,weight=0
- TrafficSpecification
- H.264ServiceId
  
```

### SL.3. – UMTS konverzaciona klasa opisana preko GSS šeme [2]

Postupak algoritma mapiranja je veoma jednostavan. Svi parametri se međusobno porede i bira se klasa usluga koja je najbliža zahtjevanoj QoS specifikaciji. Svaki QoS parametar je povezan sa odgovarajućom težinskom vrijednošću. U GSS šemi ova vrijednost ukazuje na značaj svakog parametra i postoji 11 opcija za težinu, od 0 (nije relevantan) do 10 (najvažniji). Prema tome, algoritam poredi specifikacije i dodaje ili oduzima težinu svakom parametru u odnosu na ukupnu vrijednost koja se naziva stepen korespondencije. Ako se specifikacije u potpunosti podudaraju, dodaje se najveća težinska vrijednost karakteristici; u suprotnom dodaje se niža vrijednost, tj. manja težina.

Rezultat poređenja može imati pozitivnu ili negativnu vrijednost. Pozitivna vrijednost znači da je mapiranje odgovarajuće za zahtjevanu sesiju, dok negativna vrijednost znači suprotno. Najpouzdanije je izabrati klasu usluge sa najvećom pozitivnom vrijednošću korespondencije, iako se i druge vrijednosti mogu razmatrati. Ako je rezultat algoritma mapiranja negativan stepen korespondencije, tada se algoritam još uvijek može konfigurirati tako da izabere klasu usluge sa najvećim stepenom korespondencije ili najbolju "best effort" uslugu, da bi se izbjeglo odbacivanje već prihvaćenog toka podataka u toj klasi usluga [2].

### 4. MREŽNI SIMULATORI

U mnogobrojnim istraživačkim i razvojnim projektima simulatori imaju veoma važnu ulogu. U opštem slučaju, mrežni simulatori mogu raditi u "offline" ili u "real-time"

radnom režimu. Međutim, ograničene performanse ostaju jedno od osnovnih problema u postojećim implementacijama simulatora u realnom vremenu. Prednost korišćenja mrežnih simulatora je veća ekonomičnost, u odnosu na korišćenje resursa unutar realnih sistema i mreža. Osim ekonomskog faktora, u mnogim slučajevima (npr. u laboratorijskim uslovima rada) svaki posmatrani elemenat mreže može se predstaviti u njegovom vlastitom okruženju za simulaciju, što nije slučaj kada se simulacija realizuje u realnim mrežama. Takođe, mnogo je jednostavnije sakupiti, korelisati i analizirati rezultate simulacije koji su prikupljeni na jednoj mašini [5].

Postoje različite vrste mrežnih simulatora, koji se mogu podijeliti u sljedeće grupe:

- ♦ **Komercijalni alati.** Primjer je Opnet kao jedan od prvih i često korištenih komercijalnih alata, koga je 1987. god. razvila kompanija MIT [6]. Opnet se koristi za npr. simuliranje velikog broja bežičnih čvorova u različitim okruženju, sa dinamičkim aplikacijama i različitim karakteristikama rutera. On omogućava upravljanje složenim mrežnim topologijama, modelovanje protokola i drugih procesa i dr. [7].
- ♦ **Softver otvorenog izvora (Open Source Software).** Primjer je mrežni simulator, ns, verzija 2. Naročito je popularan u akademskim mrežama, jer je besplatan i jednostavan za dodatna prilagođavanja i razvoj.
- ♦ **"In house testbeds".** Postoji veliki broj različitih "testbed" sistema, koji izvršavaju ograničene simulacione zadatke. Ovi simulatori se ne mogu jednostavno modifikovati i zato nisu toliko u upotrebi kao prethodna dva.

## 5. MREŽNI SIMULATOR NS

Mrežni simulator *ns* (engl. *Network Simulator - ns*) je simulator diskretnih događaja koji se primjenjuje u analizama različitih tipova mreža. Prva verzija ovog simulatora iz 1989. godine zvala se Real Network Simulator. Tokom proteklih godina *ns* se intenzivno razvija i modifikuje, pa su na raspolaganju nove verzije. *Ns* obezbeđuje podršku simulaciji TCP (engl. *Transmission Control Protocol - TCP*) protokola, rutiranju, multicast protokolima u prenosu preko žičanih i bežičnih mreža, kao i analizu QoS-a u paketskim mrežama. *Ns* je objektno orjentisan simulator koji je napisan u programskom jeziku C++, sa OTcl interpreterom kao komandnim jezikom. Razlog za to je da nastojanje da se maksimalno iskoriste brzina izvršavanja C++ i fleksibilnost koju obezbeđuje OTcl (što je značajno prilikom konfigurisanja simulacije).

Jedan od modula koji je ugrađen u *ns* je i modul za simulaciju protokola diferenciranih usluga *DiffServ* (engl. *Differentiated Services - DiffServ*) koji tretira paket u zavisnosti od klase usluge, korištenjem sadržaja polja TOS (engl. *Type of Service - TOS*) u IP zaglavlju. Provajder usluge definiše sporazum sa svakim korisnikom, tzv. SLA (engl. *Service Level Agreement - SA*) ili SLS (engl. *Service Level Specification - SLS*), u kojem se između ostalog, definiše veličina saobraćaja dodijeljena korisniku u okviru date klase usluga. Saobraćaj se zatim nadgleda na granicama

mreže. Paketi (podaci) se različito označavaju (diferenciraju) tako da se formiraju različite klase paketa, odnosno različite klase usluga određenih aplikacija. U okviru *DiffServ* protokola definiše se upravljanje baferom, označavanje paketa, SLA, mjerenje, oblikovanje i nadzor saobraćaja i dr.

*DiffServ* modul *ns* mrežnog simulatora podržava četiri klase saobraćaja, pri čemu svaka klasa ima tri kategorije koje omogućavaju različito tretiranje saobraćaja unutar jedne klase. Paketi jedne klase se smještaju u odgovarajući red čekanja (koji sadrži tri virtualna bafera za svaku od kategorija).

Osnovne komponente *DiffServ* modula u *ns* su:

- ♦ **Prioriteti saobraćajnih tokova.** Prioritete utvrđuje administrator mreže u zavisnosti od karakteristika saobraćaja.
- ♦ **Edge ruter.** Funkcija ovog rutera je označavanje paketa u zavisnosti od dodijeljenog prioriteta.
- ♦ **Core ruter.** Ruter u jezgru mreže analizira sadržaj odgovarajućeg polja u paketu i usmjerava ga na odgovarajući link u mreži.

Značajan broj procedura i funkcija već je implementiran u simulatoru preko odgovarajućih klasa, a kao rezultat izvršavanja karakterističnih komandi dobija se izlazni podatak (statistika paketskog prenosa) kao npr. u tabeli 1.

Tabela 1- Primjer rezultata simulacije *DiffServ* modula u *ns* simulatoru

CP	TotPkts	TxPkts	Idrops	edrops
Svi	249 126	249 090	21	15
10	150 305	150 300	0	5
20	98 821	98 790	21	10

CP (Code Point)  
TotPkts (primljeni paketi)  
TxPkts (poslani paketi)  
Idrops (odbačeni paketi usljed preopterećenja)  
Edrops (rano odbačeni paketi)

## 6. ZAKLJUČAK

Nedostatak standardizovanih protokola baziranih na IP za uspostavljanje QoS-a "s kraja na kraj", heterogenost QoS modela koji se mogu primijeniti u različitim domenima putanje i dualnost QoS-a koji se treba postići, dodatno otežavaju pronalaženje jedinstvenog rješenja za analizu QoS-a. Pravci rješavanja navedenih nedostataka usmjereni su prema proširenju modela integrisanih usluga, tako da oni sadrže dodatne parametre koji karakterišu ili mrežu ili princip na koji mrežni elementi trebaju obrađivati pakete. Od značaja za sveobuhvatnu analizu QoS-a u mrežama nove generacije su i mrežni simulatori. U radu je dat primjer implementacije *DiffServ* modula *ns* simulatora.

## LITERATURA

- [1] Andrzej Jajszczyk, "Wireless IP and Building the Mobile Internet", June 2004.  
<http://www.comsoc.org/ci1/Public/2004/jun/cibrev.html>
- [2] Maniatis, S.I.; Nikolouzou, E.G.; Venieris, I.S." End – to– End QoS Specification Issues in the Converged All-IP Wired and Wireless Enviroment ", IEEE Communications Magazine, June 2004.
- [3] M. Jevtović, "Kvalitet usluga telekomunikacionih mreža", Beograd, 2002.
- [4] César A. Mantilla, J. L. Marzo, Department of Electronics, Computer Science and Automatic Control – IiiA, Spain, "QoS Framework for Heterogeneous
- [5] Marko Zec, Miljenko Mikuč, "Real-Time IP Network Simulation at Gigabit Data Rates", Proceedings of the 7th Intl. Conference on Telecommunications (ConTEL), June2003.
- [6] Anders Björsson, "Simulation analysis of RLC/MAC for UMTS in Network Simulator version 2". Examensarbete utfört i Kommunikationssystem, 2003.
- [7] <http://www.opnet.com/products/modeler>

**Abstract** – *This paper examines the main issues and problems relevant for QoS provisioning in communications over connected UMTS and IP-based networks. The review of the GGS framework has been given. Special attention has been given to network simulators.*

### POSSIBILITIES FOR QoS ANALYSIS IN COMMUNICATIONS OVER CONNECTED UMTS AND IP NETWORKS

Vesna Gardašević



---

---

## INDEKS AUTORA

---

---

- Aleksić D., 96  
Anđelković B., 76, 114  
Andrejević M., 99, 132  
Arnautović M., 109  
Bogoslović S., 103, 106  
Božović P., 48  
Bradić D., 10  
Bundalo D., 80  
Bundalo Z., 80  
Cvetković M., 150  
Damjanović M., 126  
Despotović Ž., 34  
Dimitrijević G., 166  
Dimitrijević M., 156  
Đorđević B., 80  
Došić S., 120  
Došić S., 146  
Drača D., 162  
Dujković D., 54  
Gardašević G., 177  
Gardašević V., 181  
Ilišković A., 85  
Janković N., 20, 24  
Jevtić M., 120, 146, 150  
Jevtović M., 172  
Jovanović B., 120, 126  
Jovanović E., 20  
Jovanović G., 89  
Jovanović S., 156  
Katić V., 60  
Knapp K., 140  
Kondić G., 65  
Lazić M., 69  
Litovski V., 76, 99, 156  
Lubura S., 40, 44  
Mančić D., 69  
Marinković M., 114  
Matić P., 65  
Milanković M., 65  
Milović D., 162  
Mitrović M., 172  
Nikolić J., 96  
Nikolić M., 126  
Panajotović A., 162  
Pantić D., 20  
Paunović V., 28  
Pavlović Z., 10  
Pejović P., 48  
Perić Z., 96  
Pešić T., 20, 24  
Petković P., 114, 120, 132  
Petrović T., 54  
Petrušić Z., 28  
Petrušić Z., 69  
Porobić V., 60  
Prijic A., 10  
Prijic Z., 10  
Radivojević M., 65  
Radmanović M., 69  
Rakić A., 54  
Ristić S., 10  
Rodić P., 65  
Savić M., 76  
Slankamenac M., 140  
Softić F., 85  
Šoja M., 40, 44  
Sokolović M., 120, 132  
Stajić D., 69  
Stamenkov N., 28  
Stefanović M., 103, 106, 162  
Stefanović R., 109  
Stojanović G., 14  
Stojčev M., 89  
Stojiljković Z., 34  
Todorović B., 109  
Vračar LJ., 28  
Zrnić B., 166  
Zwolinski M., 99  
Živanov LJ., 14  
Živanov M., 140  
Živković LJ., 28



CIP - Каталогизација у публикацији  
Народна и универзитетска библиотека  
Републике Српске, Бања Лука

621.3(082)  
621.314.5(082)  
321.3.049(082)  
621.391(082)  
004(082)

СИМПОЗИЈУМ Индустриска електроника ИНДЕЛ 2004 (5 ;  
2004 ; Бања Лука)

Зборник радова / V симпозијум Индустриска  
електроника ИНДЕЛ 2004; [организатор] Електротехнички  
факултет Бања Лука. - Бања Лука : Електротехнички  
факултет, 2004 (Бања Лука : Графид). - 185 стр. : илустр. ;  
30 цм

Ћир. и лат. - Тираж 150. - Индекс аутора: стр. 185. -  
Библиографија уз све радове. - Summaries.

ISBN 86-7122-014-1

П.О.: ЕЛЕКТРОТЕХНИЧКИ МАТЕРИЈАЛИ - Зборници,  
ЕНЕРГЕТСКА ЕЛЕКТРОНИКА - Зборници, ЕЛЕКТРИЧНА  
КОЛА - Зборници, ТЕОРИЈА СИГНАЛА - Зборници,  
ПРОЦЕСНИ РАЧУНАРИ - Зборници

MFN=002169  
Winisis-Библио

